

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ  
“КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ  
імені ІГОРЯ СІКОРСЬКОГО”

Комп’ютерна електроніка  
Лабораторний практикум

*Рекомендовано Методичною радою КПІ ім.Ігоря Сікорського  
як навчальний посібник для студентів, які навчаються за освітньою програмою  
«Інтегровані інформаційні системи» за спеціальністю 126 «Інформаційні системи та  
технології»*

Київ  
КПІ ім. Ігоря Сікорського  
2018

Комп'ютерна електроніка: Лабораторний практикум [Електронний ресурс] : навч. посіб. для студ. освітньої програми «Інтегровані інформаційні системи» спеціальності 126 «Інформаційні системи та технології», / КПІ ім. Ігоря Сікорського; уклад.: А.О. Новацький. – Електронні текстові дані (1 файл: 13.8 Мбайт). – Київ : КПІ ім. Ігоря Сікорського, 2018. – 415 с.

*Гриф надано Методичною радою КПІ ім. Ігоря Сікорського (протокол № 7 від 29. 03. 2018 р.) за поданням Вченої ради факультету Інформатики та обчислювальної техніки (протокол № 7 від 26.02.2018 р.)*

Електронне мережне навчальне видання

Комп'ютерна електроніка  
Лабораторний практикум

Укладач:	Новацький Анатолій Олександрович, к.т.н., доцент
Відповідальний редактор:	Юрчук Леонід Юрійович, к.т.н., доцент, КПІ, ФІОТ, кафедра автоматики та управління в технічних системах
Рецензент:	Ткач Михайло Мартинович, к.т.н., доцент, КПІ, ФІОТ, кафедра технічної кібернетики

Навчальний посібник охоплює теоретичний матеріал та практичні завдання, які необхідні для виконання лабораторного практикуму з дисципліни «Комп'ютерна електроніка». Практикум виконується в комп'ютерному класі кафедри з використанням моделюючого пакету MICROCAP 9. В посібнику наводяться рекомендації по використанню цього пакету та виконанню робіт з наступної тематики: біполярні та польові транзистори, операційні підсилювачі, діодні та транзисторні ключі, імпульсні тригери, аналогові компаратори та схеми формування рівнів, мультівібратори та генератори лінійно змінюваної напруги, цифро – аналогові перетворювачі, комбінаційні цифрові пристрої, послідовні цифрові пристрої, аналого–цифрові перетворювачі. В роботі наводяться приклади схем, характеристик електронних пристроїв та їх розрахунки. Тематика посібника відповідає робочій програмі з дисципліни «Комп'ютерна електроніка», яка є обов'язковою дисципліною у навчальному плані підготовки бакалаврів зі спеціальності 126 «Інформаційні системи та технології». Робота може бути корисною студентам відповідних спеціальностей при вивченні дисциплін, пов'язаних із використанням аналогових, імпульсних та цифрових електронних пристроїв, а також при виконанні бакалаврських робіт, курсових та дипломних проектів, в яких використовуються відповідні пристрої. Останнє було враховано при оформленні роботи, яке виконано згідно вимог до конструкторської документації.

## ЗМІСТ

ВСТУП .....	7
1 ЛАБОРАТОРНА РОБОТА №1 .....	10
1.1 Короткі теоретичні відомості .....	10
1.1.1 Принцип роботи транзистора .....	13
1.1.2 Схеми включення біполярних транзисторів.....	18
1.1.3 Статичні вольт–амперні характеристики ( ВАХ ) транзистора.....	19
1.1.4 Режим роботи транзистора з навантаженням.....	20
1.1.5 Режимми роботи транзистора .....	22
1.1.6 Загальна характеристика польових транзисторів.....	23
1.1.7 Загальна характеристика польових транзисторів із затвором у вигляді р–n переходу .....	24
1.1.8 Принцип роботи польових транзисторів із затвором у вигляді р–n переходу .....	26
1.1.9 Польові транзистори із ізольованим затвором. Метал–діелектрик–напівпровідник (МДН) або метал–окисел–напівпровідник (МОН) польові транзистори.....	28
1.1.9.1 Загальна характеристика.....	28
1.1.9.2 Метал–окисел–напівпровідник (МОН) польовий транзистор із вбудованим каналом .....	28
1.1.9.3 Метал–діелектрик–напівпровідник (МДН) польовий транзистор із каналом, що індукується.....	30
1.1.10 Підсилювач на польовому транзисторі.....	32
1.1.11 Схема із фіксованим струмом бази.....	35
1.1.12 Схема із фіксованою базовою напругою.....	36
1.1.13 Рекомендації для роботи в програмі Місросар.....	38
1.2 Моделювання окремих пристроїв .....	41
1.2.1 Схема 1. Схема із польовим транзистором з р–n переходами та каналом типу n.....	41
1.2.2 Схема 2. Схема підсилювача на польовому транзисторі із затвором у вигляді р–n переходу .....	45
1.2.3 Схема 3. Схема підсилювача на МОН–транзисторі з індукованим каналом.....	47
1.2.4 Схема 4. Схема із фіксованим базовим струмом.....	51
1.3 Порядок виконання роботи .....	59
1.4 Контрольні питання .....	60
2 ЛАБОРАТОРНА РОБОТА №2.....	62
2.1 Короткі теоретичні відомості .....	62
2.1.1 Загальна характеристика ОП .....	62
2.1.2 Основні параметри операційних підсилювачів .....	67
2.1.3 Операційний підсилювач, що не інвертує.....	70
2.1.4 Операційний підсилювач, що інвертує .....	72
2.1.5 Операційний підсилювач, що диференціює.....	74
2.1.6 Операційний підсилювач, що інтегрує .....	76
2.2 Моделювання окремих пристроїв .....	78

2.2.1	Схема 1. Випробування розімкненого ОП.....	78
2.2.2	Схема 2. Підсилювач на базі ІМС ОП, який інвертує.....	81
2.2.3	Схема 3. Підсилювач на базі ІМС ОП, який не інвертує.....	84
2.2.4	Схема 4. Диференціюючий ланцюг на базі ІМС ОП.....	87
2.2.5	Схема 5. Інтегруючий ланцюг на базі ОП.....	91
2.3	Порядок виконання роботи.....	95
2.4	Контрольні питання.....	96
3	ЛАБОРАТОРНА РОБОТА №3.....	97
3.1	Короткі теоретичні відомості.....	97
3.1.1	Діодні ключі.....	97
3.1.2	Транзисторні ключі.....	107
3.2	Моделювання окремих пристроїв.....	119
3.2.1	Схема 1. Послідовний діодний ключ.....	119
3.2.2	Схема 2. Послідовний діодний ключ зі зміщенням.....	121
3.2.3	Схема 3. Паралельний діодний ключ.....	123
3.2.4	Схема 4. Паралельний діодний ключ зі зміщенням.....	124
3.2.5	Схема 5. Транзисторний ключ на базі $n-p-n$ -транзистора при подачі на вхід різнополярних імпульсів.....	126
3.2.6	Схема 6. Транзисторний ключ на базі $n-p-n$ -транзистора включеного за схемою із спільним емітером з прискорюючим конденсатором та без нього.....	129
3.2.7	Схема 7. Транзисторний ключ на базі $n-p-n$ -транзистора відкритого у початковому стані, який включено за схемою із спільним емітером.....	134
3.2.8	Схема 8. Транзисторний ключ на базі $n-p-n$ -транзистора закритого у початковому стані, який включено за схемою із спільним емітером.....	136
3.2.9	Схема 9. Транзисторний ключ на базі польового транзистора.....	139
3.2.10	Схема 10. Транзисторний ключ на базі діода Шотткі.....	143
3.3	Порядок виконання роботи.....	145
3.4	Контрольні питання.....	147
4	ЛАБОРАТОРНА РОБОТА №4.....	149
4.1	Короткі теоретичні відомості.....	149
4.1.1	Імпульсні тригери.....	149
4.1.2	Аналогові компаратори.....	166
4.1.3	Пристрої формування рівнів.....	174
4.2	Моделювання окремих пристроїв.....	180
4.2.1	Схема 1. АК для порівняння однополярних напруг.....	180
4.2.2	Схема 2. АК для порівняння однополярних напруг за умови наявності завад.....	182
4.2.3	Схема 3. АК з додатним зворотним зв'язком для порівняння однополярних напруг за умови наявності завад (регенеративний АК).....	185



4.2.4	Схема 4. АК для порівняння різнополярних напруг .....	187
4.2.5	Схема 5. ТШ на базі ІМС ОП з пам'яттю .....	189
4.2.6	Схема 6. ТШ на базі ІМС ОП без пам'яті .....	192
4.2.7	Схема 7. Формувач рівня. Паралельна схема .....	194
4.2.8	Схема 8. Формувач рівня. Послідовна схема .....	197
4.2.9	Схема 9. Асинхронний RS–тригер із зовнішнім зміщенням .....	198
4.3	Порядок виконання роботи .....	202
4.4	Контрольні питання .....	204
5	ЛАБОРАТОРНА РОБОТА №5 .....	206
5.1	Короткі теоретичні відомості .....	206
5.1.1	Генератори прямокутних імпульсів (мультивібратори) .....	206
5.1.2	Генератори лінійно змінюваної напруги .....	221
5.2	Моделювання окремих пристроїв .....	236
5.2.1	Схема 1. Автоколивальний мультивібратор. Базова схема .....	236
5.2.2	Схема 2. Автоколивальний мультивібратор зі шпаруватістю два .....	238
5.2.3	Схема 3. Чекаючий мультивібратор .....	240
5.2.4	Схема 4. Найпростіший ГЛЗН із зовнішнім запуском .....	244
5.2.5	Схема 5. Чекаючий ГЛЗН .....	246
5.2.6	Схема 6. Автоколивальний ГЛЗН .....	250
5.3	Порядок виконання роботи .....	252
5.4	Контрольні питання .....	253
6	ЛАБОРАТОРНА РОБОТА №6 .....	255
6.1	Короткі теоретичні відомості .....	255
6.1.1	Загальні відомості .....	255
6.1.2	Опис роботи і розрахунок ЦАП на основі резисторної матриці R–2R з підсумовуванням струмів .....	255
6.1.3	Опис роботи і розрахунок цифро–аналогових перетворювачів на основі резисторної матриці R–2R з підсумовуванням напруг .....	260
6.2	Моделювання окремих пристроїв .....	264
6.2.1	Схема 1. ЦАП із підсумовуванням напруг .....	264
6.2.2	Схема 2. ЦАП із підсумовуванням струмів .....	268
6.3	Порядок виконання роботи .....	272
6.4	Контрольні питання .....	273
7	ЛАБОРАТОРНА РОБОТА №7 .....	274
7.1	Короткі теоретичні відомості .....	274
7.1.1	Застосування алгебри логіки (Булевої алгебри) при аналізі і синтезі цифрових електронних пристроїв .....	274
7.1.2	основні типи логічних елементів .....	289
7.1.3	Реалізація логічних функцій у різних базисах .....	307
7.1.4	Функціональні пристрої комп'ютерної (цифрової) електроніки .....	312
7.1.5	Типові КЦП .....	316
7.2	Порядок виконання роботи .....	317
7.2.1	Завдання на лабораторну роботу .....	317

7.2.2	Порядок виконання лабораторної роботи .....	319
7.2.3	Приклад виконання роботи.....	320
7.3	Контрольні питання .....	322
7.4	Розрахунково–графічна робота. Синтез комбінаційних цифрових пристроїв.....	324
7.4.1	Завдання на роботу .....	324
7.4.2	Методичні вказівки до виконання роботи.....	327
7.4.3	Список літератури .....	339
8	ЛАБОРАТОРНА РОБОТА №8 .....	340
8.1	Короткі теоретичні відомості .....	340
8.1.1	Послідовні цифрові пристрої.....	340
8.2	Моделювання окремих пристроїв .....	354
8.2.1	Схема 1. Асинхронний RS–тригер на елементній базі NOR (АБО–НІ) .....	354
8.2.2	Схема 2. Асинхронний RS–тригер на елементній базі NAND (І–НЕ).....	356
8.2.3	Схема 3. Однотактний синхронний RSC–тригер.....	357
8.2.4	Схема 4. Т–тригер (тригер з рахунковим входом) .....	359
8.2.5	Схема 5. Однотактний синхронний D–тригер .....	361
8.3	Порядок виконання роботи .....	363
8.4	Контрольні питання .....	364
9	ЛАБОРАТОРНА РОБОТА №9 .....	365
9.1	Короткі теоретичні відомості .....	365
9.1.1	Призначення та види АЦП .....	365
9.1.2	Принцип дії та розрахунок АЦП .....	365
9.1.3	Пристрій вибірки і зберігання (ПВЗ).....	368
9.1.4	АЦП послідовного наближення .....	369
9.1.5	паралельно–послідовний АЦП.....	374
9.1.6	Опис роботи паралельного 4–х розрядного АЦП.....	378
9.2	Моделювання окремих пристроїв .....	382
9.2.1	Схема 1. Паралельний АЦП .....	382
9.2.2	Схема 2. Використання мікросхем АЦП та ЦАП .....	387
9.3	Порядок виконання роботи .....	390
9.4	Контрольні питання .....	391
10	Рекомендований зміст ЗВІТУ .....	392
11	ВКАЗІВКИ ЩОДО РОБОТИ В ПРОГРАМНОМУ СЕРЕДОВИЩІ MICROCAP 9.....	393
11.1	Вступ .....	393
11.2	Початок роботи .....	393
11.3	Створення простої схеми .....	394
11.4	Елементи схем.....	399
11.5	Аналіз перехідних процесів .....	407
	СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ.....	413

## ВСТУП

В сучасних системах автоматики та керування використовують електричні сигнали, для яких характерні висока швидкість їх обробки, простота формування і передачі на великі відстані, широкий діапазон струмів та напруг (від частки мікроампер і мікрвольт до тисяч ампер і сотень кіловольтів), простота перетворення електричної енергії у інші види (теплову, механічну, світлову).

Зміст інформації, яка передається за допомогою цих сигналів, перетворюється (модулюється або кодується) у їх електричні або часові параметри, а потім демодулюється або декодується, тобто перетворюється у фізичні впливи на об'єкти керування (нагрів, пересування, обертання) або в зручні для візуального зчитування форми (пересування стрілки вимірювальних приладів, цифри і символи інформаційних табло).

В процесі формування, передачі і обробки електричні сигнали підлягають різноманітним перетворенням: підсиленню, фільтрації для усунення спотворень та захисту від завад, формуються за формою, амплітудою або тривалістю. Для цього використовують електронні пристрої, які складаються з електронних елементів та пасивних електричних ланцюгів (резисторів, конденсаторів, котушок індуктивності), що призначені для зв'язку окремих електронних елементів або виконують самостійні функції перетворення електричних сигналів.

Характеристики електронних пристроїв визначаються характеристиками їх електронних елементів. Завдяки їхнім унікальним особливостям, формування, обробка та перетворення електричних сигналів можуть здійснюватися з частотою у десятки та сотні мегагерців, рівень сигналу може бути підсилено від частки мікрвольт до сотень вольтів, а його потужність – від частки нановат до сотень кіловатів. За допомогою електронних цифрових і цифро–аналогових пристроїв над електричними сигналами можна виконувати арифметичні і логічні операції, операції

диференціювання, інтегрування і перетворення за різними математичними законами.

Роль електронних пристроїв автоматики і керування особливо зростає сьогодні в зв'язку з широким застосуванням мікропроцесорної техніки для перероблення інформаційних сигналів та силових напівпровідникових приладів для перетворення електричної енергії.

Електронні елементи сучасних електронних пристроїв випускаються промисловістю двох видів:

- у вигляді окремих дискретних компонентів (діодів, транзисторів, тиристорів і т. ін.);
- у вигляді мікросхем (інтегральних схем), у яких в одному корпусі в один функціональний вузол об'єднано ряд окремих елементів, які виконані, як правило, на одному кристалі напівпровідника.

Елементи першого виду застосовуються передусім в силових ланцюгах автоматики, які найменш складні за схемотехнікою, розсіюють більшу кількість теплоти, мають більші габарити. Використовуються вони також у слабкоточних ланцюгах для погодження окремих мікросхем, коригування характеристик деяких пристроїв та у випадках, коли застосування мікросхем з тих чи інших причин недоцільно.

Область використання елементів другого виду невпинно розширюється. Вони виконують все складніші функції, вміщують у себе все більше число окремих електронних елементів. Вершиною сучасного розвитку електроніки є створення в одному корпусі (на одному кристалі) програмованих електронних елементів – мікропроцесорних наборів і мікро–ЕОМ (мікроконтролерів), використання яких відкриває новий етап у розвитку усіх областей техніки, особливо автоматики.

Незалежно від ступеня складності мікросхем та широти функцій, які вони виконують, основу їх структури складають елементарні схеми, фізичні принципи та особливості роботи яких простіше та ефективніше виявляються

при моделюванні мікросхем за допомогою окремих дискретних електронних і електричних елементів. Це сприяє глибшому сприйняттю принципів побудови електронних пристроїв різного ступеню складності, дозволяє ефективніше і повніше використовувати їх якості, спрощує процес налаштування і пошук несправностей.

Подальший розвиток економіки України тісно пов'язаний з широкою автоматизацією та удосконаленням технологічних процесів на базі електроніки, обчислювальної та мікропроцесорної техніки.

В сучасних умовах спеціалісти різного профілю не можуть активно вдосконалювати технологічні процеси без достатньо глибоких знань основ електроніки, принципів побудови та функціонування пристроїв аналогової та цифрової схемотехніки, методів аналізу і розрахунку електронних пристроїв із заданими характеристиками.

Електронні пристрої поділяються на аналогові (безперервні) та дискретні (переривчасті), які, у свою чергу, поділяються на імпульсні та цифрові.

Сьогодні провідне місце на ринку електронних пристроїв та систем займає цифрова електроніка.

Однак повністю витіснити аналогову техніку цифрова не зможе. Фізичні процеси, від яких електронна підсистема отримує інформацію та якими керує в системах автоматики і керування, мають аналогову природу. Тому на вході та виході необхідні аналого–цифрові та цифро–аналогові перетворювачі.

## 1 ЛАБОРАТОРНА РОБОТА №1

**Тема:** Біполярні та польові транзистори.

**Мета:** Дослідити принцип дії та основні властивості біполярних (БТ) та польових транзисторів (ПТ); дослідити основні динамічні характеристики БТ, які включено за схемою зі спільним емітером (СЕ); ознайомитися з основними параметрами цих пристроїв та областю їх застосування.

### 1.1 Короткі теоретичні відомості

Транзистори поділяються на біполярні та польові [1...6, 18, 19].

Біполярний транзистор (БТ) – це напівпровідниковий пристрій, який має два р–n переходи і три виводи. У перші роки після їх винаходу транзистори називали напівпровідниковими тріодами.

Транзистори призначені для підсилення та перетворення електричних сигналів.

В роботі транзистора використовуються носії заряду обох полярностей (електрони та дірки), тому вони називаються біполярними.

За матеріалом, що використовується, транзистори поділяються на:

- германієві;
- кремнієві.

За технологією виготовлення БТ поділяються на:

- сплавні;
- вирощувані;
- дифузійні;
- епітаксціальні;
- планарні.

У позначенні біполярних транзисторів використовуються літери та цифри.

Перший елемент:

- Г або 1 – германій або його з'єднання;
- К або 2 – кремній або його з'єднання.

Другий елемент:

- Т – транзистор (крім польових).

Третій елемент:

1) Транзистори малої потужності із потужністю розсіювання

$$P_k \leq 0.3 \text{ Вт};$$

- низької частоти ( $f_{\Gamma P} \leq 3 \text{ МГц}$ );
- середньої частоти ( $3 < f_{\Gamma P} \leq 30 \text{ МГц}$ );
- високої та надвисокої частоти ( $f_{\Gamma P} > 30 \text{ МГц}$ ).

2) Транзистори середньої потужності ( $0.3 < P_k \leq 1.5 \text{ Вт}$ ):

- низької частоти (НЧ);
- середньої частоти (СЧ);
- високої та надвисокої частоти (ВЧ та НВЧ).

3) Транзистори великої потужності ( $P_k > 1.5 \text{ Вт}$ ):

- НЧ;
- СЧ;
- ВЧ та НВЧ.

Четвертий, п'ятий, та шостий елементи:

- цифри – позначають порядковий номер розробки від 01 до 999.

Сьомий елемент: літери від А до Я – класифікація за параметрами транзисторів, виготовлених за єдиною технологією (виключаючи літери З, О, Ч, які схожі на цифри).

На рисунку 1.1 наведено приклад позначення (маркування) біполярного транзистора.



Рисунок 1.1 – Приклад маркування біполярного транзистора

Крім того, використовуються додаткові елементи, які позначають: С – транзисторна збірка, наприклад 2ТС622; 2Т399А–2 – безкорпусний транзистор із гнучкими виводами і т. ін.

Біполярний транзистор (БТ) є структурою р–п–р – або п–р–п– типу, що отримана в одному монокристалі напівпровідника ( рисунок 1.2 ).

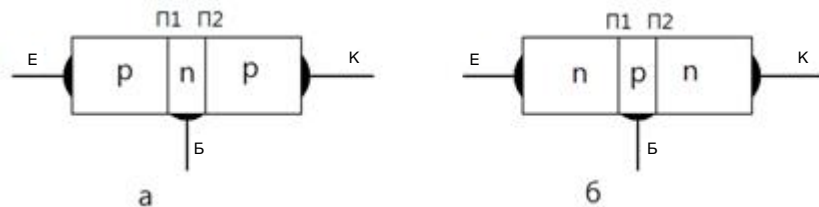


Рисунок 1.2 – Структура біполярного транзистора

Внутрішня область, що розділяє р–п переходи, називається базою (Б). Зовнішній шар, призначений для інжектування носіїв у базу, називається емітером (Е), а р–п перехід П1, що примикає до емітера, – емітерним. Інший зовнішній шар, екстракуючий (той, що витягує) носії із бази, називається колектором (К), а р–п перехід П2 – колекторним.

Для виготовлення біполярних транзисторів в основному використовують кремній та германій, які оброблено за відповідною технологією: сплавною; дифузійною; вирощеною, епітаксialьною; планарною і т. ін. Перші транзистори були точковими, але вони працювали нестійко. Зараз виготовляються і застосовуються площинні транзистори.

Умовні графічні позначення БТ на схемах електричних принципових показано на рисунку 1.3.



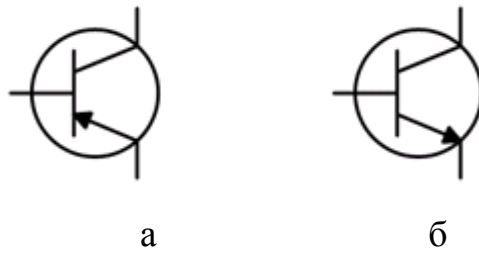


Рисунок 1.3 – Позначення БТ на електричних схемах: а– р–n–р – типу,  
б– n–р–n– типу

Основними особливостями конструкції БТ є те, що база створюється дуже вузькою (декілька мікрометрів); емітер містить значно більшу концентрацію домішки, ніж база; площа колекторного переходу більша, ніж емітерного.

### 1.1.1 Принцип роботи транзистора

БТ може працювати у декількох режимах: той, що підсилює, імпульсному, ключовому і т. ін. В режимі роботи БТ, що підсилює, його емітерний перехід зміщують у прямому, а колекторний – у зворотному напрямках (рисунок 1.4, а).

За відсутності зовнішніх напруг ( $U_{EB} = U_{KB} = 0$ ) електричні поля р–n переходів створюються лише об'ємними зарядами іонів домішок і потенційні бар'єри обох переходів ( $\varphi_{K0E} = \varphi_{K0K} = \varphi_{K0}$ ) підтримують рівновагу у транзисторі. Сумарні струми через р–n переходи дорівнюють нулю. При цьому у бездрейфових транзисторах (найбільш поширених) концентрація домішки у базі рівномірна за всією товщиною і електричне поле у базі відсутнє. Потенціал бази постійний за всією товщиною (рисунок 1.4, б).

На рисунку 1.4, в показано розташування енергетичних зон у транзисторі за відсутності зовнішньої напруги. За наявності напруги  $U_{EB}$  і  $U_{KB}$ , що визначаються зовнішніми джерелами  $E_E$  і  $E_K$  відбувається

перерозподіл електричних потенціалів переходів і зміна розташування енергетичних зон.

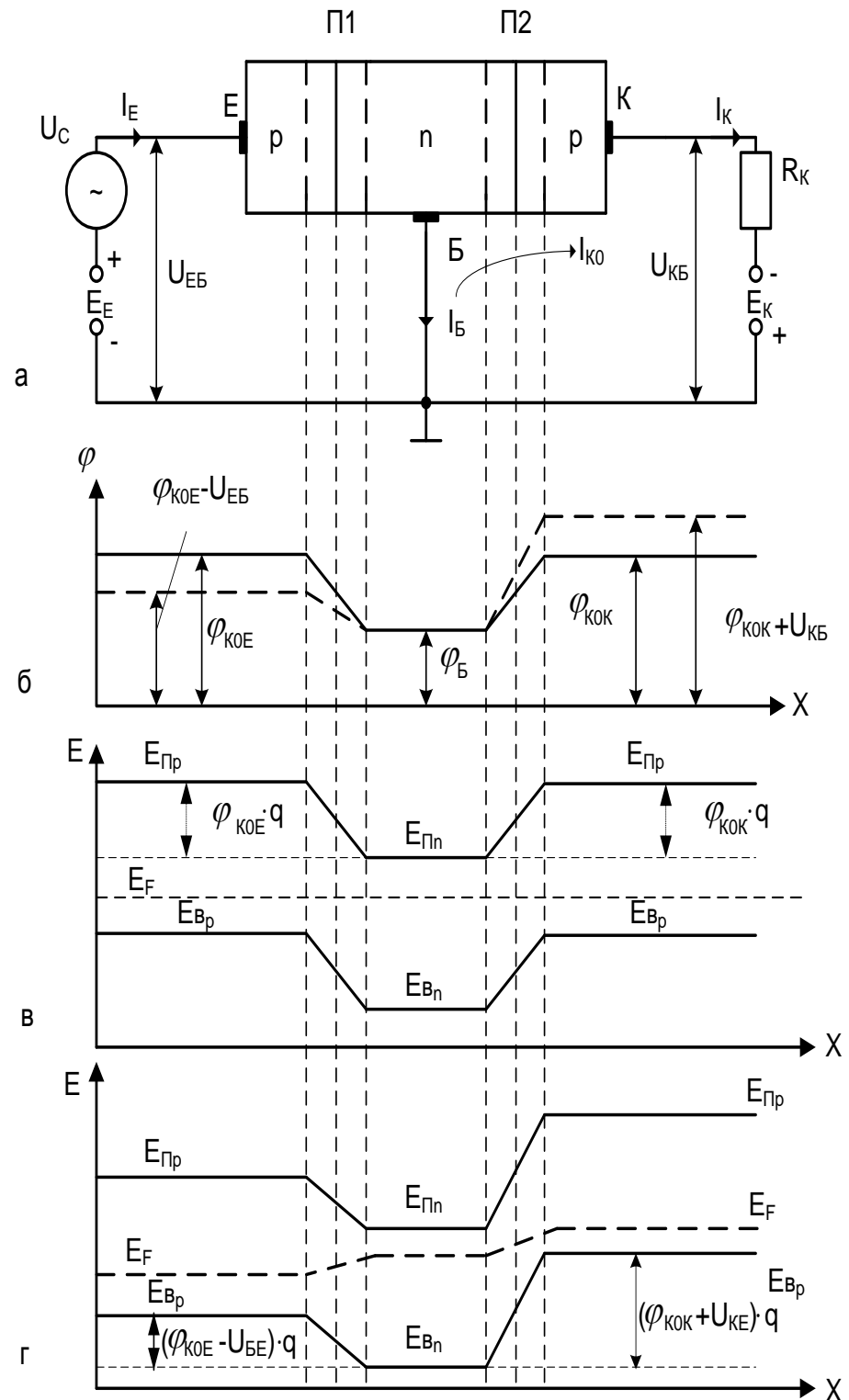


Рисунок 1.4 – Біполярний транзистор: а – схема включення; б – розподілення потенціалу у структурі; в, г – розташування енергетичних зон

Напругу  $U_{EB}$  прикладено до емітерного переходу у прямому напрямі, а  $U_{KB}$  до колекторного переходу – у зворотному. Опір емітерного переходу малий і для отримання нормального струму у цьому переході достатньо напруги  $U_{EB}$  у десяті долі вольт.

Опір колекторного переходу великий, і напруга  $U_{KB}$  складає одиниці – десятки вольт. У емітерному переході виникає явище інжекції.

Оскільки концентрація дірок у емітері значно перевищує концентрацію електронів у базі ( $p_E \gg n_B$ ), потік дірок з емітера у базу значно перевершує потік електронів у зворотному напрямі.

У загальному випадку через емітерний перехід протікає струм:

$$I_E = I_{Ep} + I_{En},$$

де  $I_{Ep}$ ,  $I_{En}$  – відповідно діркова і електронна складові.

Чим менше  $I_{En}$ , тим ефективніше робота транзистора. Тому введений коефіцієнт  $\gamma$ , що оцінює ефективність емітера:

$$\gamma = \frac{I_{Ep}}{I_E} = \frac{I_{Ep}}{I_{Ep} + I_{En}} = \frac{1}{1 + \frac{I_{En}}{I_{Ep}}} \approx 0.999 \quad (1.1)$$

У ідеальному транзисторі  $I_{En} = 0$ ,  $\gamma = 1$ . Інжектвані дірки проникають углиб бази. Залежно від механізму проходження носіїв заряду через область бази розрізняють бездрейфові і дрейфові транзистори. Не зважаючи на цю відмінність, дірки, потрапивши у базу, для якої вони є неосновними носіями, починають рекомбінувати з електронами бази [1...6, 18, 19]. Цей процес викликає додаткове прибуття електронів від зовнішнього джерела у базову область, тобто з'являється базовий струм  $I_B$ .

Процес рекомбінації відбувається не миттєво і пов'язаний з часом життя неосновних носіїв (час, протягом якого концентрація неосновних носіїв зменшується в  $e$  раз). Товщина бази дуже мала (одиниці мікрон). Тому

середній час пробігу неосновних носіїв заряду через базу значно менший часу їх життя, тобто велика частка дірок доходить до колекторного переходу. Для оцінки описаного процесу введений коефіцієнт перенесення носіїв у базі

(у нашому випадку дірок):  $\beta_p = \frac{I_{Bp}}{I_{Ep}}$ , де  $I_{Bp}$  – діркова складова струму бази, яка визначається кількістю дірок, що дійшли до колекторного переходу ( $I_{Bp} < I_{Ep}$ ,  $\beta < 1$ ).

У колекторному переході, який включено у зворотному напрямі, відбувається явище екстракції [1...6, 18, 19]. Площа цього переходу значно більше площі емітерного, тому майже всі дірки виводяться в область колектора. З'являється струм колектора  $I_K$ . У загальному випадку струм колектора складається із двох складових  $I_K = I_{Kp} + I_{K0}$ , де  $I_{Kp}$  – струм, що протікає у ланцюзі колектора завдяки раніше описаним процесам;  $I_{K0}$  – зворотний струм насичення колекторного переходу, який включено зворотно. Одним з основних параметрів транзистора є коефіцієнт передачі струму

емітера:  $\alpha = \frac{I_K}{I_E}$ . Оскільки  $I_{K0}$  дуже малий, часто записують:

$$\alpha = \frac{I_{Kp}}{I_E} \quad (\alpha = (0,95 \dots 0,99); \quad I_B = (0,05 \dots 0,01) \cdot I_E; \quad I_K = (0,95 \dots 0,99) \cdot I_E).$$

Окрім описаних процесів, у транзисторі може відбуватися також процес розмноження дірок у колекторному переході за рахунок явища ударної іонізації (враховується коефіцієнтом  $M$  і процес рекомбінації дірок із електронами у колекторному переході (враховується коефіцієнтом  $\beta_{PK}$ ).

Названі коефіцієнти зв'язані між собою співвідношенням:

$$\alpha = \gamma \cdot \beta_p \cdot \beta_{PK} \cdot M. \quad (1.2)$$

Повний струм колектора  $I_K = \alpha \cdot I_E + I_{K0}$ . Оскільки  $I_{K0} \approx 0$ , часто вважають, що  $I_K = \alpha \cdot I_E$ . Струм бази  $I_B = I_E - I_K = I_E(1 - \alpha) - I_{K0}$ . При  $I_E = 0$ ,  $I_B = -I_{K0}$ .

Таким чином, у транзисторі, який включено як показано на рисунку 1.3, через емітерний перехід протікає вхідний струм  $I_E$  – який керує, а через колекторний перехід – вихідний струм  $I_K$ , яким керують. Іншими словами, транзистор – прилад, у якого вхідний струм керує вихідним.

Оскільки емітерний p–n перехід включений у прямому напрямі, а колекторний – у зворотному, вхідна напруга впливає на колекторний струм значно сильніше, ніж вихідна. На цій властивості і заснована підсилююча дія транзистора. Якщо напругу, а отже, і струм у ланцюзі емітера змінювати у часі за законом джерела змінного сигналу  $U_c$  (рисунку 1.4, а), то за цим же законом, при відповідних умовах, змінюватиметься струм  $I_K$ , а отже і напруга на опорі навантаження  $R_K$ . За відсутності підсилення за струмом ( $I_K < I_E$  на величину струму бази) розглянута схема підсилює напругу (вхідний опір малий, вихідний великий, а струми  $I_K \approx I_E$ , оскільки  $I_B \approx 0$ ).

Зв'язок між змінними складовими струмів і напруг виражається очевидними співвідношеннями  $U_{BX} = I_E R_{BX}$ ;  $U_{BIX} = I_K R_K = \alpha I_E R_E$  ( $R_{BX}$  – вхідний опір змінному струму – складає десятки Ом;  $R_K$  – опір навантаження транзистора – складає тисячі Ом;  $R_K \gg R_{BX}$ , тому  $U_{BIX} \gg U_{BX}$ ).

Транзистор – активний елемент, що має здатність підсилювати потужність електричного сигналу за рахунок споживання енергії зовнішніх джерел живлення. Змінюючи струм у вхідному ланцюзі за певним законом, можна отримати підсилений сигнал на виході тієї ж форми.

Як приклад, вище розглянуто принцип роботи транзистора p–n–p-типу. Всі описані процеси, співвідношення і параметри характерні і для

транзистора  $n-p-n$ -типу. Відмінність полягає у тому, що змінюється полярність підключення зовнішніх джерел живлення і з емітера інжектуються у базу, а потім виводяться в колектор не дірки, а електрони.

### 1.1.2 Схеми включення біполярних транзисторів

У електричний ланцюг транзистор включають таким чином, що один із його електродів є входним, в іншій – вихідним. Третій електрод – спільний щодо входу і виходу. У ланцюг входного електрода включають джерело входного змінного сигналу, а в ланцюг вихідного – опір навантаження. Залежно від того, який електрод є спільним, розрізняють три схеми включення транзисторів: зі спільною базою (СБ), зі спільним емітером (СЕ) і зі спільним колектором (СК). Ці схеми для транзистора  $p-n-p$  – типу показано на рисунку 1.5.

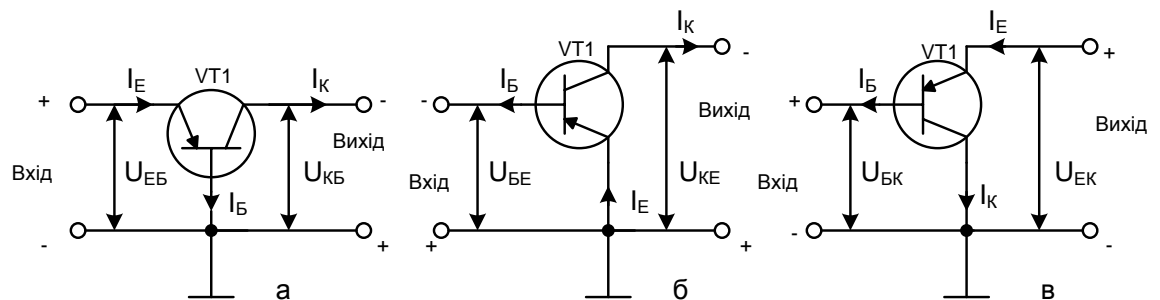


Рисунок 1.5 – Схема включення БТ: а – СБ; б – СЕ; в – СК

Для транзистора  $n-p-n$  – типу у схемах включення змінюються лише полярність напруг живлення і напрями струмів.

Слід пам'ятати, що у підсилювальному режимі роботи транзистора його емітерний перехід включений у пряму напрямі, а колекторний – у зворотному незалежно від схеми включення.

Найбільш поширеною є схема включення з СЕ (рисунок 1.5, б), що має найбільше підсилення потужності.

### 1.1.3 Статичні вольт–амперні характеристики ( ВАХ ) транзистора

Кожна схема включення у загальному випадку характеризується чотирма сім'ями статичних ВАХ: а – вихідними; б – вхідними; в – характеристиками передачі за струмом; г – характеристиками зворотного зв'язку за напругою. Перші дві з них є основними.

На рисунках 1.6, 1.7 показано вхідні і вихідні статичні вольт–амперні характеристики схем із СБ і СЕ транзистора р–n–р – типу.

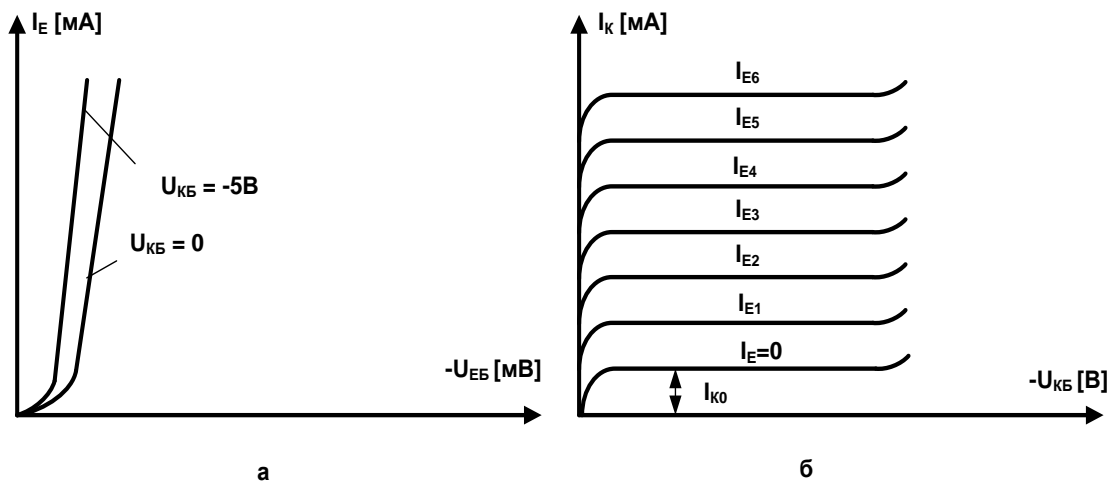


Рисунок 1.6 – Статичні ВАХ схеми із СБ: а – вхідні; б – вихідні

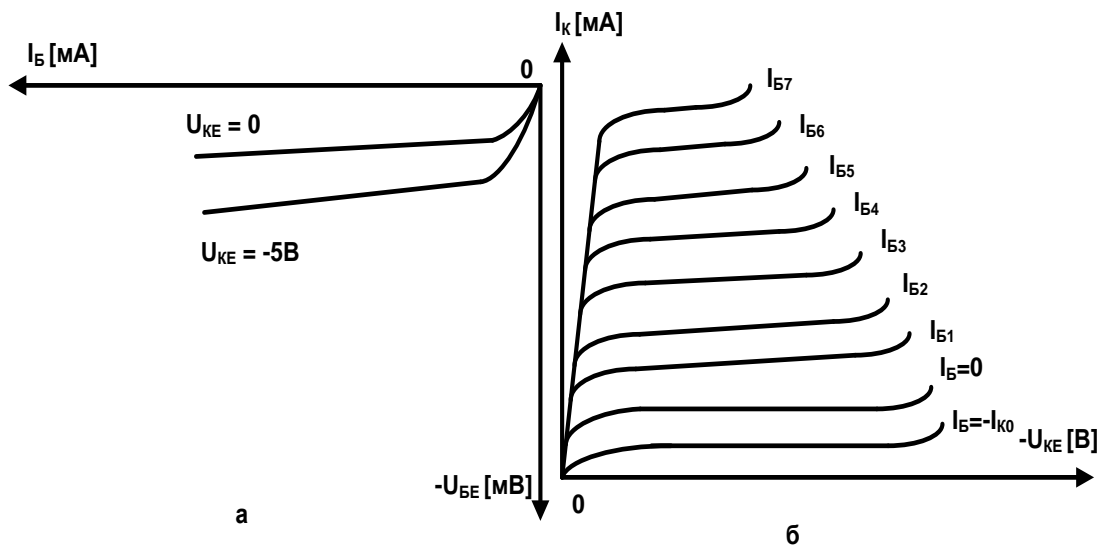


Рисунок 1.7 – Статичні ВАХ схеми із СЕ: а – вхідні; б – вихідні

### 1.1.4 Режим роботи транзистора з навантаженням

Статичні ВАХ (рисунки 1.6, 1.7) знімаються за відсутності опору навантаження у вихідному ланцюзі.

У практичних випадках вихідний ланцюг транзистора містить опір навантаження  $R_K$  (для схеми з СЕ), при цьому отримують динамічний режим роботи транзистора. Розглянемо динаміку роботи транзистора на прикладі схеми із СЕ (рисунок 1.8, а).

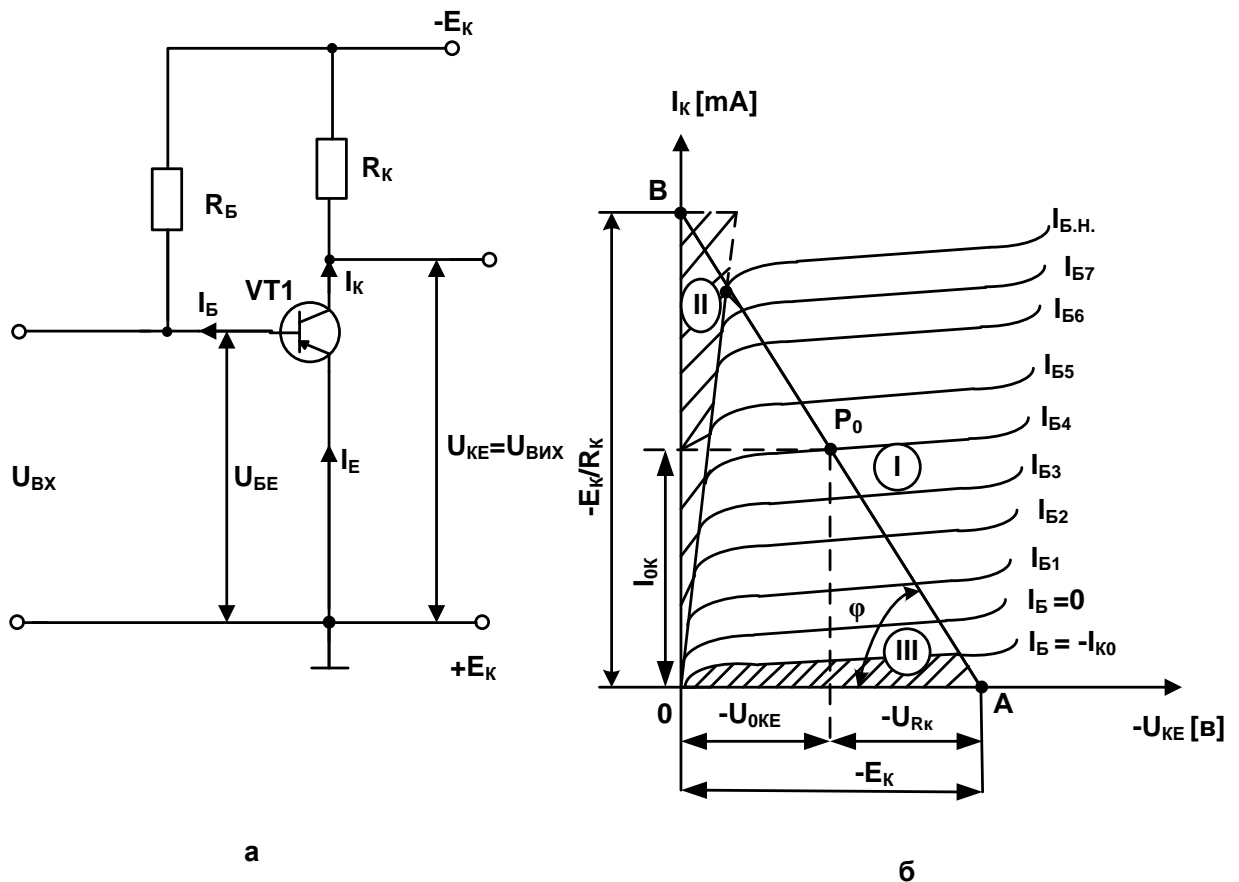


Рисунок 1.8 – БТ із СЕ: а – електрична схема включення; б – вихідні статичні ВАХ та динамічна характеристика

У динамічному режимі зміни колекторного струму при  $E_K = const$  і  $R_K = const$  залежать не лише від зміни базового струму, але і від зміни напруги на колекторі ( $I_K = f(I_B, U_{KE})$ ). Рівняння динаміки при цьому має вид



$$|U_{KE}| = |E_K| - |I_K \cdot R_K|. \quad (1.3)$$

Напруга  $U_{KE}$ , у свою чергу, визначається змінами як базового, так і колекторного струмів, тобто у динаміці одночасно змінюються всі струми і напруги у транзисторі ( $I_B \uparrow I_K \uparrow U_{KE} \downarrow I_K \downarrow$ ).

Такий режим роботи називається динамічним, а характеристика, що визначає зв'язок між струмами і напругами транзистора за наявності опору навантаження  $R_K$ , – динамічною характеристикою. Ця характеристика будується на сім'ях статичних ВАХ при заданих значеннях  $E_K$  і  $R_K$  (рисунок 1.8, б).

Для побудови динамічної вихідної характеристики схеми із СЕ використано рівняння динамічного режиму (1.3), яке є рівнянням прямої лінії. Це очевидно, якщо представити (1.3) у вигляді:

$$I_K = \left| \frac{E_K}{R_K} \right| - \left| \frac{U_{KE}}{R_K} \right|, \quad (1.4)$$

де  $|U_{KE}| = |E_K|$ , при  $I_K = 0$  – точка А (рисунок 1.8, б);

$I_K = \left| \frac{E_K}{R_K} \right|$ , при  $U_{KE} = 0$  – точка В;

$\varphi = \arctg\left(\frac{1}{R_K}\right)$  – кут нахилу прямої до осі абсцис. (1.5)

Точка перетину динамічної характеристики (прямої навантаження) з однією із статичних ВАХ називається робочою точкою транзистора ( $P$ ). Змінюючи  $I_B$ , можна переміщати робочу точку по прямій навантаження. Початкове положення робочої точки за відсутності вхідного змінного сигналу називають точкою спокою  $P_c (P_0)$ .

### 1.1.5 Режими роботи транзистора

В залежності від положення робочої точки, існує три основні режими роботи транзистора: активний (лінійний, підсилюючий), насичення і відсічки. Поняття режиму пов'язано із наявністю у транзистора трьох областей: активної, насичення і відсічки.

На рисунку 1.9 наведено три області транзистора  $n-p-n$ -типу, які позначено I, II і III.

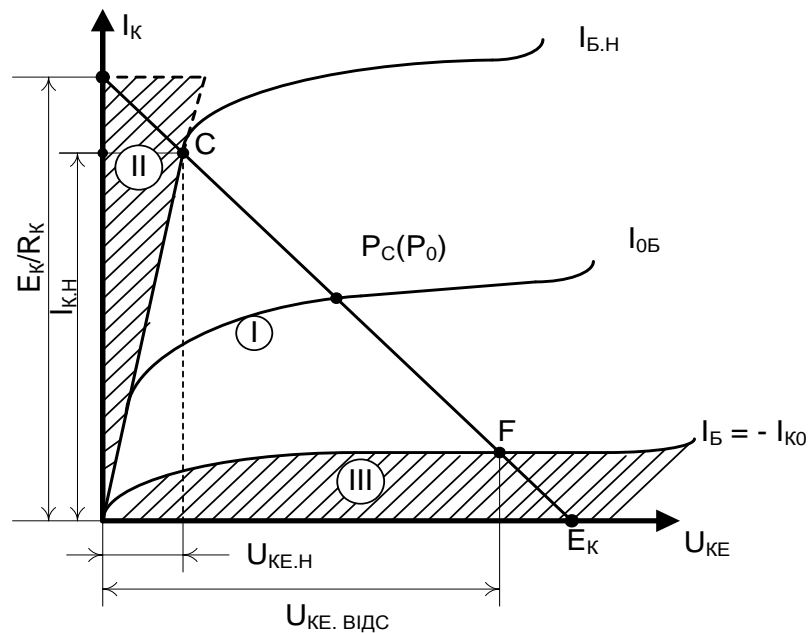


Рисунок 1.9 – Режими (області) роботи транзистора  $n-p-n$ -типу

Область відсічки обмежена зверху ВАХ, що відповідає  $I_B = -I_{K0}$  (обидва  $p-n$  переходи транзистора закриті). Область насичення обмежена справа прямою лінією, з якої виходять статичні ВАХ (обидва  $p-n$  переходи транзистора відкриті). Активна область лежить між областями відсічки і насичення (емітерний перехід відкритий, а колекторний – закритий).

У активному режимі точка спокою  $P_C$  транзистора знаходиться приблизно посередині ділянки прямої навантаження  $CF$  (рисунок 1.9), а робоча точка не виходить за межі ділянки  $CF$ . У режимі насичення робоча

точка знаходиться в області насичення, а у режимі відсічки – відповідно – у області відсічки.

Активний режим є основним. Він використовується у більшості підсилювачів, генераторів і т. ін. Режими відсічки та насичення характерні для імпульсної роботи транзистора і використовуються в імпульсних пристроях.

Властивості транзисторів істотно залежать від температури. Підвищення температури насамперед збільшує зворотний струм насичення колекторного переходу (початковий струм колектора).

Це приводить до зміни характеристик транзистора. Тому схеми на транзисторах містять елементи температурної стабілізації. При конструктивному виконанні транзисторних схем (особливо потужних) необхідно передбачити заходи щодо відведення теплоти від транзистора.

#### **1.1.6 Загальна характеристика польових транзисторів**

Польовим транзистором (ПТ) називають електроперетворювальний трьохелектродний напівпровідниковий прилад, у якому електричний струм створюють основні носії заряду під дією повздовжнього електричного поля, а керування величиною струму здійснюється поперечним електричним полем, яке створюється напругою на електроді, що керує. ПТ – уніполярні напівпровідникові прилади, оскільки їх робота заснована на дрейфі носіїв заряду одного знаку у повздовжньому електричному полі через канал n– або p–типу, який керується. Керування величиною струму через канал здійснюється поперечним електричним полем, а не струмом, як у біполярних транзисторах. Для виготовлення ПТ в основному використовується кремній (Si), що має значно менший зворотний струм насичення, чим германій. На рисунку 1.10 зображено умовні графічні позначення ПТ на схемах електричних принципів. Приклади конструкції ПТ приведено у [2,3,18,19],

а їх маркування аналогічне маркуванню біполярних транзисторів, за винятком того, що другий елемент маркування має букву П – польовий.

Принцип дії ПТ заснований на тому, що зміна напруженості поперечного електричного поля змінює провідність каналу, по якому проходить струм вихідного ланцюга.

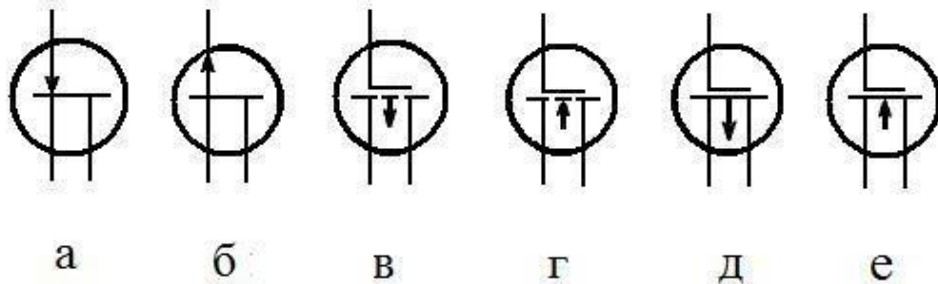


Рисунок 1.10 – Позначення ПТ на електричних принципових схемах: а, б – з р–п переходами; в, г, д, е – МОН–типу

У електронних пристроях застосовуються два різновиди ПТ:

- із затвором у вигляді р–п переходу;
- з ізольованим затвором (МДН– або МОН–транзистори).

Залежно від провідності каналу польові транзистори діляться на ПТ із каналом р– або n–типу. Канал р–типу має діркову провідність, а n–типу – електронну.

### 1.1.7 Загальна характеристика польових транзисторів із затвором у вигляді р–п переходу

На рисунку 1.11 зображено структуру і схему включення ПТ із затвором у вигляді р–п переходу і каналом n–типу. Прилад складається з пластини кремнію з провідністю n–типу, що є каналом, до торців якої під’єднано два металеві контакти, які звуться виток (В) і стоком (С). Між стоком і витком підключено джерело живлення  $E_{CB}$  і опір навантаження  $R_C$ .

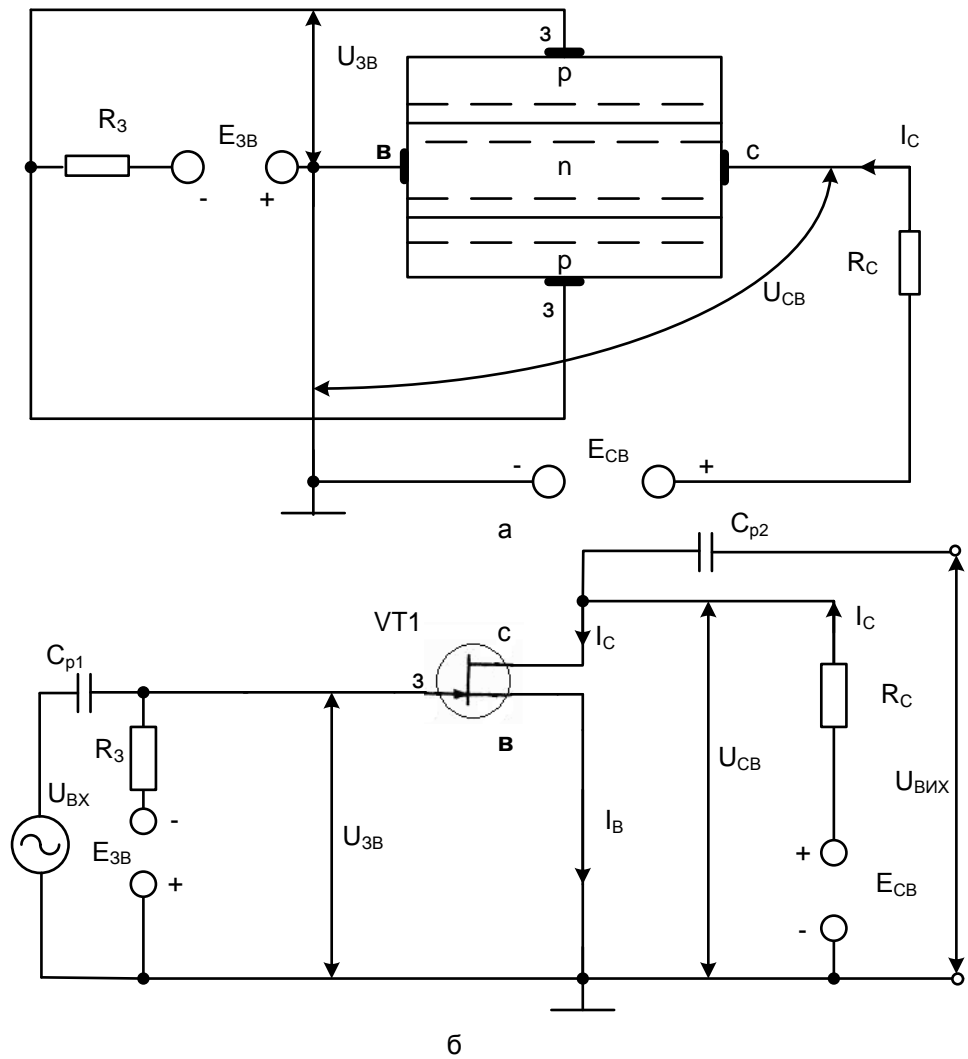


Рисунок 1.11 – ПТ із затвором у вигляді р–п переходу: а – спрощена структура; б – схема включення

Напруга  $E_{CB}$  прикладається такої полярності, щоб струм основних носіїв (у каналі п–типу – електрони) протікав від витoku до стоку.

У протилежні верхню і нижню грані пластини початкового напівпровідника введено акцепторні домішки, що перетворили її поверхневі шари в області напівпровідника р–типу. Ці області з'єднанні разом і утворюють єдиний електрод, який зветься затвором (3). Між каналом і затвором утворюються два р–п переходи. На затвор подається напруга  $U_{3B}$ ,

полярність якої співпадає із провідністю каналу (у нашому випадку від'ємної полярності).

### **1.1.8 Принцип роботи польових транзисторів із затвором у вигляді р–n переходу**

Робота ПТ (рисунок 1.11, а) заснована на зміні провідності каналу під дією від'ємної напруги на затворі. При збільшенні модуля цієї напруги р–n переходи зміщуються у зворотному напрямі, ширина шарів, збіднених носіями заряду, збільшується, а р–n переходи розширюються.

Концентрація домішки у затворі набагато більша, ніж у каналі, тобто затвор більш низькоомний, ніж канал.

Тому розширення р–n переходів при подачі зворотної напруги відбувається, в основному, за рахунок каналу. Провідність каналу прямо пропорційна ефективній площі його поперечного перетину. При розширенні р–n переходів (збільшенні зворотної для р–n переходу напруги на затворі, що закриває ПТ), ефективна площа поперечного перетину зменшується, провідність каналу також зменшується. Ці процеси ілюструє стоко–затворна (вхідна) характеристика ПТ із каналом n–типу (рисунок 1.12, а).

При напрузі відсічки на затворі  $|U_{зв}| = |U_{зв.в\ddot{U}ДС}|$  канал практично змикається, ефективна площа його поперечного перетину прагне до нуля, опір каналу прагне до нескінченості, а  $I_c = 0$  (рисунок 1.12, а).

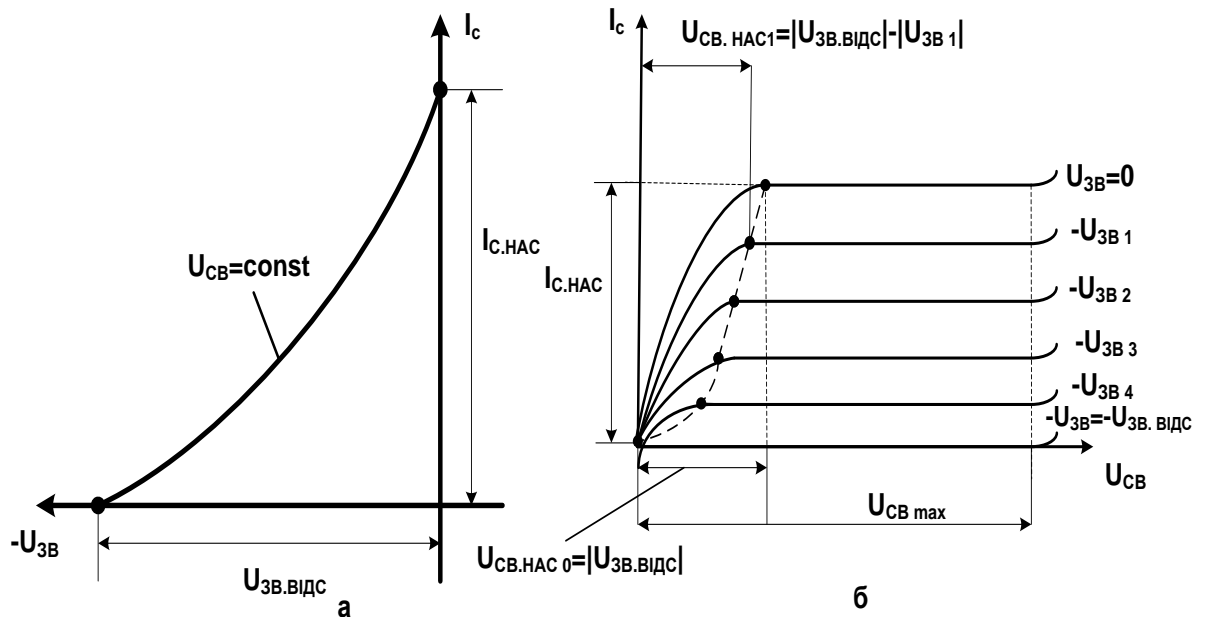


Рисунок 1.12 – Статичні ВАХ ПТ із затвором у вигляді р–п переходу і каналом п–типу: а – вхідна стоко–затворна ВАХ; б – вихідні–стокові ВАХ

Слід звернути увагу, що ПТ із затвором у вигляді р–п переходу працює при напрузі на затворі, що керує, лише одної полярності (для каналу п–типу – від’ємної, р–типу – додатної).

На рисунку 1.12, б приведено стокові (вихідні) характеристики ПТ із каналом п–типу. Стокові характеристики мають яскраво виражену ділянку насичення. Це пояснюється тим, що у процесі протікання струму у каналі, який спочатку росте при збільшенні  $E_{св}$ , збільшується падіння напруги у каналі. Це падіння в області стоку має додатний знак, тому зміщує р–п переходи у зворотному напрямі. Перетин каналу починає зменшуватися. Відбувається перекриття каналу (спочатку в області стоку, а потім воно розповсюджується углиб до витоку). Це приводить до того, що величина струму  $I_c$  практично не змінюється при збільшенні  $U_{св}$ . Межею області насичення є (рисунок 1.12, б)  $U_{св.нас0} = |U_{зв.в\text{дс}}|$ ,  $I_c = I_{с.нас}$ , при  $U_{зв} = 0$ . Струм  $I_{с.нас}$  – зменшується при  $|U_{зв}| > 0$ .

У робочому режимі використовуються пологі ділянки вихідних характеристик ПТ. При великій напрузі на стоці може відбутися пробій структури ПТ. Тому у робочому режимі перевищення максимальної напруги  $U_{CB.max}$  неприпустимо.

### **1.1.9 Польові транзистори із ізольованим затвором. Метал–діелектрик–напівпровідник (МДН) або метал–окисел–напівпровідник (МОН) польові транзистори**

#### **1.1.9.1 Загальна характеристика**

Характерна відмінність ПТ з ізольованим затвором, які називають також МДН (метал–діелектрик–напівпровідник) або МОН (метал–окисел–напівпровідник) транзистори, полягає у тому, що у них між металевим затвором і областю напівпровідника знаходиться шар діелектрика, в якості якого часто використовують окисли.

Існують два різновиди МДН (МОН) ПТ: із каналом, що вбудований, і каналом, що індукується.

#### **1.1.9.2 Метал–окисел–напівпровідник (МОН) польовий транзистор із вбудованим каналом**

Спрощена структура МДН ПТ із каналом n-типу, що вбудований, показана на рисунку 1.13. Вона містить підкладку (слаболеговану домішковою кремнієву пластинку із провідністю p-типу). У верхній частині підкладки створюється слаболегований тонкий поверхневий шар, провідність якого протилежна провідності підкладки. Цей шар виконує функцію каналу.

У процесі окислення на поверхні пластини над каналом утворюється тонкий (0,2...0,3 мкм) шар діелектрика (двоокису кремнію  $SiO_2$ ).



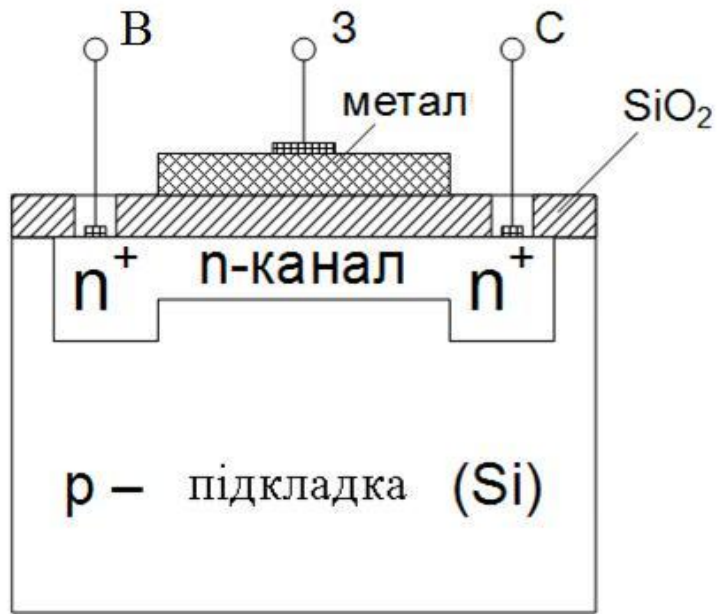


Рисунок 1.13 – Спрощена структура МДН ПТ із каналом n– типу, що вбудований

Через виконані у діелектрику отвори у тілі підкладки створюються дві сильнолеговані області:  $n^+$ , тип провідності яких співпадає із типом провідності каналу. Ці області забезпечуються зовнішніми виводами і виконують функції витоку (В) і стоку (С). Над шаром двоокису кремнію між витоком і стоком наносять металевий шар, до якого підключається вивід, який використовується як затвор. Підкладка у робочому режимі має вивід, який зазвичай з'єднується із витоком.

Наявність шару діелектрика дозволяє у МОН (МДН) ПТ із каналом, що вбудований, подавати на затвор напругу, що керує, обох полярностей. При подачі на затвор МОН ПТ із n–каналом додатної напруги електричним полем, яке при цьому створюється, дірки із каналу виштовхуватимуться у підкладку, а електрони будуть витягуватися із підкладки у канал. Канал збагачується основними носіями заряду – електронами, його провідність збільшується. Цей режим називається режимом збагачення (рисунок 1.14, а). При подачі на затвор МОН ПТ з n–каналом від'ємної напруги електрони із каналу виштовхуються у підкладку, а дірки витягуються із підкладки у канал.

Канал збіднюється основними носіями заряду і його провідність зменшується. Такий режим називається режимом збіднення (рисунок 1.14, а).

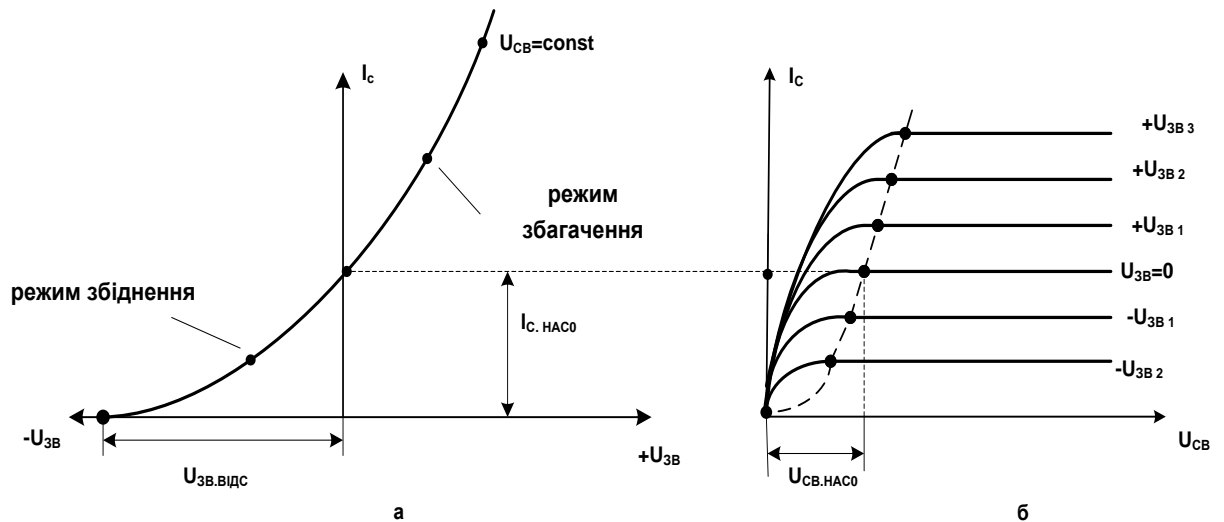


Рисунок 1.14 – Статичні ВАХ ПТ МОН-типу із n-каналом, що вбудований: а – вхідна; б – вихідні

### 1.1.9.3 Метал–діелектрик–напівпровідник (МДН) польовий транзистор із каналом, що індукується

У МОН ПТ із каналом, що індукується на відміну від ПТ попереднього типу канал між областями витоку і стоку при виготовленні транзистора технологічно не створюється (відсутній) (рисунок 1.15).

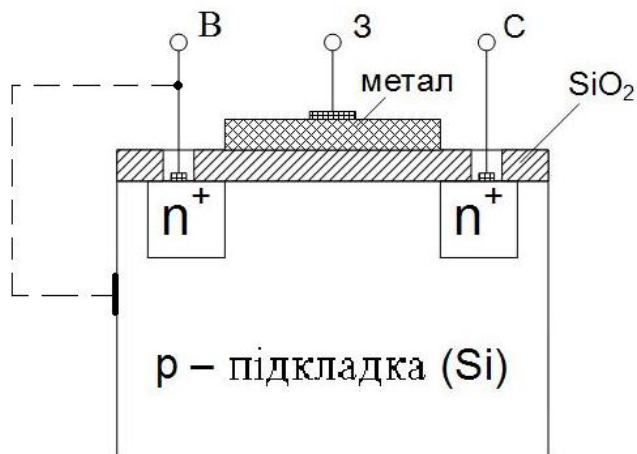


Рисунок 1.15 – Спрощена структура МДН ПТ із каналом n-типу, що індукується

Канал *n*-типу індукується за рахунок явища інверсії, яке виникає у системі метал–діелектрик–напівпровідник. При подачі на затвор напруги додатної полярності індукується канал *n*-типу, від’ємної полярності – *p*-типу.

Тобто МОН ПТ із каналом, що індукується, керується напругою затвору лише одного знаку. На рисунку 1.15 показана структура МОН ПТ із каналом, що індукується *n*-типу, який керується *додатною* напругою на затворі. На рисунку 1.16 зображені стоко–затворна і стокові характеристики такого транзистора.

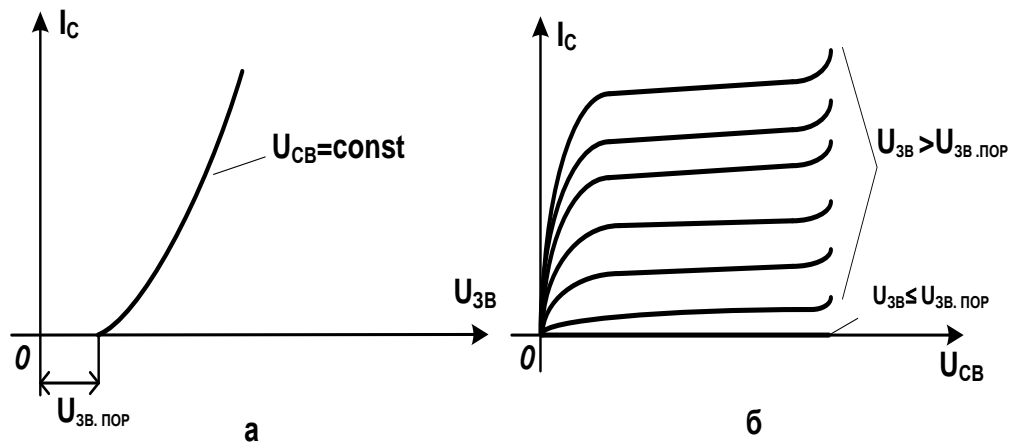


Рисунок 1.16 – Статичні ВАХ МОН ПТ із *n*-каналом, що індукується:

а – вхідна– стоко–затворна; б – вихідні– стокові

Основні параметри ПТ: крутизна стоко–затворної характеристики,  $\text{mA/B} : S \approx \frac{\Delta I_c}{\Delta U_{зв}}$  при  $U_{св} = \text{const}$  – характеризує підсилювальні властивості ПТ; внутрішній ( вихідний ) опір:  $R_i = \frac{\Delta U_{св}}{\Delta I_c}$ , при  $U_{зв} = \text{const}$  (на робочій (лінійній) ділянці вихідних характеристик складає сотні кілоомів); вхідний опір  $R_{вх}$  (диференціальний опір *p–n переходів, які зміщені зворотно*), складає одиниці – десятки мегаомів для ПТ із *p–n* переходами і сотні – тисячі мегаомів для МОН ПТ; ємності ПТ:  $C_{зв}$  – вхідна (складає одиниці пікофарад);  $C_{зс}$  – прохідна (має менше значення, чим  $C_{зв}$ );  $C_{св}$  – вихідна (найменша із

ємностей ПТ за величиною). Наявність ємностей впливає на частотні властивості ПТ.

Подібно до біполярних транзисторів ПТ можна включати у електричний ланцюг за однією з трьох схем: СВ – спільним витоком; СЗ – спільним затвором і СС – спільним стоком. Найчастіше застосовується схема включення ПТ зі спільним витоком (рисунок 1.11, б).

#### **1.1.9.4 Основні властивості та застосування польових транзисторів**

Основні властивості ПТ: низький рівень власних шумів (уніполярні – відсутній рекомбінаційний флуктуаційний шум, характерний для біполярних транзисторів); високий вхідний опір (у МОН ПТ складає тисячі мегаомів); висока економічність (керуються не струмом, як БТ, а напругою (електричним полем), висока стійкість до дії іонізуючого випромінювання і висока радіаційна стійкість; можливість використання МОН ПТ для побудови високоекономічних інтегральних схем із великим ступенем інтеграції; деяка залежність параметрів від температури (проте менша, ніж у БТ); МОН ПТ виходять із ладу при випадковому виникненні на затворі статичних електричних зарядів.

ПТ знаходять застосування як підсилювальні елементи електронних пристроїв, вхідний сигнал яких має великий внутрішній опір; у пристроях, які переключаються; у напівпровідникових пристроях, що запам'ятовують, і т. ін. Завдяки відносній простоті виготовлення, малим розмірам і невеликій потужності, що споживається, на МДН – транзисторах можна створювати дешеві інтегральні схеми із високим ступенем інтеграції і малим енергоспоживанням.

#### **1.1.10 Підсилювач на польовому транзисторі**

Польовий транзистор можна включати в підсилювальну схему трьома різними способами: зі спільним витоком (СВ), спільним стоком (СС) і спільним затвором (СЗ). На практиці частіше застосовується схема з СВ

(рисунок 1.17), аналогічна до схеми на напівпровідниковому транзисторі із СЕ.

Початковий режим роботи польового транзистора (рисунок 1.18) забезпечується постійним струмом  $I_{CP}$  і відповідною йому постійною напругою на стоці  $U_{CBP}$  (для біполярного транзистора  $I_{KP}$  і  $U_{KEP}$ ).

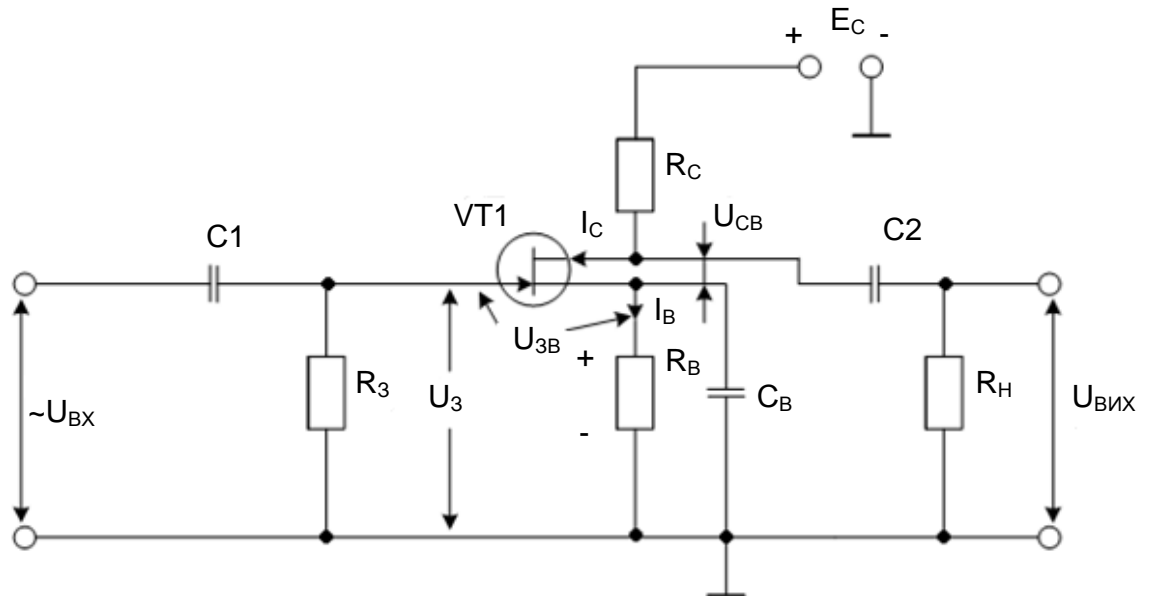


Рисунок 1.17 – Схема підсилювача на польовому транзисторі із спільним ВИТОКОМ

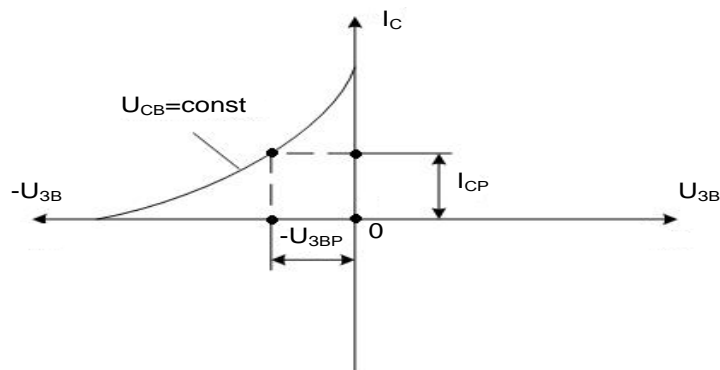


Рисунок 1.18 – Стоко–затворна ВАХ ПТ із р–п переходами і каналом n–типу

Струм  $I_{CP}$  у вихідному (стічному) ланцюзі встановлюється за допомогою джерела живлення  $E_C$  і початкової напруги зсуву на затворі  $U_{ЗВР}$  від'ємної полярності (для польового транзистора із р–каналом – додатної

полярності). Оскільки струм затвора польового транзистора дуже малий (вхідний опір ПТ дуже високий), напруга  $U_{ЗВР}$  забезпечується за рахунок того ж самого струму  $I_{СР}$ , що протікає через резистор у ланцюзі витоку  $R_B$ , тобто  $U_{ЗВР} = I_{СР} R_B$ .

Ця напруга через резистор  $R_3$  прикладається до затвора із від'ємною полярністю. Змінюючи  $R_B$ , можна змінювати напругу  $U_{ЗВР}$ , і як це видно із стоко–затворної характеристики (рисунок 1.18), змінювати струм стоку  $I_{СР}$ , встановлюючи необхідне його значення.

Резистор  $R_B$ , окрім функції автоматичного зсуву на затвор, виконує функцію термостабілізації режиму роботи підсилювача за постійним струмом, стабілізуючи  $I_{СР}$ .

На резисторі  $R_B$  виробляється сигнал ВЗЗ за постійним струмом

$$U_{R_B} = I_C \cdot R_B. \quad (1.6)$$

ВЗЗ являється послідовним, тому що сигнал ВЗЗ віднімається від вхідного сигналу

$$U_{ЗВ} = U_3 - U_{R_B}.$$

Щоб на опорі  $R_B$  не виділялася напруга за рахунок змінної складової струму стоку  $I_{C\sim}$  (це привело б до від'ємного зворотного зв'язку за змінним струмом), його шунтують конденсатором  $C_B$ , ємність якого визначається із умови  $C_B \gg 1/\omega R_B$ , де  $\omega$  – частота сигналу, що підсилюється.

Резистор  $R_3$ , що включений паралельно вхідному опору підсилювача, який дуже великий, повинен мати сумісний із ним опір.

Динамічний режим роботи польового транзистора забезпечується резистором в ланцюзі стоку  $R_C$ , з якого знімається змінний вихідний сигнал за наявності вхідного сигналу, що підсилюється. Зазвичай

$R_C \ll R_3$ ;  $R_3 \approx R_{ВХ}$ . Коефіцієнт підсилення підсилювального каскаду на польовому транзисторі в області середніх частот визначається рівнянням [1...6,10,17]:

$$K_U = -S \cdot R_{c\sim}, \quad (1.7)$$

де  $S$  – статична крутизна характеристики польового транзистора, а

$$R_{c\sim} = \frac{R_C \cdot R_H}{R_C + R_H}. \quad (1.8)$$

Знак "–" у виразі (1.7) вказує на те, що підсилювальний каскад із СВ змінює фазу сигналу, що підсилюється на  $180^\circ$  (як у підсилювальному каскаді за схемою із СЕ).

Підсилювачі на польових транзисторах завдяки їх великому входному опору (декілька МОм) широко застосовуються як входні каскади різних електронних пристроїв, джерело входного сигналу яких має великий внутрішній опір.

#### 1.1.11 Схема із фіксованим струмом бази

Як відмічалось вище, робота однокаскадного транзисторного підсилювача залежить від початкового положення робочої точки за постійним струмом. Це положення визначається величиною струму у входному ланцюзі. Розглянемо найпростіший однокаскадний підсилювач на БТ n–p–n–типу, що включений за схемою із СЕ, в якому положення робочої точки визначається значенням струму бази  $I_{0Б}$  (рисунок 1.19).

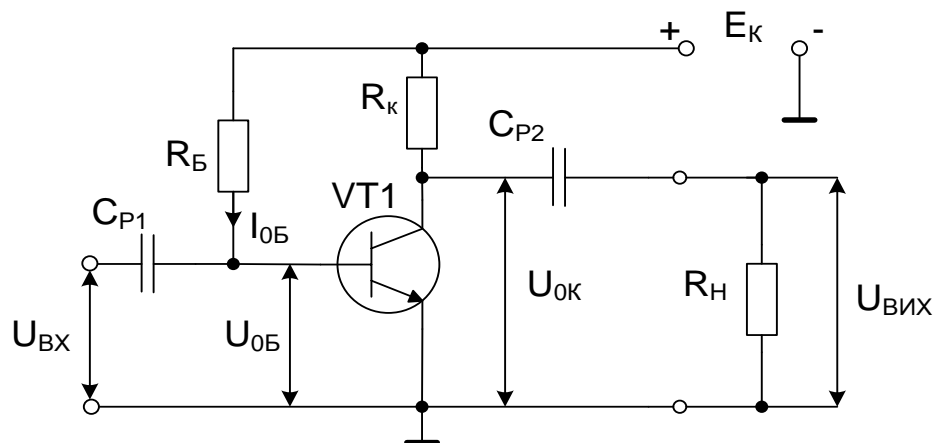


Рисунок 1.19 – Схема підсилювача із фіксованим струмом бази

Початковий струм бази  $I_{0Б}$  визначається напругою  $E_K$  і достатньо великим опором  $R_B$ :

$$R_B = \frac{E_K - U_{0Б}}{I_{0Б}}, \quad (1.9)$$

де  $U_{0Б}$  – початкове зміщення на базі за постійним струмом.

Враховуючи, що  $U_{0Б} \ll E_K$ , то величина  $I_{0Б}$  розраховується за формулою

$$I_{0Б} \approx \frac{E_K}{R_B}. \quad (1.10)$$

Постійна складова струму колектора

$$I_{0К} = \beta \cdot I_{0Б}, \quad (1.11)$$

де  $\beta$  – коефіцієнт підсилення струму.

Значення резистора  $R_K$  можна визначити за формулою

$$R_K = \frac{E_K - U_{0К}}{I_{0К}}, \quad (1.12)$$

де  $U_{0К}$  – напруга на колекторі, яка відповідає початковому положенню робочої точки.

Розглянута схема достатньо проста, але має ряд недоліків [1,3,7,16]:

- залежність параметрів від температури;
- залежність від розкиду параметрів транзисторів.

### **1.1.12 Схема із фіксованою базовою напругою**

Схема із фіксованою базовою напругою на БТ п–р–п–типу (рисунок 1.20) у порівнянні зі схемою підсилювача із фіксованим базовим струмом менш чутлива до впливу температури.



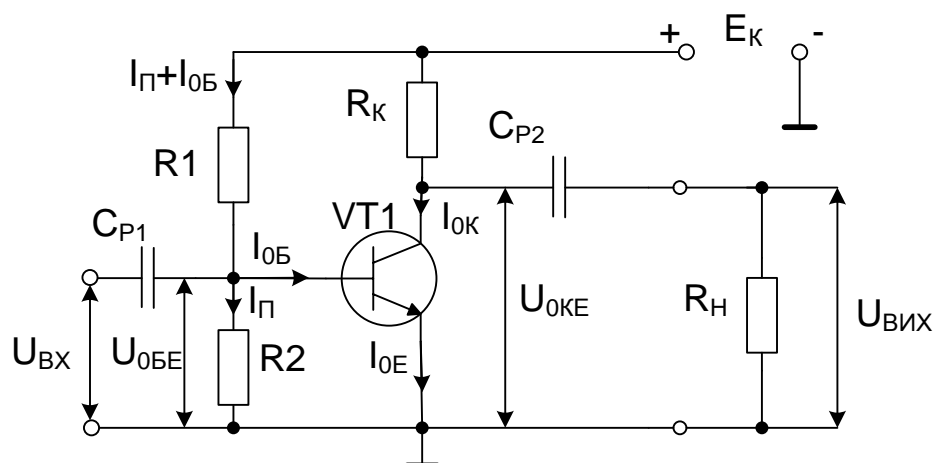


Рисунок 1.20 – Схема підсилювача із фіксованою базовою напругою

На схемі прийнято наступні позначення:

- $I_{\Pi}$  – струм подільника напруги  $+E_K$ , який утворений резисторами  $R_1, R_2$ ;
- $I_{0Б}$  – струм бази, що відповідає початковому положенню робочої точки;
- $U_{0БЕ}$  – напруга база–емітер, що відповідає початковому положенню робочої точки;
- $I_{0К}, I_{0Е}$  – відповідно постійні складові струму колектора і струму емітера;
- $U_{0КЕ}$  – постійна складова напруги колектор–емітер.

Струм подільника обирається із співвідношення [3, 6, 26].

$$I_{\Pi} = (2 \dots 5) \cdot I_{0Б}. \quad (1.13)$$

Нижче приведено основні розрахункові співвідношення:

$$R_1 = \frac{E_K - U_{0БЕ}}{I_{\Pi} + I_{0Б}}. \quad (1.14)$$

$$R_2 = \frac{U_{0БЕ}}{I_{\Pi}}. \quad (1.15)$$

$$R_K = \frac{E_K - U_{OK}}{I_{OK}}. \quad (1.16)$$

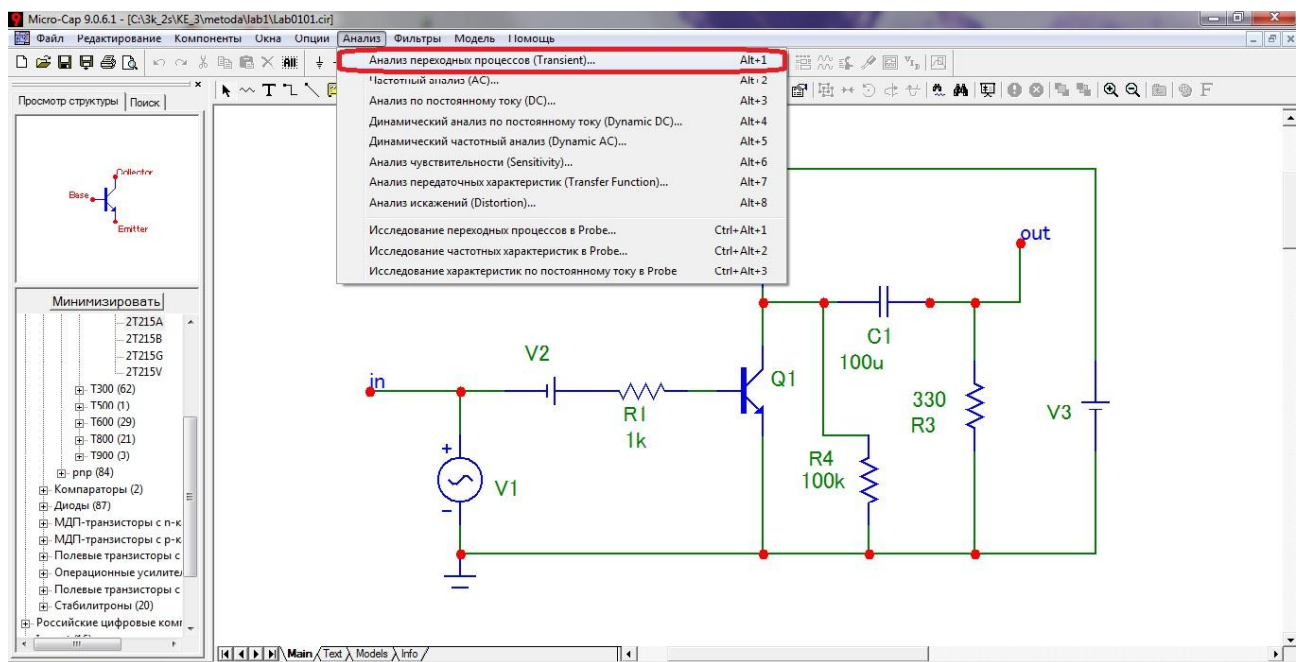
$$I_{OK} = I_{OB} \cdot \beta. \quad (1.17)$$

### 1.1.13 Рекомендації для роботи в програмі Microcap

До методичних вказівок додаються приклади електричних схем змодельованих у системі MicroCap 9. Для виконання лабораторної роботи слід використовувати наведені моделі схем, змінивши відповідні параметри згідно варіанту вашої бригади.

Побудуємо графік залежності вхідної та вихідної напруги, а також вхідного та вихідного струмів від часу:

#### 1) Аналіз—>Аналіз перехідних процесів (Transient)

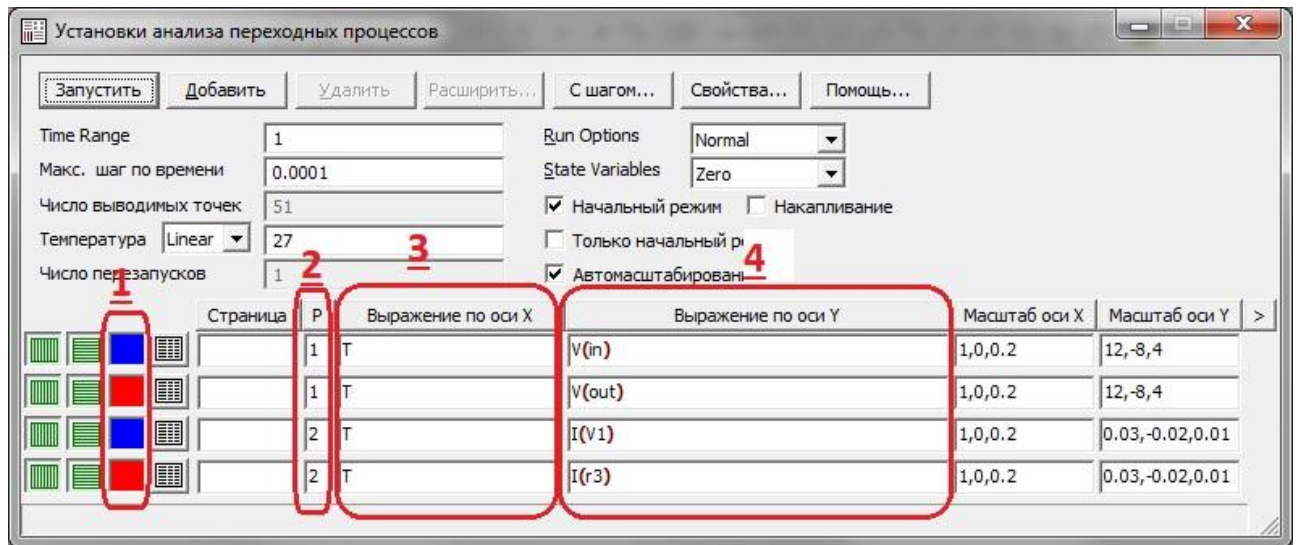


#### 2) Вибираємо параметри:

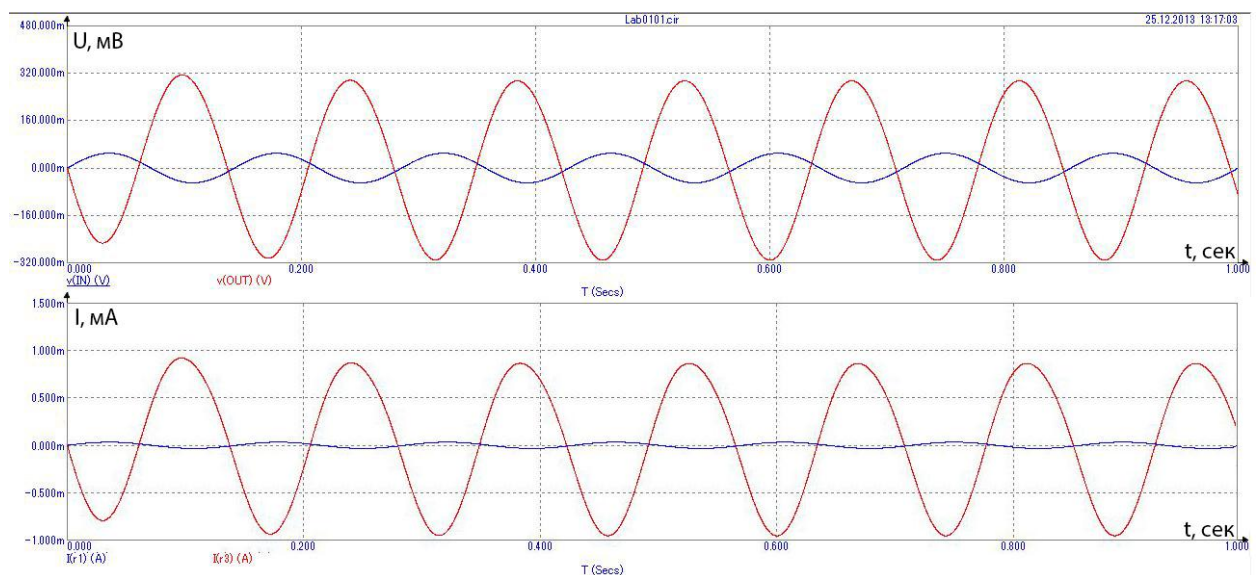
- 1 – колір лінії графіка;
- 2 – порядок розташування на сторінці;

3 – дані за віссю X;

4 – дані за віссю Y.

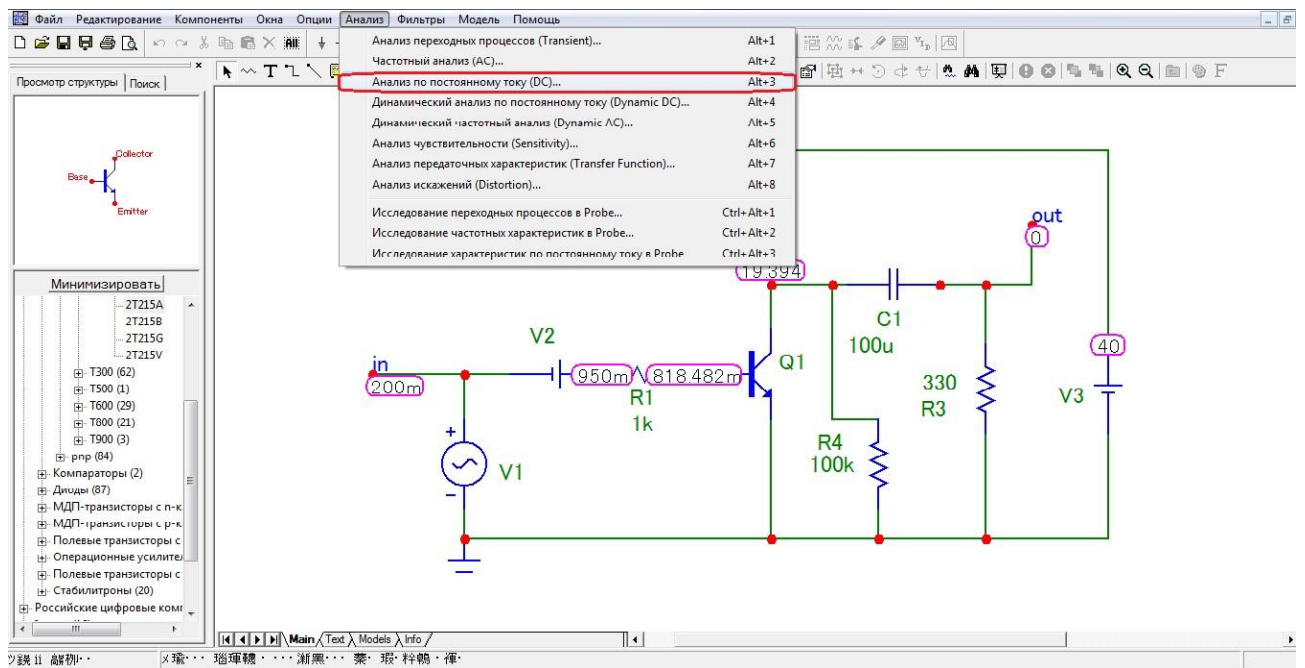


3) Натискаємо кнопку «Запустити»:



Побудова ВАХ біполярного транзистора:

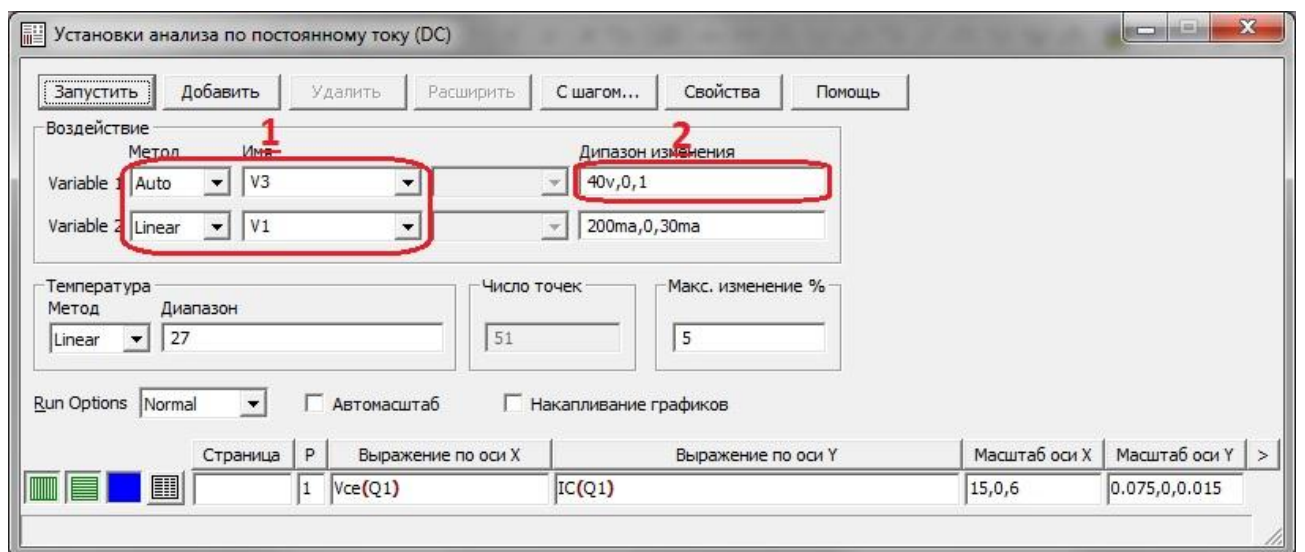
1)Аналіз—>Аналіз за постійним струмом (DC):



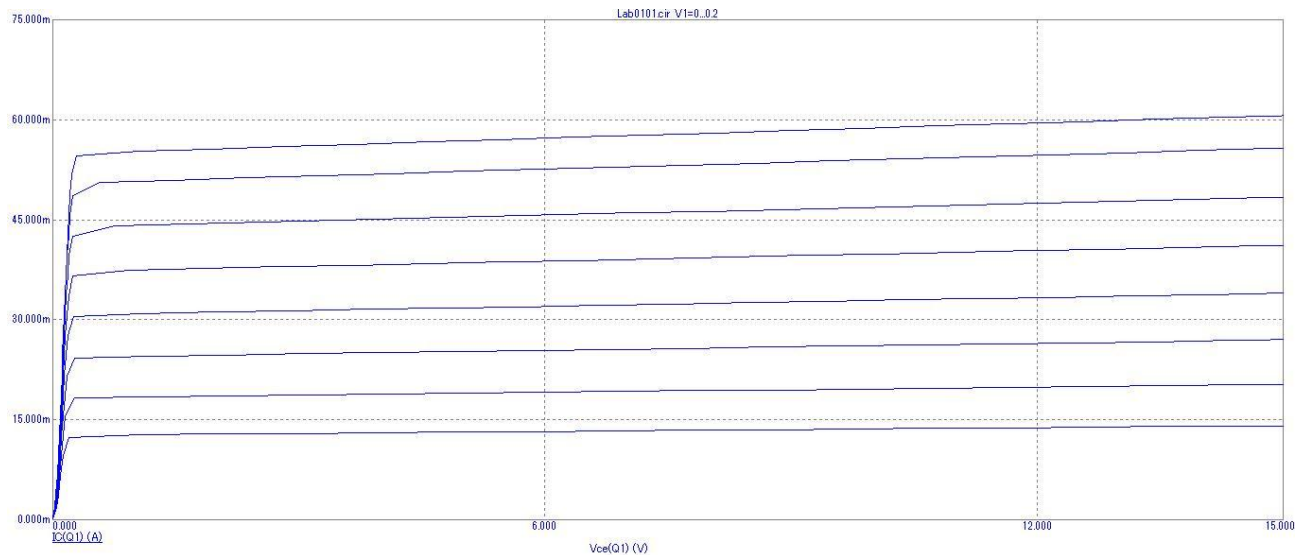
4) Вибираємо параметри:

1 – елементи схеми, які змінюються в залежності від заданого діапазону;

0 – діапазон зміни величин (від 0 до 40 В з кроком 1В).



5) Натискаємо кнопку «Запустити»:



Розшифрування префіксів, суфіксів, закінчень в «виразах за вісями»:

V – напруга;

I – струм;

I<sub>in</sub> – вхід;

I<sub>out</sub> – вихід;

c – колектор (collector)

e – емітер (emitter)

b – база (base)

d – стік (drain)

s – витік (source)

g – затвор (gate)

«ч» – червона лінія;

«с» – синя лінія.

## 1.2 Моделювання окремих пристроїв

### 1.2.1 Схема 1. Схема із польовим транзистором з р–п переходами та каналом типу n

Нижче наведено приклад схеми, яку зібрано у середовищі MicroCap 9: Pol.cir (рисунок 1.21).

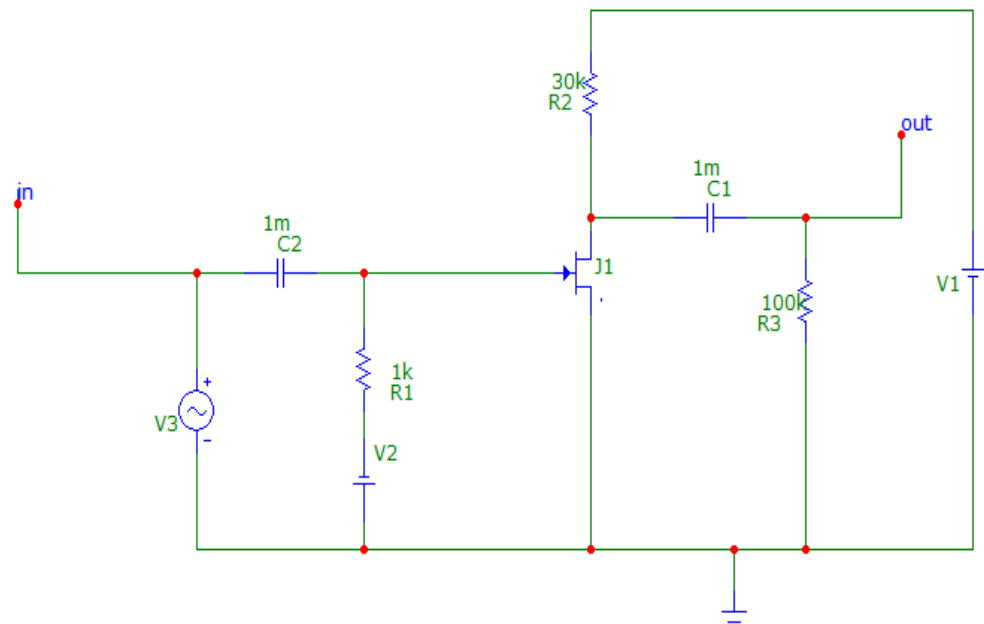


Рисунок 1.21 – Схема із польовим транзистором з р–n переходами та каналом типу n

Параметри схеми:

V3 (Sine Source):

- 1) Model=60HZ,
- 2)  $F = \text{номер бригади} \text{ [Hz]}$ ,
- 3)  $A = 0.05 \text{ [V]}$ ;

V1 (Battery):

- 4) Value=10 [V];

V2 (Battery):

- 5) Value=1 [V];

R1 (Resistor):

- 6) Value=1k [Om];

R2 (Resistor):

- 7) Value=30k [Om];

R3 (Resistor):

- 8) Value=100k [Om];

J1 (NJFET):

9) Model = VCR7N;

C1 (Capacitor):

10) Value=1m [F];

C2 (Capacitor):

11) Value=1m [F].

### Дослідження схеми 1

#### 1.2.1.1 Зняття стокових характеристик транзистора

На рисунку 1.22 наведено стокові характеристики польового транзистора.

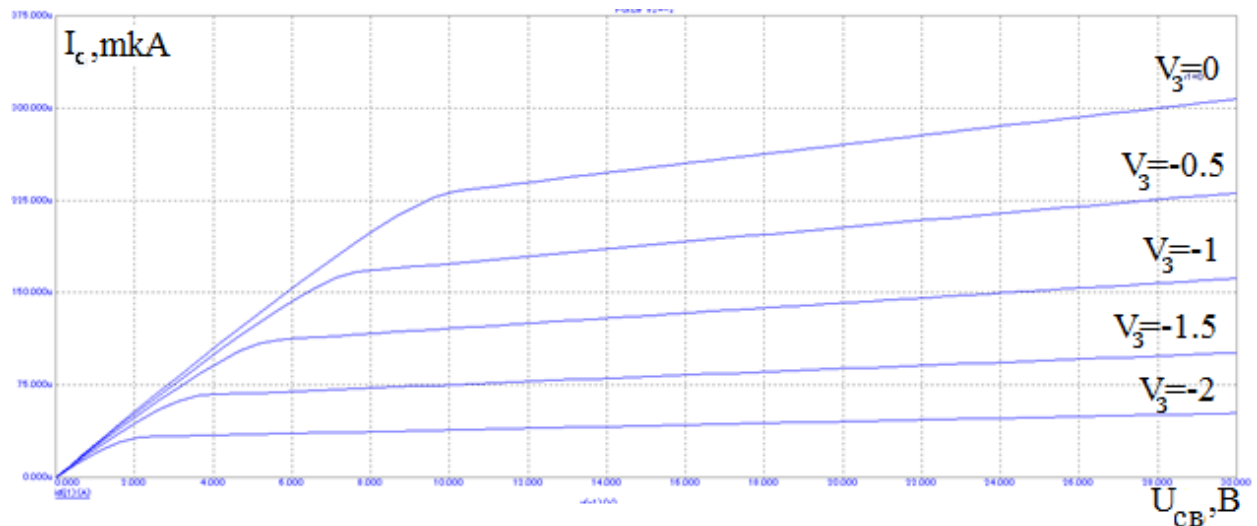


Рисунок 1.22 – Стокові характеристики польового транзистора

З графіка видно, що струм, який протікає по каналу транзистора, в певний момент часу досягає насичення. Величина струму насичення зростає зі зменшенням від'ємної напруги між затвором та стоком (зі зменшенням  $V_{GS}$ ).

Це пояснюється тим, що при зменшенні від'ємної напруги на затворі ширина р–n переходів зменшується, ефективна площа каналу збільшується, опір каналу зменшується, а, відповідно, струм в каналі збільшується.

На вихідних характеристиках ділянка зростання ВАХ відповідає триодному режиму роботи польового транзистора. Ділянка насичення відповідає пентодному режиму роботи. Ці назви пов'язані з тим, що в триодному режимі вихідні характеристики польового транзистора схожі на

вихідні характеристики лампового тріода. Відповідно, характеристики пентодного режиму польового транзистора схожі на вихідні характеристики лампового пентода, головна відмінність якого від тріода, полягає в наявності двох додаткових сіток – екранної та антидинатронної. В пентодному режимі струм стоку досягає насичення за рахунок збільшення падіння напруги на опорі каналу й відповідного зменшення ширини каналу, а також завдяки зменшенню рухливості основних носіїв струму та насичення їх швидкості.

### 1.2.1.2 Зняття часових діаграм роботи схеми із польовим транзистором

На рисунку 1.23 наведено часові діаграми роботи схеми із польовим транзистором, яку наведено на рисунку 1.21.

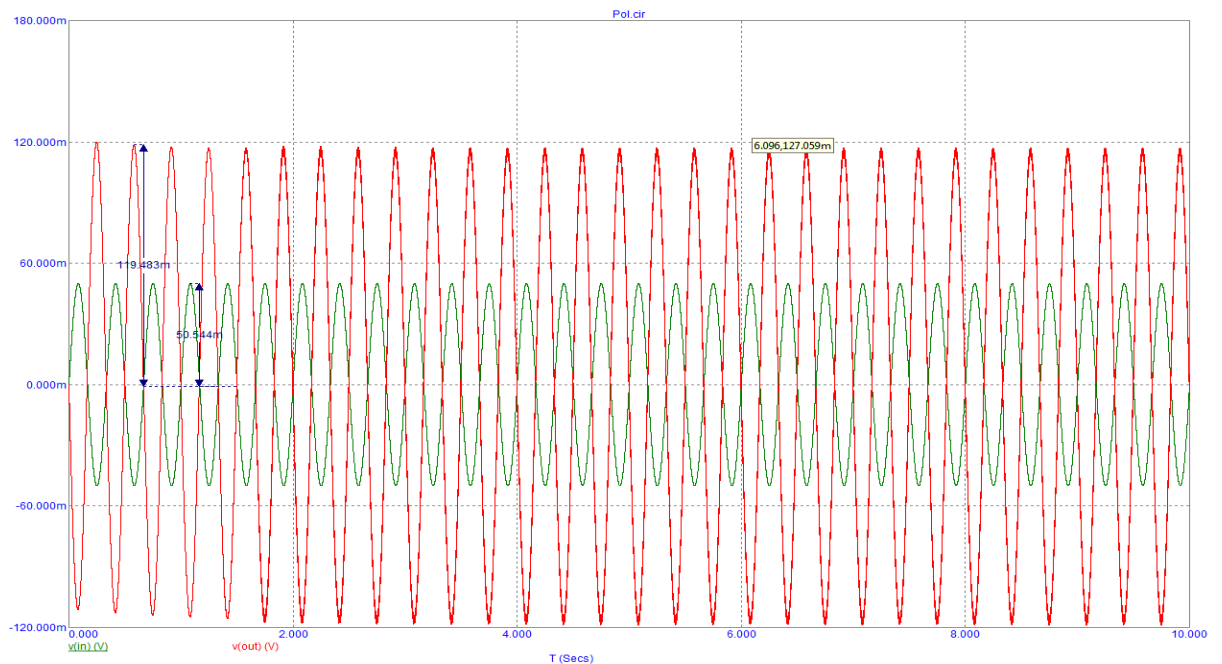


Рисунок 1.23 – Часові діаграми роботи схеми із польовим транзистором

В схемі, яка досліджується, вхідний сигнал, який має амплітуду 50 mV, підсумовується з напругою  $V_2 = -1V$ . Додатний період вхідного сигналу робить потенціал затвору транзистора менш від'ємним. За рахунок цього збільшуються струм в каналі, падіння напруги на резисторі R2 (рисунок 1.21) та зменшується амплітуда вихідної напруги (рисунок 1.23). Від'ємний період вхідного сигналу робить потенціал затвору транзистора більш від'ємним. За рахунок цього зменшуються струм в каналі, падіння



напруги на резисторі R2 (рисунок 1.21) та збільшується амплітуда вихідної напруги (рисунок 1.23). Тобто, схема інвертує фазу вхідної напруги. Амплітуда вихідної напруги більша амплітуди вхідної напруги, що говорить про те, що схема є підсилювачем напруги.

### 1.2.2 Схема 2. Схема підсилювача на польовому транзисторі із затвором у вигляді р–n переходу

Нижче наведено приклад схеми підсилювача на польовому транзисторі із затвором у вигляді р–n переходу та n–каналом, яку зібрано у середовищі MicroCap 9: Pol(os).cir (рисунок 1.24).

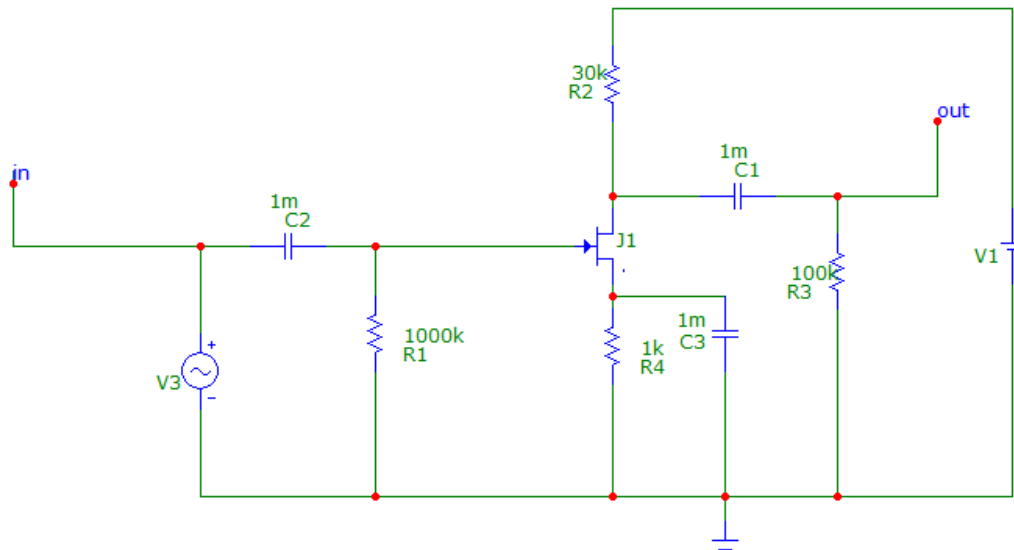


Рисунок 1.24 – Схема підсилювача на польовому транзисторі із затвором у вигляді р–n переходу

У схемі на рисунку 1.24 затвор підключено до спільного виводу (землі) через великий резистор  $R1 = 1 \text{ МОм}$ . Оскільки через цей резистор протікає дуже малий струм, то потенціал затвору  $U_3 \approx 0$ . Від протікання постійної складової струму каналу  $I_B$  через резистор  $R4$  на витоку з'являється додатна напруга  $U_B = I_B \cdot R4$ . Напруга  $U_{зв} = U_3 - U_B = 0 - U_B < 0$  фіксує робочу точку підсилювача за постійним струмом. На резисторі  $R4$  формується сигнал від'ємного зворотного зв'язку (ВЗЗ) за постійним струмом. ВЗЗ за змінним струмом відсутній, оскільки змінна складова  $I_B$  протікає через конденсатор

C3, який шунтує R4. Ємності C1 та C2 – роздільні та використовуються для того, щоб ізолювати транзистор від вхідного сигналу та навантаження за постійним струмом.

Параметри схеми:

J1 (p–n transfer):

V3 (Sine Source):

1     Model=60HZ,

V1 (Battery):

2     Value=10 [V];

R1 (Resistor):

3     Value=1000k [Om];

R2 (Resistor):

4     Value=30k [Om];

R3 (Resistor):

5     Value=100k [Om];

R4 (Resistor):

6     Value=1k [Om];

J1 (NJFET):

7     Model = VCR7N;

C1 (Capacitor):

8     Value=1m [F];

C2 (Capacitor):

9     Value=1m [F].

C3 (Capacitor):

10    Value=1m [F].

## **Дослідження схеми 2**

### **1.2.2.1 Побудова часових діаграм роботи**

На рисунку 1.25 наведено часові діаграми роботи для схеми підсилювача на польовому транзисторі із затвором у вигляді р–п переходу, яку наведено на рисунку 1.24.

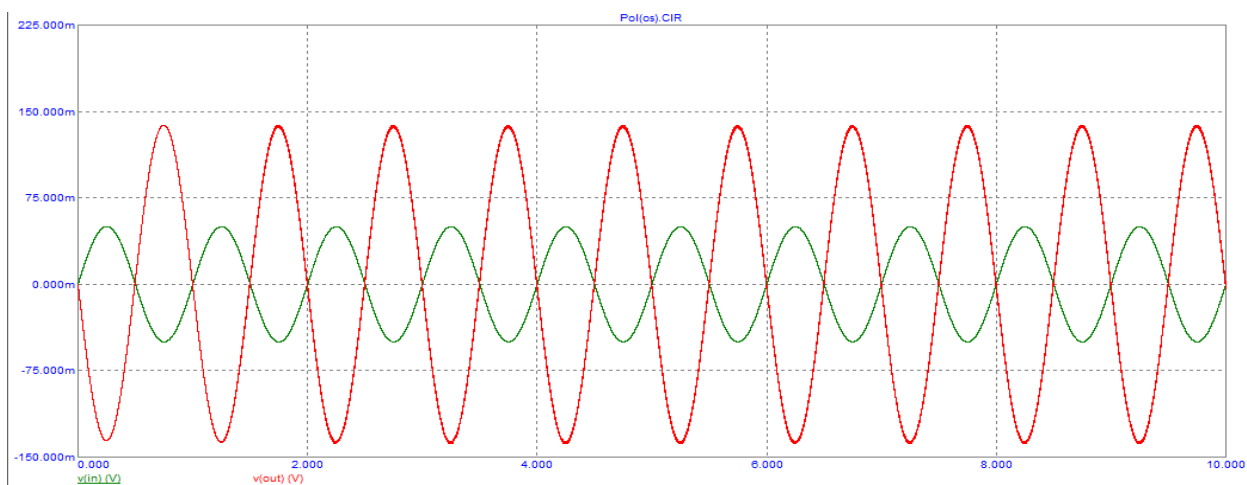


Рисунок 1.25 – Часові діаграми роботи для схеми підсилювача на польовому транзисторі із затвором у вигляді р–п переходу

### 1.2.3 Схема 3. Схема підсилювача на МОН–транзисторі з індукованим каналом

Нижче наведено приклад схеми підсилювача на МОН–транзисторі з індукованим каналом типу n, яку зібрано у середовищі MicroCap 9: MOP.cir (рисунок 1.26).

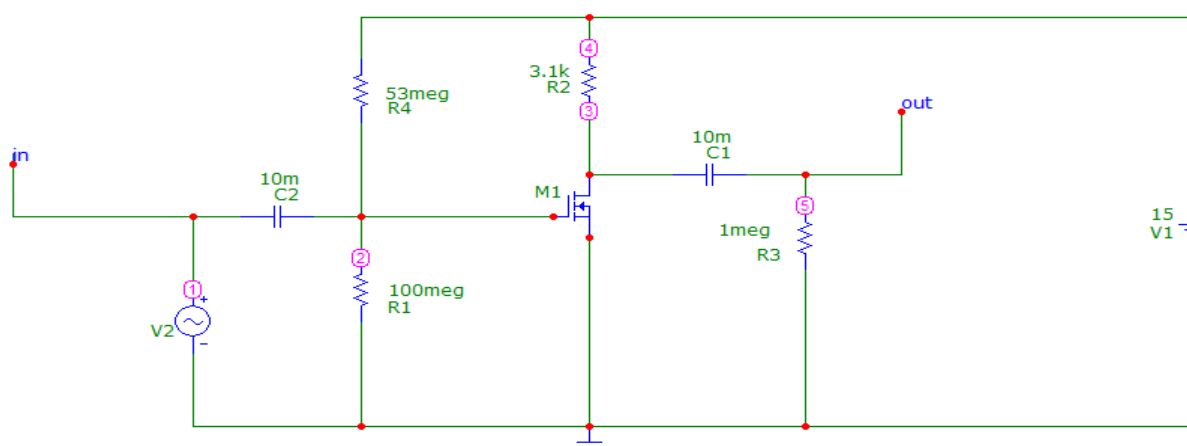


Рисунок 1.26 – Схема підсилювача на МОН–транзисторі з індукованим каналом типу n

Параметри схеми:

V2 (Sine Source):

11 Model=60HZ,

V1 (Battery):

12 Value=15 [V];

R1 (Resistor):

13 Value=100meg [Om];

R2 (Resistor):

14 Value=3.1k [Om];

R3 (Resistor):

15 Value=1meg [Om];

R4 (Resistor):

16 Value=53meg [Om];

M1 (DNMOS):

17 Model = \$EKV\_N;

C1 (Capacitor):

18 Value=10m [F];

C2 (Capacitor):

19 Value=10m [F].

### **Дослідження схеми 3**

#### **1.2.3.1 Побудова часових діаграм роботи**

На рисунку 1.27 наведено часові діаграми роботи для схеми підсилювача на МОН–транзисторі з індукованим каналом типу n.

Із діаграм видно, що схема інвертує фазу та підсилює вхідну напругу.

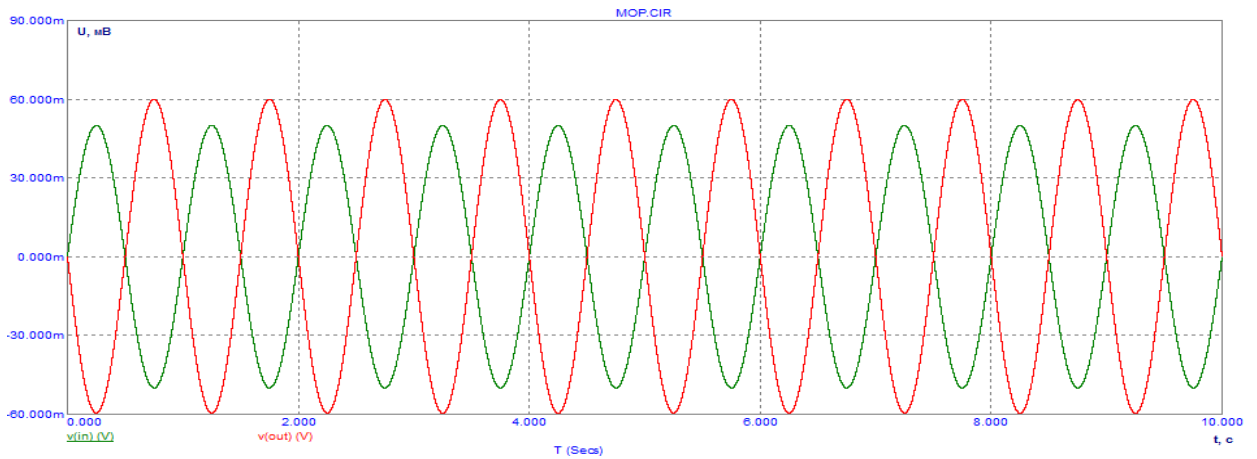


Рисунок 1.27 – Часові діаграми роботи для схеми підсилювача на МОН–транзисторі з індукованим каналом типу n

### 1.2.3.2 Побудова стоко–затворних характеристик для МОН–транзистора DN MOS

На рисунку 1.28 наведено схему для побудови стоко–затворних характеристик для МОН–транзистора DN MOS, яку зібрано у середовищі MicroCap 9: MOP\_Stoc\_Zatvor.cir.

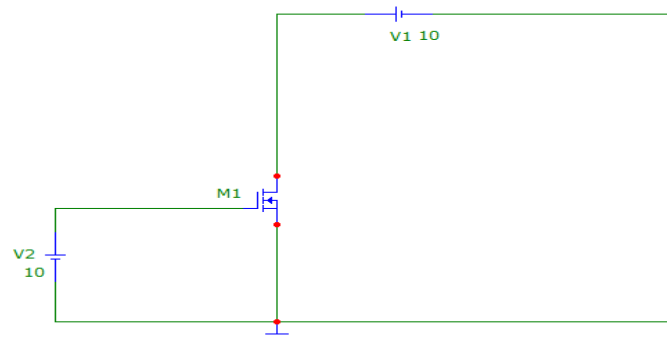


Рисунок 1.28 – Схема для побудови стоко–затворних характеристик МОН–транзистора DN MOS

Параметри схеми:

V1 (Battery):

1 Value=10 [V];

V2 (Battery):

2 Value=10 [V];

M1 (DN MOS):

3 Model = \$EKV\_N;

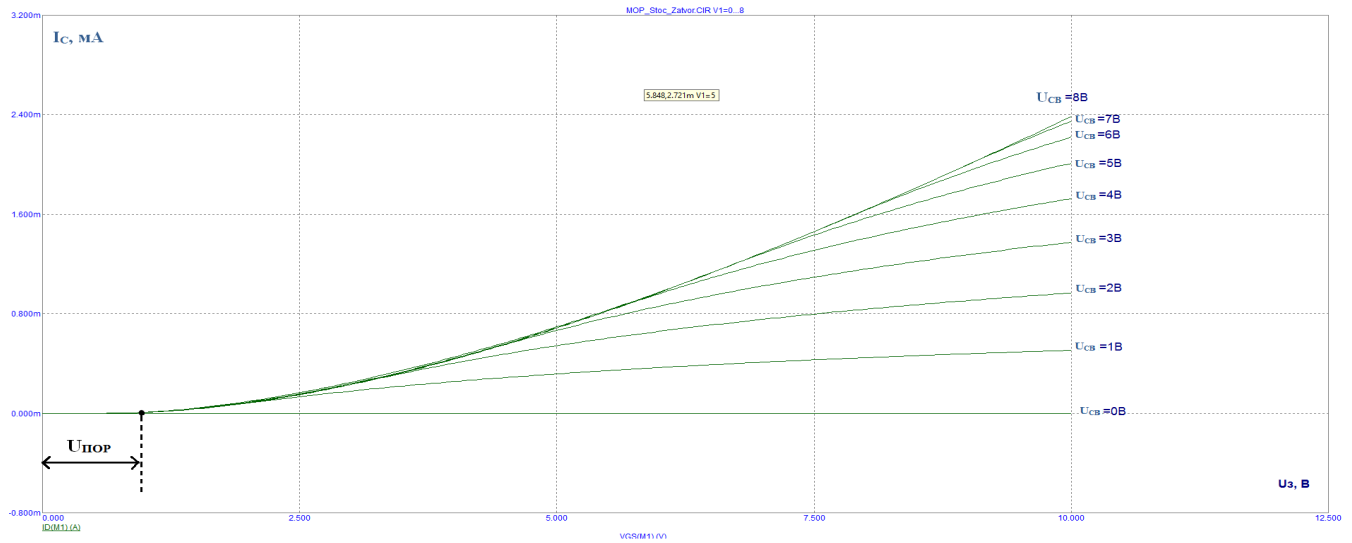


Рисунок 1.29 – Стоко–затворні характеристики МОН–транзистора DNMOS

Дані характеристики демонструють залежність струму стоку  $I_D$  від напруги на затворі при різних значеннях напруги сток–витік ( $U_{DS}$ ). На графіку видно точку порогової напруги  $U_{ПОР}$ , після якої транзистор “відкривається” (індукується канал типу n).

### 1.2.3.3 Побудова стокових характеристик для МОН–транзистора DNMOS

На рисунку 1.30 наведено схему для побудови стокових характеристик для МОН–транзистора DNMOS, яку зібрано у середовищі MicroCap 9: MOP\_Stoc.cir.

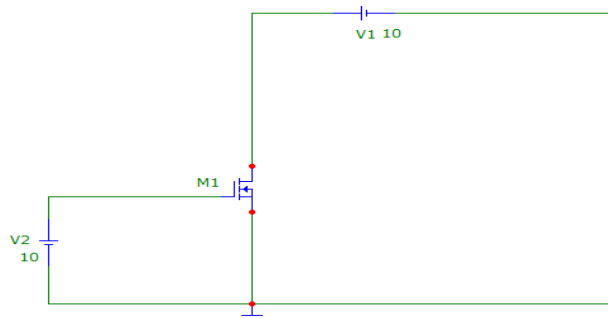


Рисунок 1.30 – Схема для побудови стокових характеристик МОН–транзистора DNMOS

Параметри схеми:

V1 (Battery):

1 Value=10 [V];

V2 (Battery):

2 Value=10 [V];

M1 (DNMOS):

3 Model = \$EKV\_N;

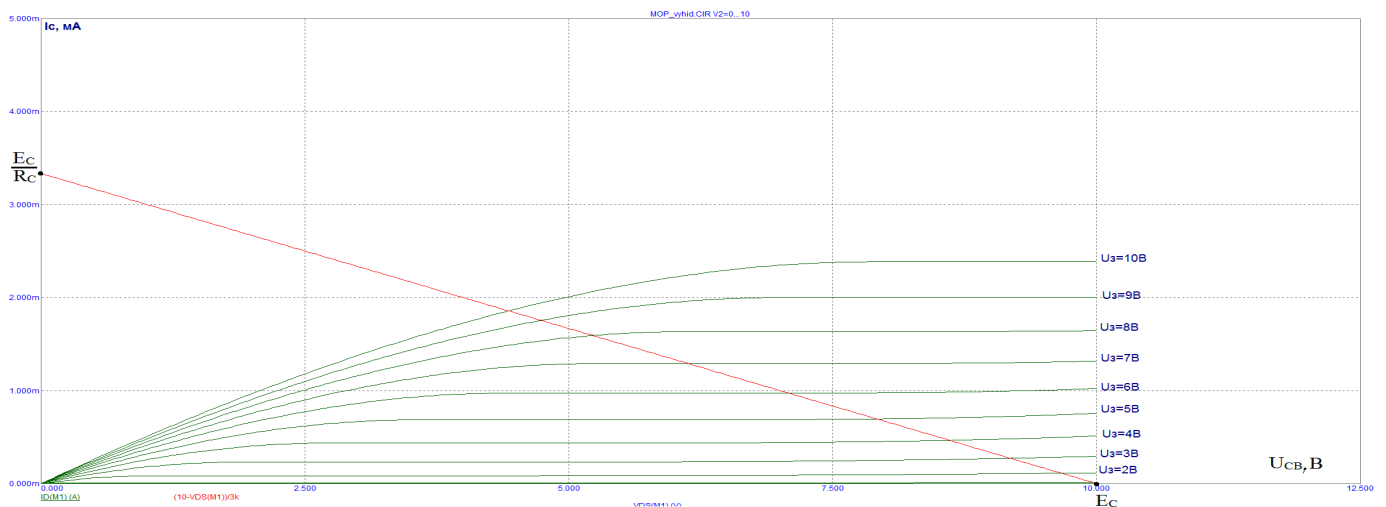


Рисунок 1.31 – Стокові характеристики МОН–транзистора DNMOS

Дані характеристики повністю підтверджують теоретичне обґрунтування стокових характеристик. Пряма навантаження будується за рівнянням  $U_c = E_c - I_c \cdot R_c$ . Перша точка дорівнює значенню напруги у точці перетину прямої з віссю  $U_{св}$  за умови, що  $E_c$  нам відомо. Друга точка відповідає  $I_c = E_c / R_c$ .

#### 1.2.4 Схеми 4. Схеми із фіксованим базовим струмом

Нижче наведено приклад схеми однокаскадного підсилювача із фіксованим базовим струмом на біполярному транзисторі n–p–n, яку зібрано у середовищі MicroCap 9: FixI.cir (рисунок 1.32).

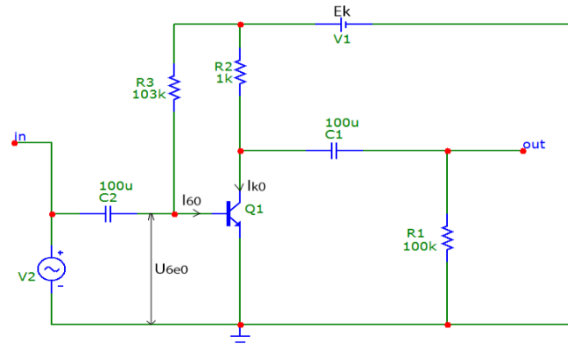


Рисунок 1.32 – Схема однокаскадного підсилювача із фіксованим базовим струмом на біполярному транзисторі n–p–n

Параметри схеми:

Q1 (n–p–n transistor):

Model = 2N699,

Level = 1;

V1 (Battery):

Value = 5 [V];

V2 (Battery):

Value = 0.7 [V];

R1 (Resistor):

Resistance = 100k [Om];

R2 (Resistor):

Resistance = 1k [Om];

R3 (Resistor):

Resistance = 103k [Om];

C1 (Capacitor):

Value=100u [F];

C2 (Capacitor):

Value=100u [F].

#### Дослідження схеми 4

##### 1.2.4.1 Побудова часових діаграм роботи

На рисунку 1.33 наведено часові діаграми роботи для схеми з



фіксованим струмом бази.

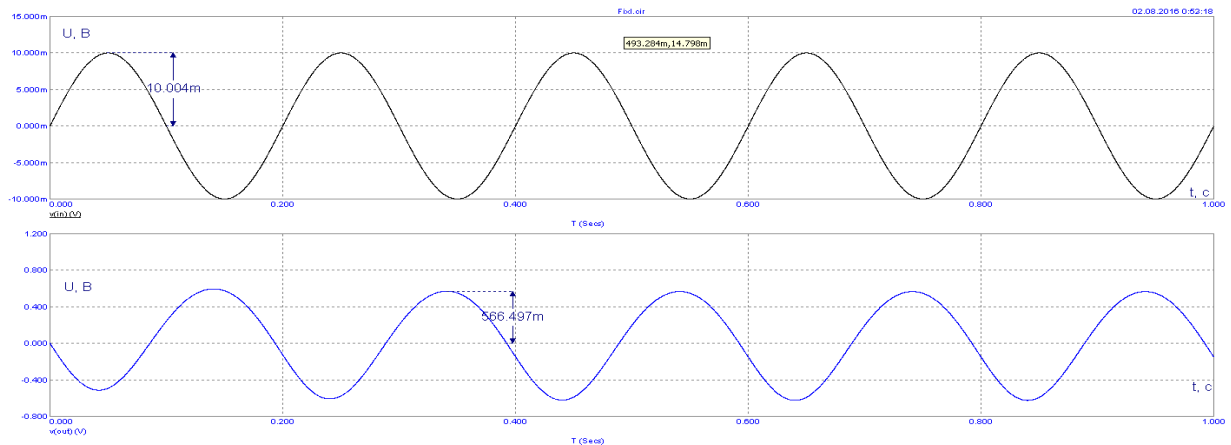


Рисунок 1.33 – Часові діаграми роботи для схеми з фіксованим струмом бази

Як бачимо на графіку, вхідний сигнал був підсилений та інвертований.

Коефіцієнт підсилення можна порахувати як  $K = \frac{U_{\text{вих}}}{U_{\text{вх}}} = \frac{566m}{10m} = 56.6$ .

Роздільні конденсатори C1 і C2 необхідні для розділення шляхів протікання постійного і змінного струмів. За їх відсутності або короткого замикання у випадку пробою, постійний струм від джерела живлення V1 буде текти як через елементи вхідного ланцюга попереднього електронного каскаду, так і через елементи вхідного ланцюга наступного каскаду, що призводить до порушення режимів роботи цих каскадів і всього електронного пристрою взагалі.

Зробимо розрахунок для даної схеми, тим самим перевіривши значення вибраного для досліду опору бази. Для цього нам знадобляться вхідні та вихідні характеристики для транзистора 2N699, який використовується в схемі на рисунку 1.32.

#### 1.2.4.2 Побудова вхідних характеристик для транзистора 2N699

На рисунку 1.34 наведено схему для побудови вхідних характеристик транзистора 2N699, яку зібрано у середовищі MicroCap 9: vhid.cir.

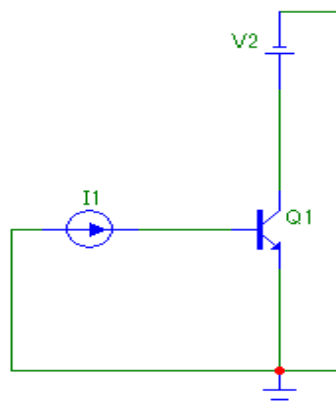


Рисунок 1.34 – Схема для побудови вхідних характеристик транзистора 2N699

Графіки вхідних характеристик (рисунок 1.35) будуть побудовані при  $U_{ке}=0$  та  $U_{ке}=2.5$ В.

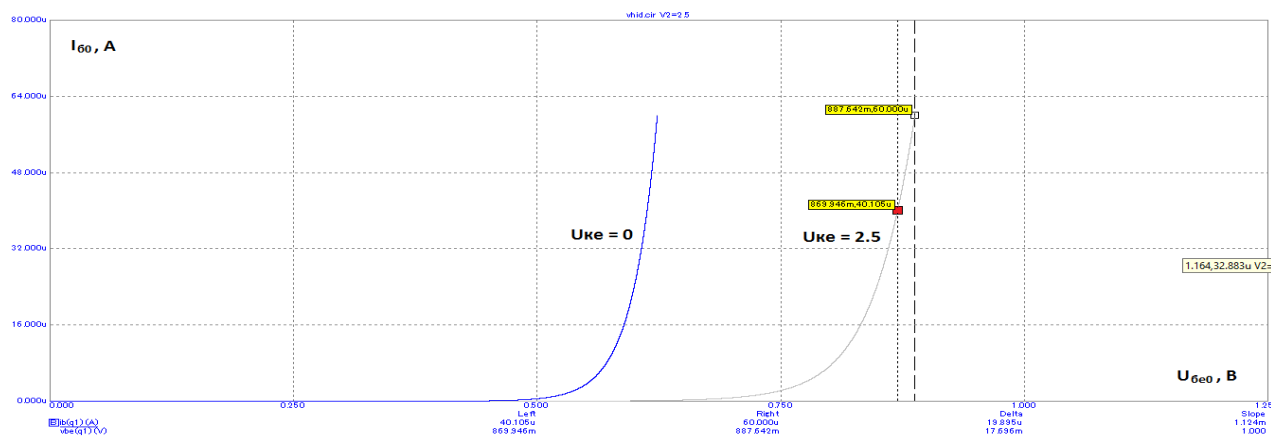


Рисунок 1.35 – Вхідні характеристики транзистора 2N699

Параметри схеми:

Q1 (n-p-n-transistor):

Model = 2N699,

Level = 1;

I1 (I Source):

Value = 2.5u [A];

V2 (Battery):

Value = 5 [V].

Вибір напруги на колекторі, яка дорівнює половині напруги живлення каскаду, який підсилює, пов'язаний з нелінійними спотвореннями на виході схеми. При виборі напруги більше половини живлення, синусоїдальна напруга буде відсікатися знизу. Це призведе до зменшення максимально допустимої напруги підсилювача. При виборі напруги менше половини живлення синусоїдальна напруга буде відсікатися зверху, що теж призведе до зменшення максимально допустимої напруги підсилювача. Оптимальною є напруга, що дорівнює половині напруги живлення каскаду.

На рисунку 1.35 наведено вхідні характеристики транзистора 2N699, які отримані у середовищі MicroCap 9: vhid.cir.

Точку спокою на графіку вхідної характеристики вибирають так, щоб вона знаходилась на лінійному відрізку даної гілки параболи:

$$I_{60} = 40 \text{ мкА}, U_{6e0} = 869.946 \text{ мВ.}$$

Зробимо розрахунок  $R_6$ :

$$R_6 = \frac{E_k - U_{6e0}}{I_{60}} = \frac{5 - 0.869946}{40 \cdot 10^{-6}} = 103251.35 \text{ Ом} \approx 103 \text{ кОм.}$$

Для визначення опору на колекторі, необхідно скористатися графіком вихідних характеристик.

На рисунку 1.36 наведено схему для побудови вихідних статичних характеристик транзистора 2N699, яку зібрано у середовищі MicroCap 9: family.cir.

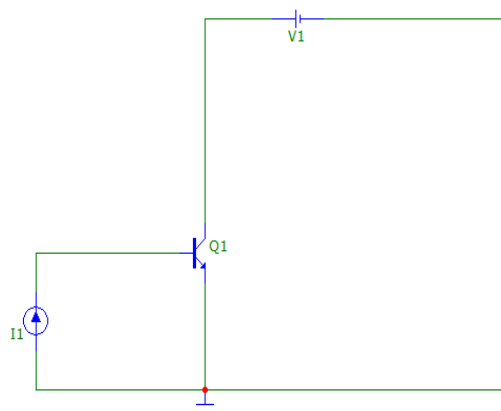


Рисунок 1.36 – Схема для побудови вихідних статичних характеристик транзистора 2N699

Параметри схеми:

Q1 (n–p–n–transistor):

Model = 2N699,

Level = 1;

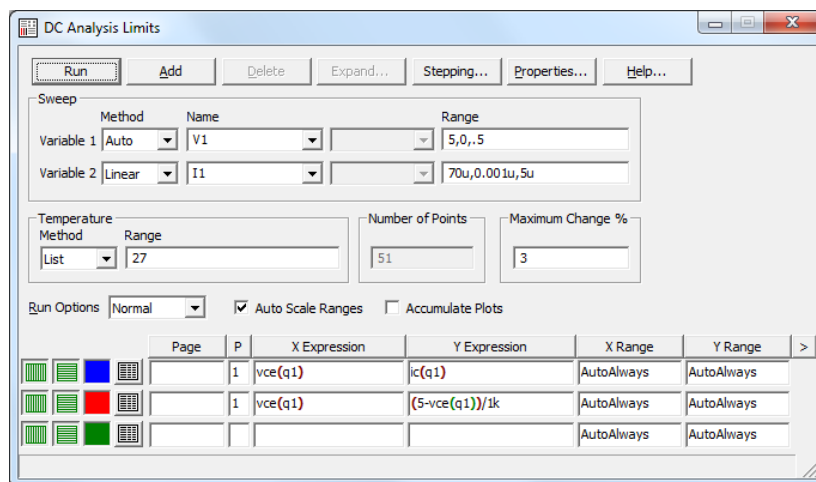
I1 (I ource):

Value = 2.5u [A];

V1 (Battery):

Value = 5 [V].

Для отримання сімейства статичних характеристик скористаємося побудовою графіку типу DC. У MicroCap натискаємо на Analysis, але обираємо не Transient, а DC. У вікні, що відкрилося, вводимо наступні дані і натискаємо Run:



На рисунку 1.37 наведено вихідні характеристики транзистора 2N699, які отримані у середовищі MicroCap 9: family.cir.

Прийmemo  $U_{ke0} = 2.5V$ . В цій точці  $I_{k0} = 2.5 \text{ mA}$ .

Розрахуємо значення опору колектора:

$$R_k = \frac{E_k - U_{ke0}}{I_{k0}} = \frac{5 - 2.5}{2.5 \cdot 10^{-3}} = 10^3 \text{ Ом} = 1 \text{ кОм}.$$

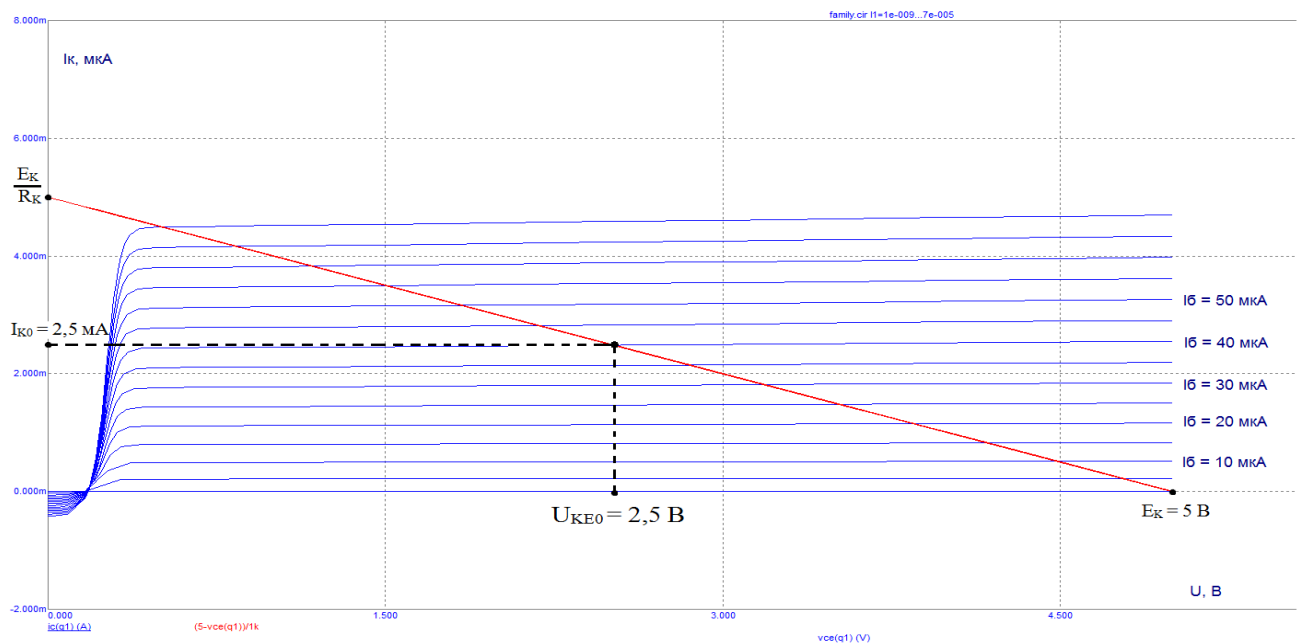


Рисунок 1.37 – Вихідні характеристики транзистора 2N699

### 1.2.5 Схема 5. Схема із фіксованою базовою напругою

Нижче наведено приклад схеми однокаскадного підсилювача із фіксованою базовою напругою на біполярному транзисторі n–p–n типу, яку зібрано у середовищі MicroCap 9: FixU.cir (рисунок 1.38).

Параметри схеми:

Q1 (n–p–n transistor):

Model = 2N699;

Level = 1.

V1 (Battery):

Value = 5 [V];

V2 (Battery):

Value = 0.7 [V];

R1 (Resistor):

Resistance = 100k [Om];

R2 (Resistor):

Resistance = 1k [Om];

R3 (Resistor):

Resistance = 17.2k [Om];

R4 (Resistor)6

Resistance = 3.6k [Om].

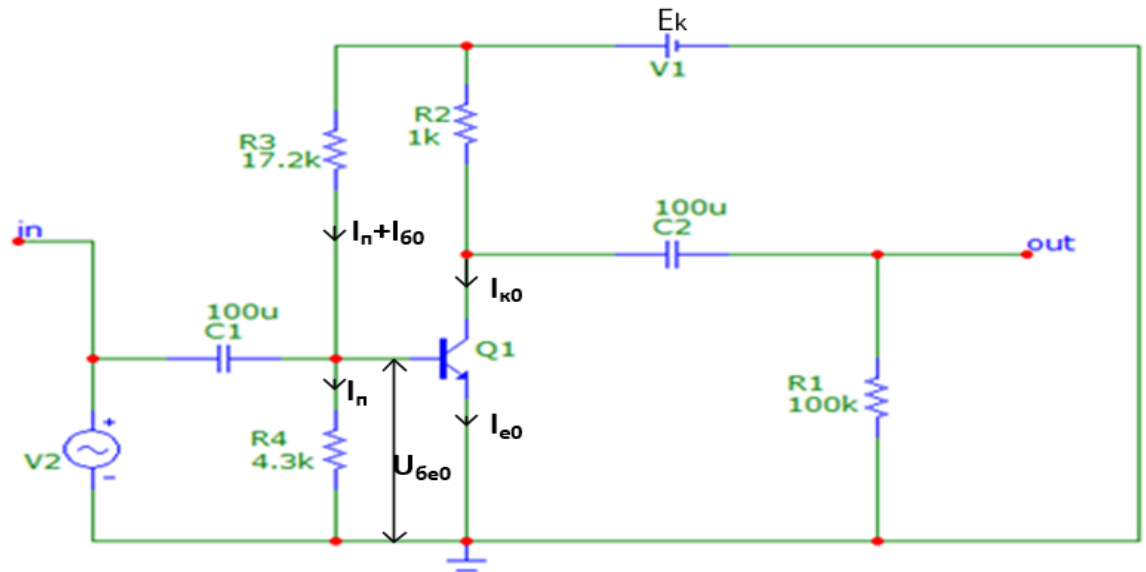


Рисунок 1.38 – Схема однокаскадного підсилювача із фіксованою базовою напругою на біполярному транзисторі n–p–n типу

## Дослідження схеми 5

### 1.2.5.1 Побудова часових діаграм роботи

На рисунку 1.39 наведено часові діаграми роботи для схеми з фіксованою базовою напругою.

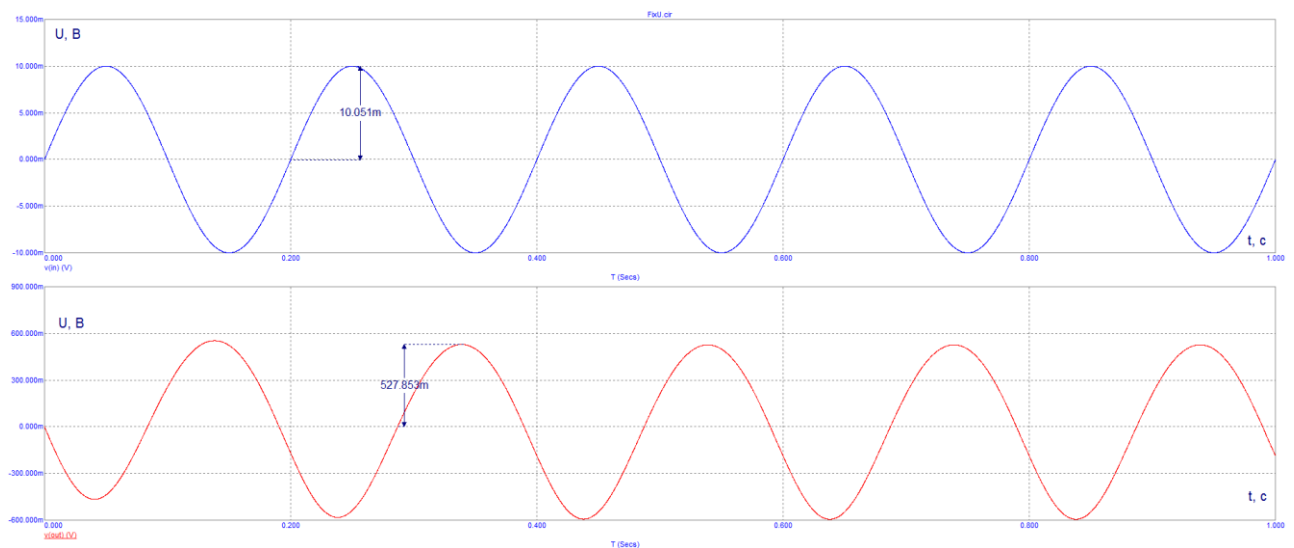


Рисунок 1.39 – Часові діаграми роботи для схеми з фіксованою базовою напругою

На даному графіку бачимо, що вхідний сигнал був інвертований та підсилений. Коефіцієнт підсилення можна порахувати як :

$$K = \frac{U_{\text{вих}}}{U_{\text{вх}}} = \frac{527\text{m}}{10\text{m}} = 52.7.$$

Зробимо розрахунок для даної схеми, тим само перевіривши значення вибраних для досліду опорів ділянки напруги. Для цього нам знадобляться вхідні та вихідні статичні характеристики для транзистора 2N699. Використаємо графіки вхідних та вихідних статичних характеристик та значення точки спокою, які були використані в схемі з фіксованим струмом бази (рисунки 1.35, 1.37).

Точку спокою на графіку вхідної характеристики вибирають так, щоб вона знаходилась на лінійному відрізку даної гілки параболи.

$$I_{\text{б}0} = 40 \text{ мкА}, U_{\text{б}e0} = 869.946 \text{ мВ}, \text{ струм подільника: } I_{\text{п}} = 5I_{\text{б}0} = 40 * 5 = 200 \text{ мкА}.$$

Розрахуємо значення резисторів R3 та R4.

$$R_3 = \frac{E_{\text{к}} - U_{\text{б}e0}}{I_{\text{п}} + I_{\text{б}0}} = \frac{5 - 0.869946}{(200 + 40) * 10^{-6}} = 17208 \text{ Ом} \approx 17.2 \text{ кОм},$$

$$R_4 = \frac{U_{\text{б}e0}}{I_{\text{п}}} = \frac{0.869946}{200 * 10^{-6}} = 4349.73 \text{ Ом} \approx 4.3 \text{ кОм}.$$

Для визначення опору на колекторі, необхідно скористатися графіком вихідної характеристики, який ми також отримали раніше (рисунок 1.37).

Прийmemo  $U_{\text{к}e0} = 2.5$ . В цій точці  $I_{\text{к}0} = 2.5 \text{ мА}$ . Розрахуємо значення опору колектора:

$$R_{\text{к}} = \frac{E_{\text{к}} - U_{\text{к}e0}}{I_{\text{к}0}} = \frac{5 - 2.5}{2.5 * 10^{-3}} = 10^3 \text{ Ом} = 1 \text{ кОм}.$$

### 1.3 Порядок виконання роботи

- 1) Схема 1. Дослідити схему із польовим транзистором з р-п переходами та каналом типу n (рисунок 1.21):
  - а) зняти та проаналізувати сім'ю стокових характеристик транзистора (рисунок 1.22);

- б) отримати та проаналізувати часові діаграми роботи транзистора (рисунок 1.23).
- 2) Схеми 2. Дослідити схему підсилювача на польовому транзисторі із затвором у вигляді р–п переходу (рисунок 1.24):
  - а) отримати та проаналізувати часові діаграми роботи схеми (рисунок 1.25);
- 3) Схеми 3. Дослідити схему підсилювача на МОН–транзисторі (рисунок 1.26):
  - а) отримати та проаналізувати часові діаграми роботи схеми (рисунок 1.27);
- 4) Схеми 4. Дослідити схему із фіксованим базовим струмом (рисунок 1.32):
  - а) отримати та проаналізувати часові діаграми роботи схеми (рисунок 1.33);
  - б) зняти та проаналізувати сім'ю вхідних характеристик транзистора 2N699 (рисунок 1.34, 1.35);
  - в) зняти та проаналізувати сім'ю вихідних характеристик транзистора 2N699 (рисунок 1.36, 1.37);
  - г) розрахувати значення основних елементів схеми із фіксованим базовим струмом (рисунок 1.32).
- 5) Схеми 5. Дослідити схему із фіксованою базовою напругою (рисунок 1.38):
  - а) отримати та проаналізувати часові діаграми роботи схеми (рисунок 1.39);
  - б) розрахувати значення основних елементів схеми із фіксованою базовою напругою (рисунок 1.38).

#### **1.4 Контрольні питання**

- 1) Дайте визначення поняттю електронно–дірковий перехід.
- 2) Дайте визначення напівпровідників n–типу та p–типу.



- 3) Які фізичні процеси протікають у р–п переході за відсутності зовнішнього електричного поля? Опишіть зворотне і пряме включення р–п переходу.
- 4) Дайте визначення транзистора.
- 5) Чим відрізняються біполярні та уніполярні транзистори?
- 6) Наведіть позначення біполярних та польових транзисторів на електричних схемах.
- 7) Скільки р–п переходів мають біполярні транзистори (БТ) і як ці переходи називаються?
- 8) Назвіть та поясніть основні режими роботи БТ.
- 9) Поясніть роботу БТ в активному режимі.
- 10) Що являють собою статичні ВАХ БТ?
- 11) Поясніть принцип дії польових транзисторів (ПТ) із затвором у вигляді р–п переходу та ізольованим затвором.
- 12) Наведіть та поясніть статичні ВАХ ПТ.
- 13) Назвіть та поясніть основні параметри ПТ.
- 14) Назвіть основні переваги ПТ.

## 2 ЛАБОРАТОРНА РОБОТА №2

**Тема:** Дослідження операційних підсилювачів.

**Мета:** Дослідити принцип дії, основні властивості та характеристики операційних підсилювачів (ОП). Ознайомитись із основними параметрами цих пристроїв та областю їх застосування.

### 2.1 Короткі теоретичні відомості

#### 2.1.1 Загальна характеристика ОП

Термін «операційний підсилювач» (ОП) вперше був використаний в обчислювальній техніці, де він ототожнювався із поняттям «розв’язуючий підсилювач» [5, 12, 21, 24, 28]. Із цим терміном незмінно пов’язувалась будь-яка математична операція: підсумовування, диференціювання, інтегрування і т. ін., яку підсилювач міг виконувати завдяки введенню від’ємного зворотного зв’язку (ВЗЗ) певного вигляду. У даний час зміст цього терміну істотно розширився і дещо змінився. Під «операційним підсилювачем» прийнято розуміти універсальний електронний підсилювач, який може виконувати різні функції і дозволяє без порушення його працездатності вводити ЗЗ різного типу. Цей універсальний підсилювач існує у вигляді окремої інтегральної мікросхеми операційного підсилювача (ІМС ОП) або може бути частиною інтегральної мікросхеми. На рисунку 2.1 наведено два варіанти позначення ІМС ОП на електричних схемах.

У технічній документації ОП позначають прямокутником, у якого вхід, який інвертує, позначають маленьким колом. За принципом дії ОП схожий зі звичайним підсилювачем.

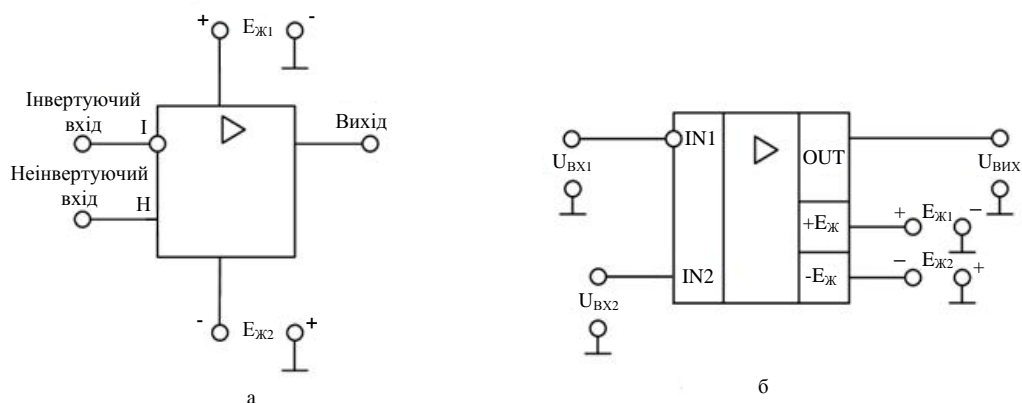


Рисунок 2.1 – Умовні позначення ІМС ОП на електричних схемах

Як і звичайний підсилювач, він призначений для підсилення напруги або потужності вхідного сигналу. Тоді як властивості і параметри звичайного підсилювача повністю визначені його схемою, властивості і параметри ОП визначаються переважно параметрами ланцюга ВЗЗ. ОП виконують за схемою підсилювачів постійного струму із безпосереднім зв'язком між окремими каскадами із диференціальним входом і біполярним по відношенню до амплітуди підсилювального сигналу виходом. Це забезпечує нульові потенціали на вході і виході ОП за відсутності сигналів, що керують. ОП характеризується великим коефіцієнтом підсилення, високим вхідним і низьким вихідним опорами. У даний час ОП виконуються, як правило, у вигляді монолітних інтегральних мікросхем, і за розмірами і ціною не відрізняються від окремо взятого транзистора. Завдяки практично ідеальним характеристикам ОП реалізація різних схем на їх основі виявляється значно простішою, ніж на окремих транзисторах. Тому ОП витісняють окремі транзистори як елементи схем у багатьох областях лінійної схемотехніки. Більшість інтегральних ОП промислового типу мають один вихід (рисунок 2.1). При цьому вихідна напруга  $U_{вих}$  знаходиться у фазі із напругою  $U_{вх2}$  і з протилежною фазою до напруги  $U_{вх1}$ . Напруга, що безпосередньо прикладена між входами, дорівнює різниці напруг  $U_{вх1}$  і  $U_{вх2}$ . Ця напруга дорівнює

нулю, якщо  $U_{BX1}$  і  $U_{BX2}$  мають навіть значні, але рівні значення. Тому напруги  $U_{BX1}$  і  $U_{BX2}$  по відношенню до спільної точки називаються напругою загального вигляду, а їх різниця – диференціальною напругою.

Вихідна напруга ОП обчислюється за формулою:

$$U_{ВИХ} = \Delta U \cdot K_{U.ІМСОП}, \quad (2.1)$$

де  $\Delta U$  — різниця напруг між входами, яка обчислюється за формулою:

$$\Delta U' = U_{BX1} - U_{BX2}, \quad (2.2)$$

або

$$\Delta U'' = U_{BX2} - U_{BX1}, \quad (2.3)$$

$K_{U.ІМСОП}$  — коефіцієнт підсилення напруги інтегральної мікросхеми ОП (ІМС ОП).

Основною характеристикою ІМС ОП є передатна характеристика, яку наведено на рисунку 2.2.

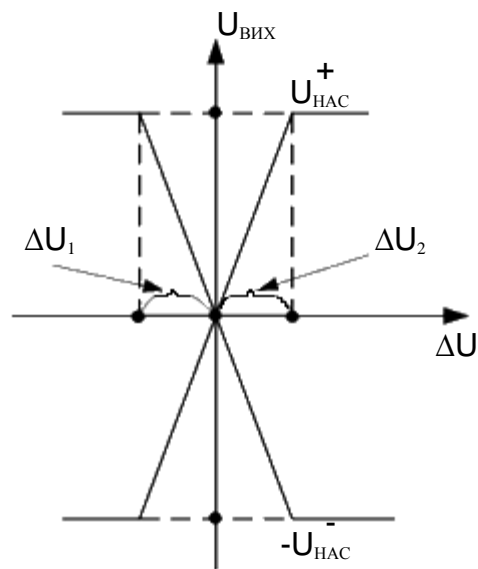


Рисунок 2.2 – Передатна характеристика ІМС ОП

На цьому рисунку суміщено дві передатні характеристики тієї ж самої ІМС ОП, вигляд яких залежить від того, як обчислюється  $\Delta U$ :

$$\Delta U' = U_I - U_H,$$

$$\Delta U'' = U_H - U_I.$$

На рисунку 2.3 ці дві характеристики зображені окремо. Наведені на рисунках 2.2, 2.3 передатні характеристики ІМС ОП мають три характерні ділянки:

- лінійна ( $U_{ВИХ}$  лінійно залежить від  $\Delta U$ );
- насичення плюс ( $U_{ВИХ} = +U_{НАС}^+$ );
- насичення мінус ( $U_{ВИХ} = -U_{НАС}^-$ ).

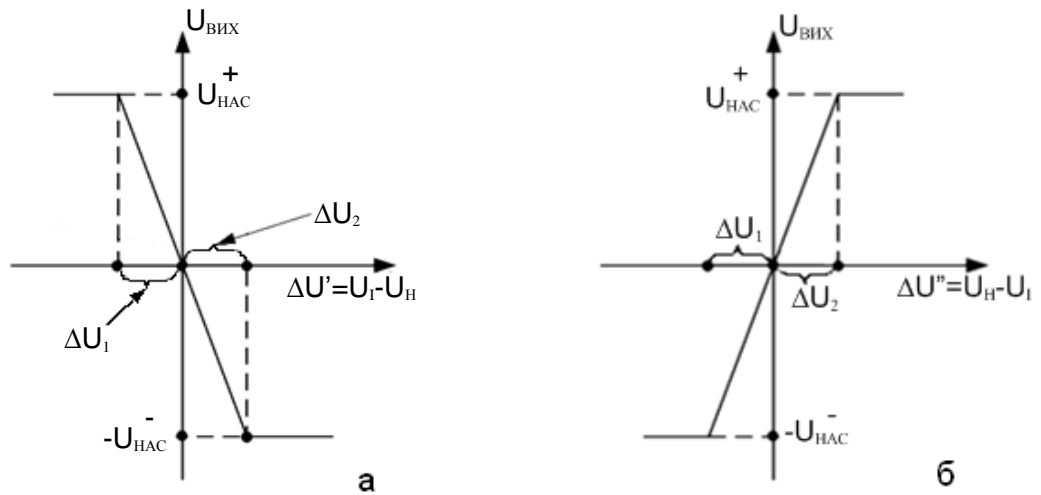


Рисунок 2.3 – Передатні характеристики ІМС ОП при:

$$a - \Delta U' = U_I - U_H; \quad б - \Delta U'' = U_H - U_I$$

Значення напруг  $|\Delta U_1| \approx \Delta U_2$ , які відповідають границям лінійної ділянки, дуже малі (десяті долі...одиниці мілівольт):

$$\Delta U_1 = \Delta U_2 = \frac{U_{НАС}^+}{K_{У.ІМСОП}}. \quad (2.4)$$

Умовні позначення:

$U_{ВИХ}^+$  – напруга насичення плюс, величина якої залежить від напруги живлення ІМС ОП (наприклад, якщо мікросхема живиться напругами

$E_{Ж1} = +15B$ , а  $E_{Ж2} = -15B$ , то  $U_{НАС}^+ = +11B$ , а  $U_{НАС}^- = -11B$ );

$K_{U.ИМСОП}$  – коефіцієнт підсилення напруги ІМС ОП (дорівнює десяткам або сотням тисяч). Наприклад :

$$U_{HAC}^{+} = 11B, \text{ а } K_{U.ИМСОП} = 10000, \text{ то } \Delta U_1 = \frac{11}{10000} = 1.1 \cdot 10^{-3} B = 1.1 мВ.$$

Лінійна ділянка передатної характеристики використовується у підсилювачах, а нелінійні відрізки – в імпульсних пристроях (компараторах, тригерах Шмітта, генераторах і т. ін.).

При використанні ІМС ОП в імпульсних пристроях вихідна напруга залежить від співвідношення потенціалів входів: І – який інвертує на Н – який не інвертує.

Якщо потенціал входу «І» більш додатний (менш від'ємний) відносно потенціалу на вході «Н» і різниця  $\Delta U = (U_I - U_H) > (|\Delta U_1| = \Delta U_2)$ , то  $U_{ВИХ} = -U_{HAC}^{-}$ .

Наприклад,

$$U_I = 4B, U_H = 2B, \text{ то } U_{ВИХ} = -U_{HAC}^{-}; U_I = -4B, U_H = -2B, \text{ то } U_{ВИХ} = +U_{HAC}^{+}.$$

Як правило

$$+U_{ВИХ}^{+} = \left| -U_{HAC}^{-} \right|,$$

тому при посиленні на напруги насичення використовують, або  $+U_{HAC}$ , або  $(-U_{HAC})$ . Інтегральні мікросхеми операційних підсилювачів широко використовуються в сучасних електронних пристроях, тому що вони мають: високий коефіцієнт підсилення напруги (десятки ... сотні тисяч); великий вхідний опір (сотні або тисячі кОм); малий вихідний опір (долі ... одиниці Ом); широку смугу частот пропускання (мегагерци); високий коефіцієнт придушення синфазного сигналу. При аналізі електронних схем на ІМС ОП останню вважають ідеальною, якщо:

$$\left. \begin{aligned} -K_{U.I.MC.OП} &\rightarrow \infty; \\ -R_{BX} &\rightarrow \infty; \\ -R_{ВНХ} &\rightarrow 0; \\ -\Delta f_{ПРОПУСКАНИЯ} &\rightarrow \infty. \end{aligned} \right\}$$

## 2.1.2 Основні параметри операційних підсилювачів

**Операційні підсилювачі мають наступні важливі параметри:**

### 2.1.2.1 Коефіцієнт підсилення без зворотного зв'язку $K_{U.I.MC.OП}$ (А)

Коефіцієнт підсилення підсилювача при відсутності зворотного зв'язку зазвичай дорівнює кільком десяткам тисяч. Він називається також повним коефіцієнтом підсилення за напругою.

### 2.1.2.2 Вхідна напруга зсуву $U_{ЗСВ}$

Невеликі небажані напруги, які створюються всередині підсилювача, є причиною виникнення на виході деякої не нульової напруги при нульовій напрузі на обох входах. Це є наслідком неточного узгодження напруг емітер–база вхідних транзисторів. Зазвичай  $U_{ЗСВ}$  дорівнює кільком мілівольтам. Напругу  $U_{ЗСВ}$  називають вхідною, тому що визначають її через напругу, яку необхідно подати на вхід, щоб на виході встановилася напруга 0 В.

### 2.1.2.3 Вхідний струм зміщення $I_{ЗМ}$

Струм на входах підсилювача, необхідний для роботи вхідного каскаду операційного підсилювача (струм бази, який повинен бути забезпечений для вхідного транзистора).

### 2.1.2.4 Вхідний струм зсуву $I_{ЗСВ}$

Різниця струмів зміщення необхідних для двох вхідних транзисторів операційного підсилювача. З'являється внаслідок не точного узгодження

коефіцієнтів підсилення за струмом ( $\beta$ ) вхідних транзисторів. Якщо  $I_{ЗМ1}$  — струм, необхідний для живлення бази вхідного транзистора на вході, який інвертує, а  $I_{ЗМ2}$  — струм, необхідний для живлення бази вхідного транзистора на вході, який не інвертує, то  $I_{ЗСВ} = I_{ЗМ1} - I_{ЗМ2}$ . Вхідний струм зсуву змінюється приблизно так, як вхідна напруга, тому струм зсуву є змінною величиною. Зазвичай  $I_{ЗСВ}$  лежить у діапазоні від кількох одиниць до кількох сотень наноамперів.

#### **2.1.2.5 Вхідний опір $R_{ВХ}$**

Опір підсилювача відносно до вхідного сигналу. Як правило,  $R_{ВХ}$  перевищує 1 МОм, але може досягати і кількох сотень МОм.

Потрібно розрізняти диференціальний вхідний опір, тобто опір між обома вхідними виводами, та синфазний вхідний опір, тобто опір між об'єднаними обома виводами входів та землею. В описах мікросхем зазвичай не вказується, який з цих параметрів мають на увазі, і пишуть просто  $R_{ВХ}$ .

#### **2.1.2.6 Вихідний опір $R_{ВІХ}$**

Внутрішній опір підсилювача, про який можна судити із напруги на його виході. Зазвичай  $R_{ВІХ}$  не перевищує кількох сотень Ом.

#### **2.1.2.7 Коефіцієнт послаблення синфазних вхідних напруг**

Характеризує здатність ослаблювати (не підсилювати) однакові сигнали, що прикладені до обох входів одночасно.



### **2.1.2.8 Коефіцієнт впливу нестабільності джерела живлення на вихідну напругу**

Показує зміну вихідної напруги при зміні напруги живлення ( $+E_{ж1}$  та  $-E_{ж2}$  одночасно) на 1В. Зазвичай дається у мікрвольтах на вольт.

### **2.1.2.9 Вхідна ємність ( $C_{вх}$ )**

Вхідна ємність ( $C_{вх}$ ) є ємністю між вхідними виводами і землею.

### **2.1.2.10 Струм споживання**

Струм споживання це струм спокою (без навантаження), що споживає операційний підсилювач.

### **2.1.2.11 Споживана потужність**

Споживана потужність це потужність, що розсіюється операційним підсилювачем без навантаження.

### **2.1.2.12 Максимальна швидкість зростання вихідної напруги**

Максимальна швидкість зростання вихідної напруги це максимальна швидкість зміни вихідної напруги, що дана у вольтах на мікросекунду.

### **2.1.2.13 Перехідна характеристика**

Перехідна характеристика відображає сигнал на виході операційного підсилювача при подачі на його вхід сходинок напруги. Час наростання та величина стрибка вихідної напруги даються для стандартної зміни вхідної напруги.

### 2.1.2.14 Гранично допустимі значення

Сюди відносять такі параметри, як максимальна потужність, що розсіюється, робочий діапазон температур, максимальна напруга живлення, максимальна різниця входних напруг між входом, який інвертує, та входом, який не інвертує, максимальна напруга синфазних входних сигналів та інтервал температур зберігання. Перевищення цих граничних значень призводить до пошкодження операційного підсилювача.

Ряд виробників включає у специфікації своїх операційних підсилювачів графіки багатьох параметрів. Сюди можуть відноситись залежності  $U_{ВНХ.МАКС}$  від  $R_H$ ,  $U_{ВНХ.МАКС}$  від напруги живлення,  $U_{ЗСВ}$  та  $I_{ЗМ}$  від температури. Уважне вивчення специфікацій операційних підсилювачів є необхідним для їх успішного використання. Найбільш суттєві параметри, такі як  $U_{ЗСВ}$  та  $A$ , зазвичай даються при максимальній та мінімальній робочих температурах, а також при кімнатній температурі.

### 2.1.3 Операційний підсилювач, що не інвертує

Схема операційного підсилювача, що не інвертує, наведена на рисунку 2.4.

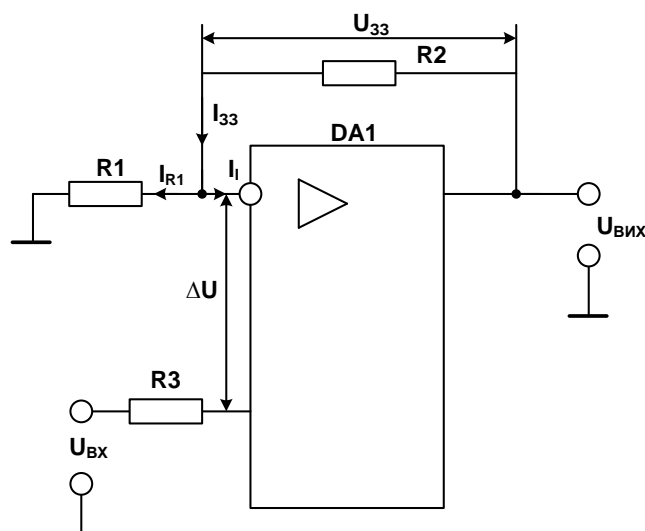


Рисунок 2.4 – Схема підсилювача, що не інвертує

Коефіцієнт підсилення цього підсилювача визначається виразом

$$K_U = \frac{U_{BIX}}{U_{BX}} = 1 + \frac{R2}{R1}, \text{ виведення якого надане нижче.}$$

Вважатимемо, що ІМС ОП (DA1) близька до ідеальної. Тоді:

$$K_{U.ІМСОП} \rightarrow \infty; \quad (2.5)$$

$$R_{BX} \rightarrow \infty; \quad (2.6)$$

$$R_{BIX} \rightarrow 0. \quad (2.7)$$

Вихідна напруга підсилювача визначається виразом:

$$U_{BIX} = U_{33} + \Delta U + U_{BX} = I_{33} \cdot R2 + \Delta U + U_{BX}. \quad (2.8)$$

При виконанні (2.5) та за умови, що підсилювач працює у лінійному режимі,  $\Delta U \rightarrow 0$ , тоді (2.8) матиме вигляд:

$$U_{BIX} = U_{33} + U_{BX} = I_{33} \cdot R2 + U_{BX}. \quad (2.9)$$

Оскільки при виконанні умови (2.6), струм  $I_I \rightarrow 0$ , то  $I_{33} \rightarrow I_{R1}$ . Підставляючи останній в (2.9) отримаємо:

$$U_{BIX} = I_{R1} \cdot R2 + U_{BX}. \quad (2.10)$$

Для визначення значення  $I_{R1}$  запишемо вираз, що пов'язує  $U_{BX}$ ,  $\Delta U$ ,  $U_{R1}$ :

$$U_{BX} = \Delta U + U_{R1} = \Delta U + I_{R1} \cdot R1. \quad (2.11)$$

Останнє з урахуванням (2.5) та за умови, що підсилювач працює у лінійному режимі,  $\Delta U \rightarrow 0$ , прийме вигляд:

$$U_{BX} = I_{R1} \cdot R1. \quad (2.12)$$

Звідси отримаємо  $I_{R1} = \frac{U_{BX}}{R1}$ . Підставляючи його у (2.10), запишемо:

$$U_{BIX} = \frac{U_{BX}}{R1} \cdot R2 + U_{BX} = U_{BX} \left(1 + \frac{R2}{R1}\right). \quad (2.13)$$

Звідси коефіцієнт підсилення:

$$K_U = \frac{U_{ВНХ}}{U_{ВХ}} = 1 + \frac{R2}{R1} \quad (2.14)$$

Задаючи значення резистора  $R1$ , із формули (2.14) отримаємо вираз для розрахунку  $R2$  за відомим значенням коефіцієнта підсилення  $K_U$ :

$$R2 = (K_U - 1)R1 \quad (2.15)$$

Якщо  $R2=0$ , а  $R1=\infty$ , то  $K_U=1$ . При цьому схема, що розглядається, має вигляд, який наведено на рисунку 2.5, та виконує функцію неінвертуючого повторювача напруги, коли  $U_{ВНХ} = U_{ВХ}$ .

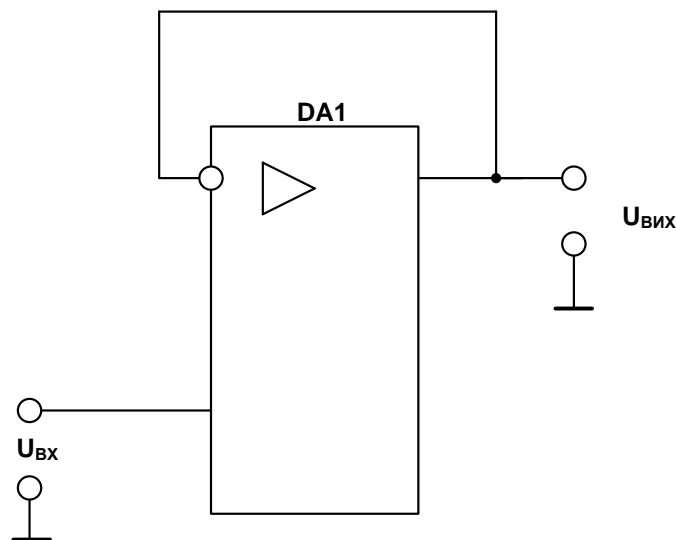


Рисунок 2.5 – Схема повторювача напруги, що не інвертує

В свою чергу значення резистора  $R3$  розраховується за формулою:

$$R3 = \frac{R1 \cdot R2}{R1 + R2} \quad (2.16)$$

#### 2.1.4 Операційний підсилювач, що інвертує

Схема операційного підсилювача, що інвертує, наведена на рисунку 2.6. Коефіцієнт підсилення цього підсилювача визначається виразом

$$K_U = -\frac{R2}{R1}, \text{ виведення якого надане нижче.}$$

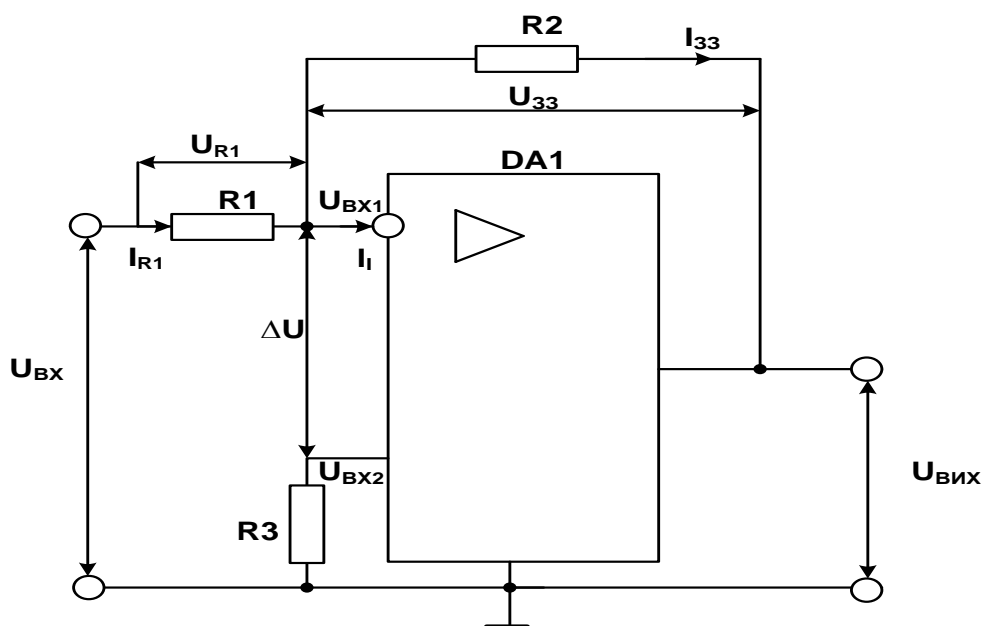


Рисунок 2.6 – Схема операційного підсилювача, що інвертує

Якщо ІМС ОП вважати ідеальною  $K_{U.ІМСОП} \rightarrow \infty, R_{BX} \rightarrow \infty, R_{ВИХ} \rightarrow 0$ , то при роботі у лінійному режимі різниця потенціалів між його входами (диференціальний вхідний сигнал) прямує до нуля:

$$\Delta U = U_{BX1} - U_{BX2} = \frac{U_{ВИХ}}{K_{U.ІМСОП}} \approx 0 \quad (2.17)$$

Як показано на рисунку, вхід, що не інвертує вхідний сигнал, з'єднаний із спільною шиною (землею). Тому потенціал входу, що не інвертує, також близький до потенціалу спільної (нульової) шини. Вхідна напруга  $U_{BX}$  підсилювача поєднана із напругами  $U_{R1}$  та  $\Delta U$  виразом:

$$U_{BX} = U_{R1} + \Delta U \quad (2.18)$$

Оскільки при  $K_{U.ІМСОП} \rightarrow \infty, \Delta U \rightarrow 0$ , тоді:

$$U_{BX} = U_{R1} \quad (2.19)$$

Напруга  $U_{R1}$  визначається за формулою:

$$U_{R1} = I_{R1} \cdot R1 \quad (2.20)$$

В свою чергу :

$$I_{R1} = I_{33} + I_I \quad (2.21)$$

Якщо вважати, що  $R_{BX}$  ІМС ОП дуже великий ( $R_{BX} \rightarrow \infty$ ),  $I_I \approx 0$ , то:

$$I_{R1} = I_{33}; \quad (2.22)$$

$$U_{R1} = I_{33} \cdot R1; \quad (2.23)$$

$$U_{BX} = I_{33} \cdot R1; \quad (2.24)$$

$$I_{33} = \frac{U_{33}}{R2}; \quad (2.25)$$

$$U_{BX} = \frac{U_{33} \cdot R1}{R2}. \quad (2.26)$$

Для визначення напруги зворотного зв'язку  $U_{33}$  запишемо:

$$\Delta U = U_{33} + U_{BIX}. \quad (2.27)$$

За умови, що  $\Delta U \approx 0$  ( $K_{U.ІМСОП} \rightarrow \infty$ ), отримаємо:

$$U_{33} = -U_{BIX};$$

$$U_{BX} = -\frac{U_{BIX} \cdot R1}{R2};$$

$$U_{BIX} = -\frac{U_{BX} \cdot R2}{R1} = K_U \cdot U_{BX}, \quad (2.28)$$

$$\text{де } K_U = -\frac{R2}{R1}.$$

Знак «мінус» у наведеній формулі вказує на те, що вихідна напруга  $U_{BIX}$  знаходиться у протилежній фазі до вхідної напруги  $U_{BX}$ . Якщо  $R2 = R1$ , тоді  $K_U = -1$ , а наведена на рисунку 2.6 схема стає повторювачем напруги, що інвертує.

### 2.1.5 Операційний підсилювач, що диференціює

Схема операційного підсилювача, що диференціює, наведена на рисунку 2.7.

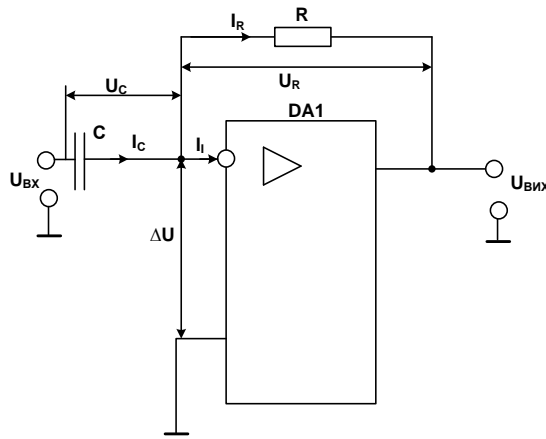


Рисунок 2.7 – Схема операційного підсилювача, що диференціює

Будемо вважати, що ІМС ОП є ідеальною:

$$-K_{U.ІМСОП} \rightarrow \infty; \quad (2.29)$$

$$-R_{BX} \rightarrow \infty; \quad (2.30)$$

$$-R_{ВИХ} \rightarrow 0. \quad (2.31)$$

Різниця напруг між входами, який інвертує (І) та не інвертує (Н),  $\Delta U = U_{ВИХ} / K_{U.ІМСОП}$  при виконанні умови (2.29) у межах лінійної ділянки передатної характеристики ІМС ОП приблизно дорівнює нулю. Струм, що надходить на вхід ІМС ОП, який інвертує, дорівнює нулю за умови, що  $R_{BX} \rightarrow \infty$ .

Струм, який проходить скрізь конденсатор:

$$I_C = C \cdot \frac{dU_C}{dt}. \quad (2.32)$$

Напруги  $\Delta U$ ,  $U_R$  та  $U_{ВИХ}$  пов'язані співвідношенням:

$$\Delta U = U_R + U_{ВИХ}. \quad (2.33)$$

При  $\Delta U = 0$  ( $K_{U.ІМСОП} \rightarrow \infty$ ):

$$U_{ВИХ} = -U_R. \quad (2.34)$$

У свою чергу:

$$U_R = I_R \cdot R; \quad (2.35)$$

$$I_R = I_C (I_I \rightarrow 0, \text{ КОЛИ } R_{BX} \rightarrow \infty); \quad (2.36)$$

$$U_R = I_C \cdot R = R \cdot C \frac{dU_C}{dt}; \quad (2.37)$$

$$U_{BX} = U_C (\Delta U = 0 (K_{U.МСОП} \rightarrow \infty)); \quad (2.38)$$

$$U_{ВНХ} = -RC \frac{dU_C}{dt} = -\tau_{ДНФ} \frac{dU_C}{dt} = -\tau_{ДНФ} \frac{dU_{ВХ}}{dt}, \quad (2.39)$$

де  $\tau_{ДНФ} = RC$  – стала часу.

Отже, якщо ІМС ОП є ідеальною, то розглянута схема на його основі виконує точне диференціювання вхідного сигналу і похибка дорівнює нулю. Знак «мінус» у виразі (2.39) показує, що вихідна напруга протифазна вхідній.

### 2.1.6 Операційний підсилювач, що інтегрує

Як активний елемент інтегруючих ланцюгів (ІЛ) широко використовуються інтегральні мікросхеми операційних підсилювачів (ІМС ОП). Принципова схема активного ІЛ на ІМС ОП показана на рисунку 2.8.

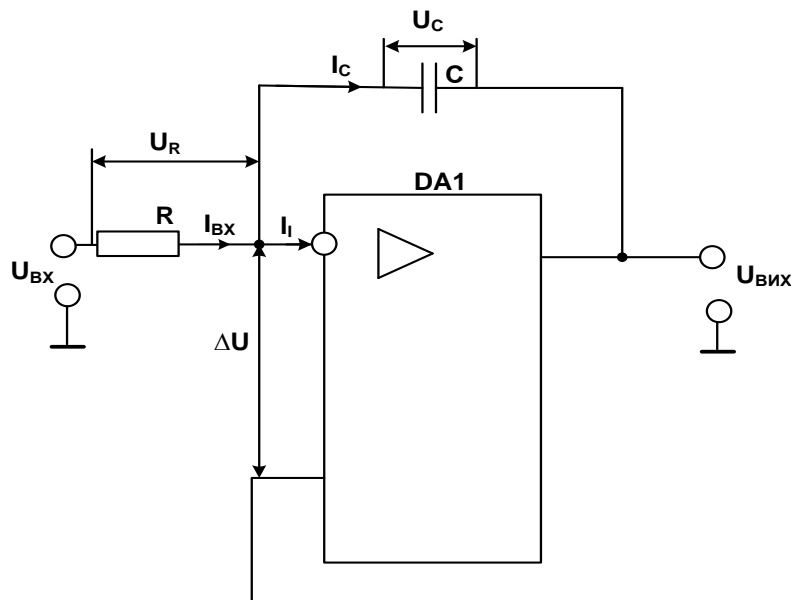


Рисунок 2.8 – Схема операційного підсилювача, що інтегрує



Будемо вважати, що ІМС ОП є ідеальною:

$$-K_{U.ІМСОП} \rightarrow \infty; \quad (2.40)$$

$$-R_{BX} \rightarrow \infty; \quad (2.41)$$

$$-R_{ВІХ} \rightarrow 0. \quad (2.42)$$

Різниця між входами, який інвертує (І) та, який не інвертує (Н),

$\Delta U = \frac{U_{ВІХ}}{K_{U.ІМСОП}}$  при виконанні умови (2.39) у межах лінійної ділянки передатної характеристики ІМС ОП приблизно дорівнює нулю.

Струм, який надходить на вхід ІМС ОП, який інвертує, дорівнює нулю за умови, що  $R_{BX} \rightarrow \infty$ .

Напруга на конденсаторі :

$$U_C = \frac{1}{C} \int_0^t I_C dt. \quad (2.43)$$

Оскільки струм  $I_{BX} = I_C$ , а також  $I_{BX} = \frac{U_{BX} - \Delta U}{R} = \frac{U_{BX}}{R}$ , то:

$$U_C = \frac{1}{C} \int_0^t \frac{U_{BX}}{R} dt = \frac{1}{RC} \int_0^t U_{BX} dt. \quad (2.44)$$

Оскільки виконуються умови  $\Delta U \approx 0$  та  $U_C + U_{ВІХ} = \Delta U$ , то одержимо:

$$U_{ВІХ} = -U_C = -\frac{1}{RC} \int_0^t U_{BX} dt = -\frac{1}{\tau_{ІНТ}} \int_0^t U_{BX} dt, \quad (2.45)$$

де  $\tau_{ІНТ} = RC$  – стала часу.

Отже, якщо ІМС ОП вважати ідеальною, то ІЛ на його основі виконує точне інтегрування вхідного сигналу і похибка дорівнює нулю. Знак «мінус» у виразі (2.45) вказує, що вихідна напруга протифазна вхідній, яка подається на вхід ІМС ОП, що інвертує.

## 2.2 Моделювання окремих пристроїв

### 2.2.1 Схема 1. Випробування розімкненого ОП

Нижче наведено приклад схеми 1.1 розімкненого ОП, який не інвертує. Схему зібрано у середовищі MicroCap 9: opam 1.cir (рисунок 2.9).

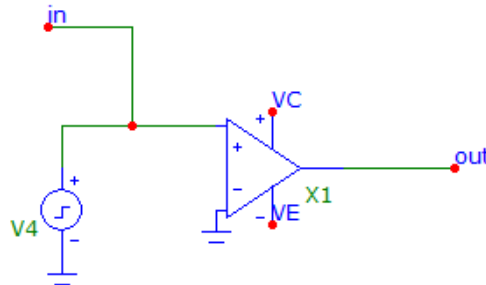


Рисунок 2.9 – Схема 1.1 розімкненого ОП, який не інвертує

#### Параметри схеми:

X1 (Opamp). Для налаштування ОП (як і будь-якого іншого елемента, слід двічі натиснути на нього. У відкритому вікні у відповідні поля слід ввести значення, які наведено у методичних вказівках):

1) Model = \$GENERIC.

Також серед параметрів ОП можливо встановити напруги на клеммах живлення та напруги насичення.

VCC – Positive power supply (живлення, анод) :

2) Value = 15 [V];

VEE – Negative power supply (живлення, катод):

3) Value = -15 [V];

VNS – Negative voltage swing (від’ємна напруга насичення):

4) Value = -13 [V];

VPS – Positive voltage swing (додатна напруга насичення):

5) Value = 13 [V].

#### **Результат дослід:**

Нижче на рисунку 2.10 наведено часові діаграми роботи схеми, яку наведено на рисунку 2.9.

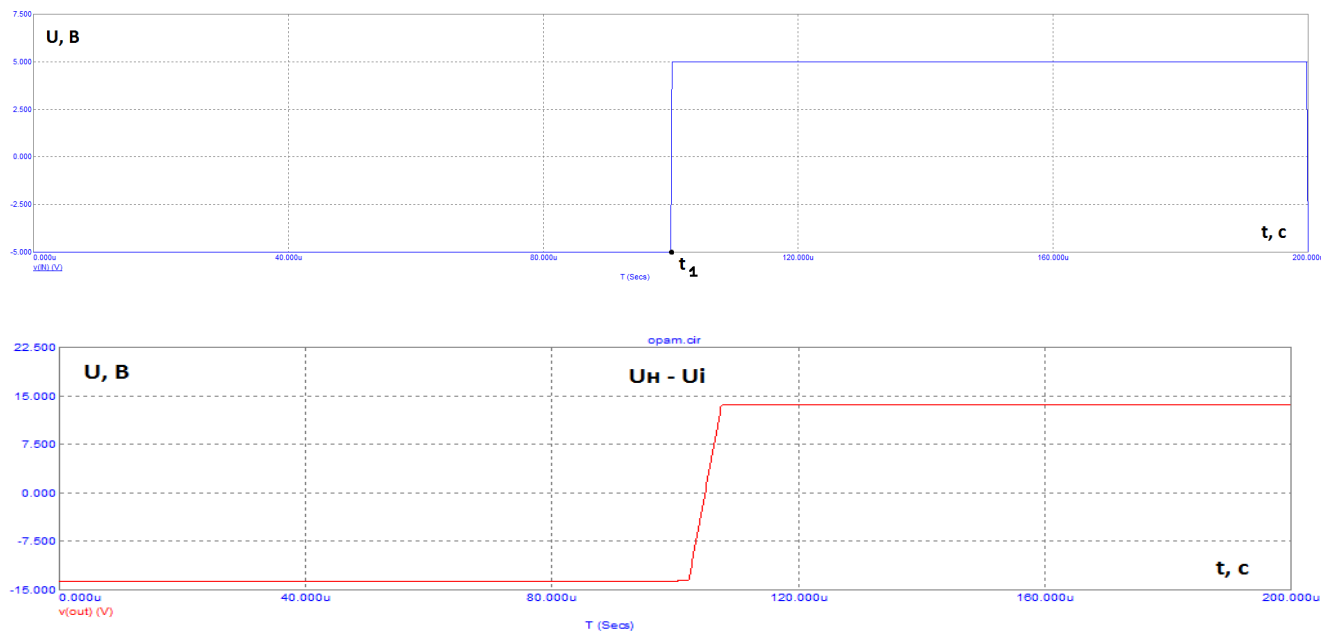


Рисунок 2.10 – Часові діаграми роботи схеми, яку наведено на рисунку 2.9

Рівняння, що описує передатну характеристику ІМС ОП:  $\Delta U = U_n - U_i$ .

Спочатку на вхід, який не інвертує, мікросхеми ОП подається вхідна напруга:  $-5$  В. Напруга на виході дорівнює:  $-U_{\text{НАС}} = -13$ В. В момент  $t_1$  рівень вхідної напруги стрибком змінюється до  $+5$  В. У відповідь вихідна напруга змінюється до значення:  $+U_{\text{НАС}} = +13$ В.

Нижче наведено приклад схеми 1.2 розімкненого ОП, який інвертує. Схему зібрано у середовищі MicroCap 9: opam 2.cir (рисунок 2.11).

Параметри даної схеми відповідають попередній, але на цей раз ми подаємо напругу на вхід, який інвертує.

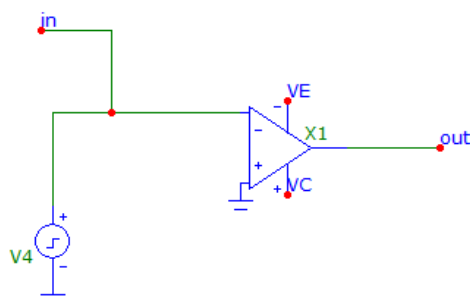


Рисунок 2.11 – Схема 1.2 розімкненого ОП, який інвертує

Нижче на рисунку 2.12 наведено часові діаграми роботи схеми, яку наведено на рисунку 2.11.

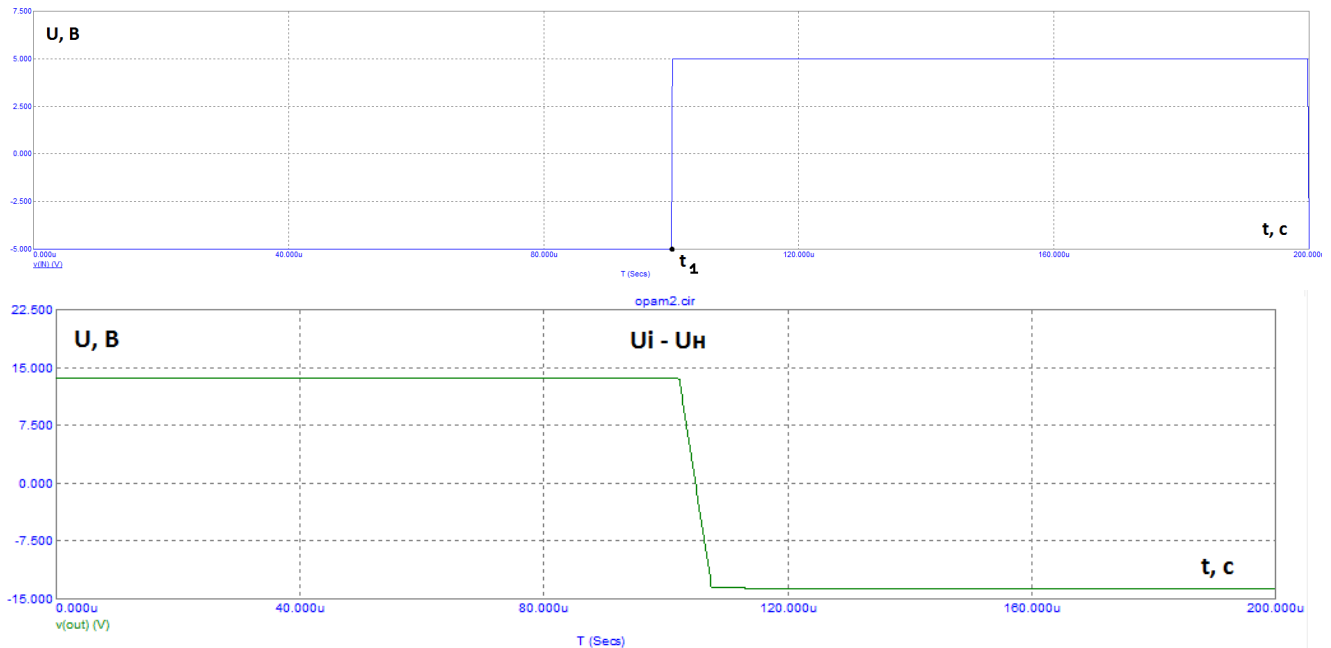


Рисунок 2.12 – Часові діаграми роботи схеми, яку наведено на рисунку 2.11

На цей раз рівняння, що описує передатну характеристику ІМС ОП:  
 $\Delta U = U_i - U_n$ .

Спочатку на вхід, який інвертує, мікросхеми ОП подається вхідна напруга:  $-5$  В. Напруга на виході дорівнює:  $+U_{HAC} = +13$ В. В момент  $t_1$  рівень вхідної напруги стрибком змінюється до  $+5$  В. У відповідь вихідна напруга змінюється до значення :  $-U_{HAC} = -13$ В.

Коефіцієнт підсилення операційного підсилювача приблизно дорівнює 100000. Теоретично, якщо розрахувати вихідну напругу за формулою:

$$U_{\text{вих}} = (U_{\text{вхi}} - U_{\text{вхн}}) * G,$$

де  $U_{\text{вхi}}$  – вхідна напруга на вході ОП, який інвертує,  $U_{\text{вхн}}$  – вхідна напруга на вході, який не інвертує,  $G$  – коефіцієнт підсилення, то для наведених вище схем (рисунки 2.10, 2.11) ми отримаємо:

$$U_{\text{вих}} = (0.005 - 0) * 100000 = 500(B).$$

Але це лише теоретично. На практиці вихідна напруга не може перевищувати напругу живлення. Реальна вихідна напруга буде дорівнювати його додатній або від'ємній напрузі насичення. В нашому випадку це приблизно:  $\pm 13\text{В}$ .

Тоді: 
$$G = \frac{U_{\text{вих}}}{\Delta U} = \frac{13}{0,005} = 2600.$$

З даного розрахунку отримано реальний коефіцієнт підсилення ОП. Як пояснюється вище, реальний коефіцієнт підсилення менший за теоретичний.

В імпульсних пристроях  $\Delta U$  часто буде не дуже малим числом (порядку одиниць). В цьому випадку воно буде значно більше ніж наведені

на рисунку 2.3:  $\Delta U_1 \approx |\Delta U_2| = \frac{+U_{\text{нас}}}{K_{U.\text{ІМС ОП}}}$ , (які є доволі малим числом через великі розміри коефіцієнту підсилення). Саме за цієї причини, якщо подивитися на рисунок 2.10 або 2.11, легко побачити, що з великою ймовірністю на виході ОП буде додатна або від'ємна напруга насичення.

### 2.2.2 Схема 2. Підсилювач на базі ІМС ОП, який інвертує

Нижче наведено приклад схеми підсилювача на базі ІМС ОП, який інвертує. Схему зібрано у середовищі MicroCap 9: opamInvert.cir (рисунок 2.13).

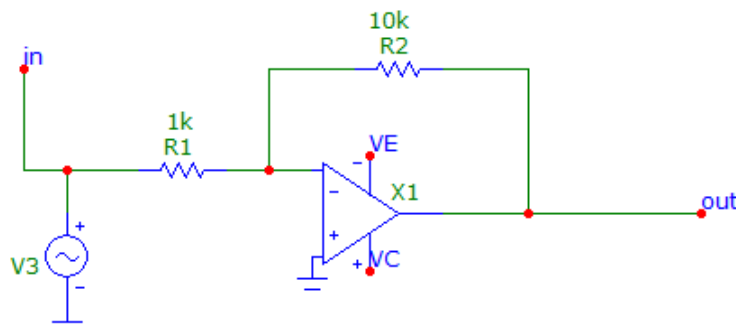


Рисунок 2.13 – Схема підсилювача на базі ІМС ОП, який інвертує

Параметри схеми:

X1 (Opamp) :

1) Model = \$GENERIC;

VCC (Positive power supply) :

2) Value = 15 [V];

VEE (Negative power supply) :

3) Value = -15 [V];

VNS (Negative voltage swing):

4) Value = -13 [V];

VPS (Positive voltage swing):

5) Value = 13 [V];

K (коефіцієнт підсилення) – не встановлюється безпосередньо як параметр ОП, але впливає на конфігурацію схеми, див нижче п. 7 і 8.

6) K = <номер бригади> [1];

В даному випадку нехай K=10;

R1 (Resistor):

7) Value = <Розрахувати в залежності від K. Див. формулу 2.28> [Om];

Приклад: K = 10 → Припустимо R1 = 1K [Om];

R2 (Resistor):

8) Value = <Розрахувати в залежності від K. Див. формулу 2.28 > [Om];

Приклад: K = 10, R1 = 1K [Om] → R2 = 10K [Om] (у K=10 разів більше ніж R1).

V5 (Sine Source):

9) A = <Аналогічно розрахувати в залежності від K і необхідного режиму роботи> [V];

Приклад:

1)  $K = 10$ , необхідний режим роботи – активний (не насичений),  $U_{\text{нас}} = \sim \pm 13 \text{ [V]} \rightarrow A = 1 \text{ [V]}$ ;

2)  $K = 10$ , необхідний режим роботи – насичений,  $U_{\text{нас}} = \sim \pm 13 \text{ [V]} \rightarrow A = 10 \text{ [V]}$  (достатня, щоб після підсилення напруга перевищила значення напруги насичення).

### Результат досліду:

Нижче на рисунку 2.14 наведено часові діаграми роботи схеми, яку наведено на рисунку 2.13, при не насиченому режимі роботи ОП.

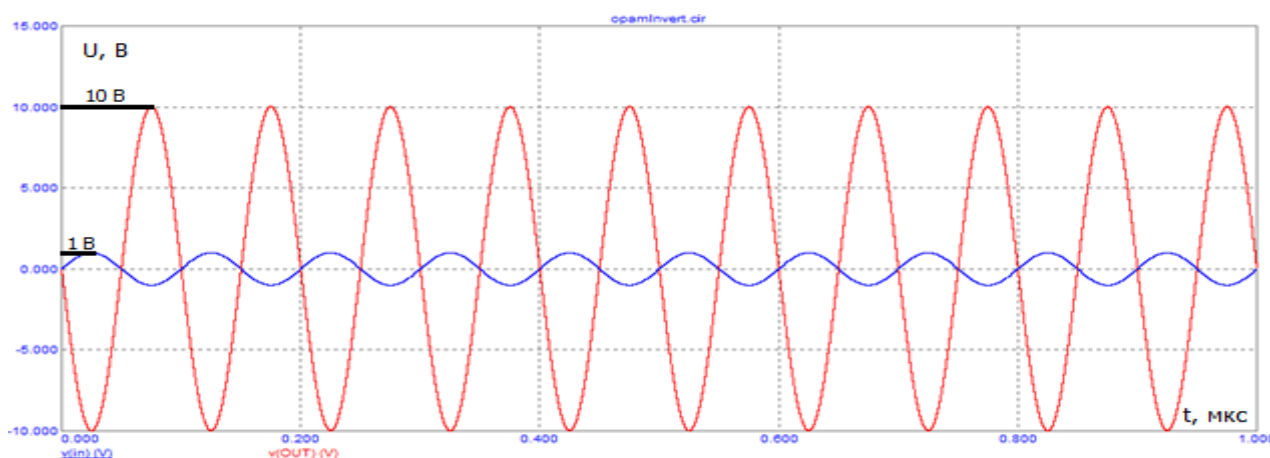


Рисунок 2.14 – Часові діаграми роботи схеми, яку наведено на рисунку 2.13, при не насиченому режимі роботи ОП

На рисунку 2.14 бачимо різницю між амплітудами вхідної та вихідної напруг при не насиченому режимі роботи ОП. Амплітуда вихідної напруги збільшилася в 10 разів, оскільки відношення опорів резисторів  $R_2$  та  $R_1$  дорівнює 10. Це і є коефіцієнт підсилення. Також варто відмітити, що фаза вихідного сигналу протилежна фазі вхідного сигналу.

Нижче на рисунку 2.15 наведено часові діаграми роботи схеми, яку наведено на рисунку 2.13, при насиченому режимі роботи ОП.

Як видно, у результаті підсилення вхідної напруги, амплітуда якої дорівнює 10 В, вихідна напруга перевищила напругу насичення  $U_{\text{вих}} = U_{\text{вх}} \cdot K = 10 \text{ В} \cdot 10 = 100 \text{ В}$  і була «обрізана», що видно за прямокутною

формою вихідних імпульсів. Для такої картини достатньо збільшити значення вхідної напруги до 10В, щоб після підсилення у К разів вихідна напруга не стала більшою за  $U_{нас}=13В$ .

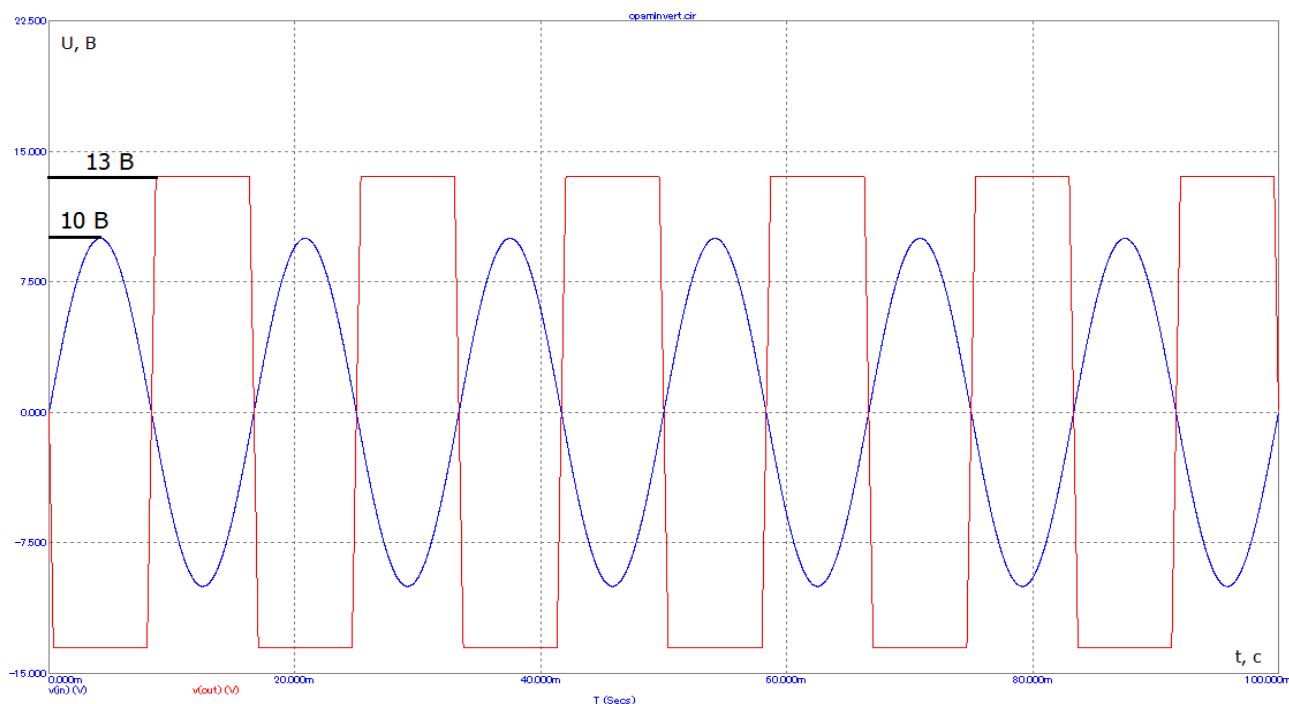


Рисунок 2.15 – Часові діаграми роботи схеми, яку наведено на рисунку 2.13, при насиченому режимі роботи ОП

### 2.2.3 Схема 3. Підсилювач на базі ІМС ОП, який не інвертує

Нижче наведено приклад схеми підсилювача на базі ІМС ОП, який не інвертує. Схему зібрано у середовищі MicroCap 9: opamNoinvert.cir (рисунок 2.16).

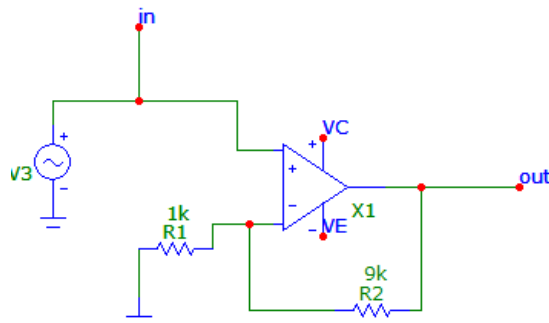


Рисунок 2.16 – Схема підсилювача на базі ОП, який не інвертує



Параметри схеми:

X1 (Opamp) :

1) Model = \$GENERIC;

VCC (Positive power supply) :

2) Value = 15 [V];

VEE (Negative power supply) :

3) Value = -15 [V];

VNS (Negative voltage swing):

4) Value = -13 [V];

VPS (Positive voltage swing):

5) Value = 13 [V];

K (коефіцієнт підсилювання):

6) K = <номер бригади> [1];

В даному випадку K=10;

R1 (Resistor):

7) Value = <Розрахувати в залежності від K> [Om];

Приклад: K = 10 → R1 = 1K [Om];

R2 (Resistor):

8) Value = <Розрахувати в залежності від K> [Om];

Приклад: K = 10, R1 = 1K [Om] → R2=9 K [Om] (у 9 разів більше

R1);

V5 (Sine Source):

9) A = <Розрахувати в залежності від K і необхідного режиму роботи> [V];

Приклад:

1) K = 10, необхідний режим роботи – активний (не насичений),  $U_{нас} = \sim \pm 13$  [V] → A = 1 [V];

2) K = 10, необхідний режим роботи – насичений,  $U_{нас} = \sim \pm 13$  [V] → A = 10 [V].

### Результат дослід:

Нижче на рисунку 2.17 наведено часові діаграми роботи схеми, яку наведено на рисунку 2.16, при не насиченому режимі роботи ОП.

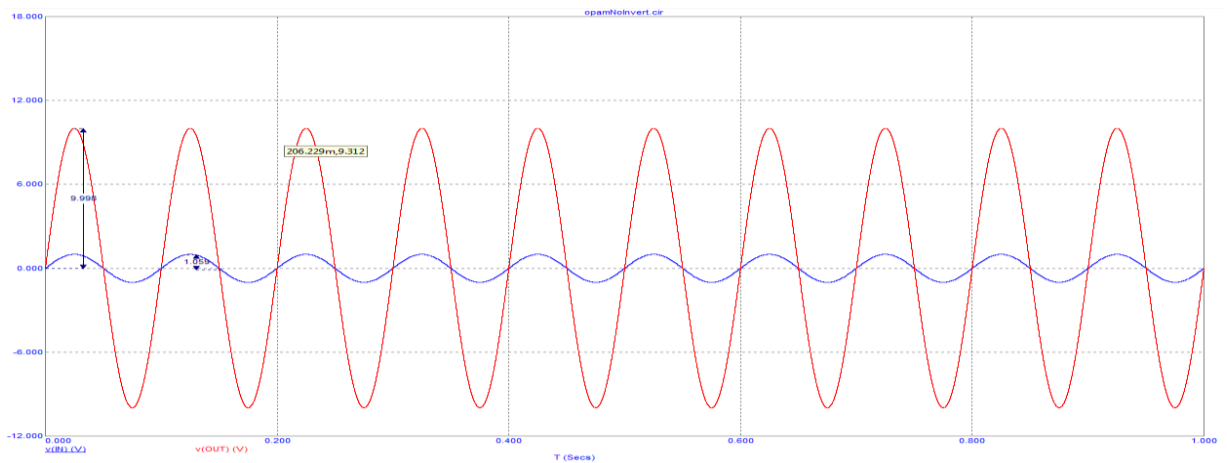


Рисунок 2.17 – Часові діаграми роботи схеми, яку наведено на рисунку 2.16, при не насиченому режимі роботи ОП

Вихідний сигнал отриманої схеми синфазний до вхідного. Коефіцієнт підсилення  $K = \left( \frac{R_2}{R_1} + 1 \right) = \frac{9K}{1K} + 1 = 10$ .

Нижче на рисунку 2.18 наведено часові діаграми роботи схеми, яку наведено на рисунку 2.16, при насиченому режимі роботи ОП.

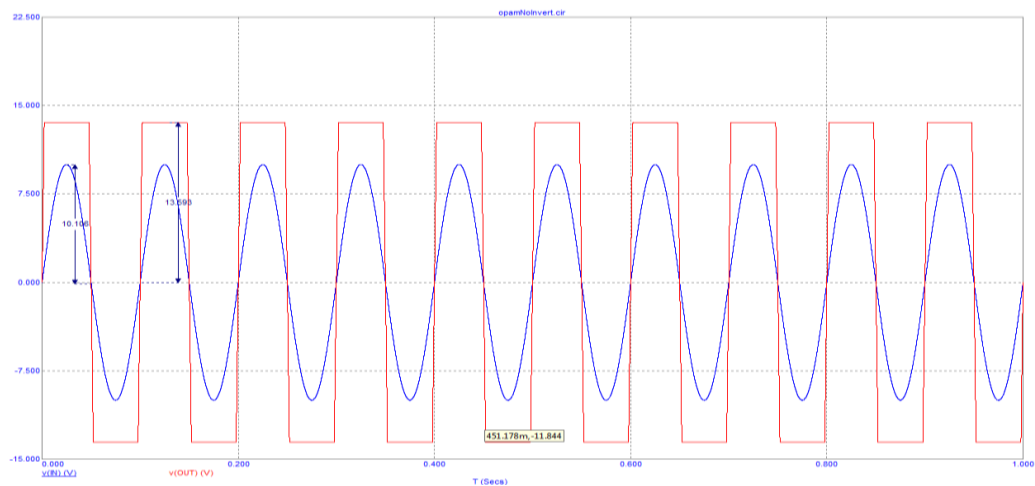


Рисунок 2.18 – Часові діаграми роботи схеми, яку наведено на рисунку 2.16, при насиченому режимі роботи ОП

Як видно, у результаті підсилення вихідна напруга перевищила напругу насичення і була «обрізана», що видно за прямокутною формою імпульсів.

Для такої картини достатньо збільшити значення вхідної напруги до 10 В, щоб після підсилення у К разів вихідна напруга не стала більшою за  $U_{нас}=13\text{В}$ .

Вихідна напруга збільшилася і досягнула значення напруги насичення 13В.

#### 2.2.4 Схема 4. Диференціюючий ланцюг на базі ІМС ОП

Диференціюючий ланцюг (ДЛ) здійснює диференціювання вхідних сигналів і призначений для формування на виході коротких імпульсів, відповідних фронту і зрізу більш довгих вхідних імпульсів. ДЛ виконує фіксацію моментів фронту і зрізу імпульсів, що надходять на його вхід.

Диференціюючі ланцюги виконуються з використанням або лише пасивних елементів (пасивні ДЛ), або з використанням пасивних та активних елементів (активні ДЛ). В якості частотно-залежних елементів в них можуть використовуватися конденсатори або індуктивності. Нижче будуть розглянуті ДЛ з використанням конденсаторів.

В якості активного елементу диференціюючих ланцюгів широко використовуються інтегральні мікросхеми операційних підсилювачів (ІМС ОП).

Нижче наведено приклад схеми 4.1, яку зібрано у середовищі MicroCap 9: opamDifZvon.cir (рисунок 2.19).

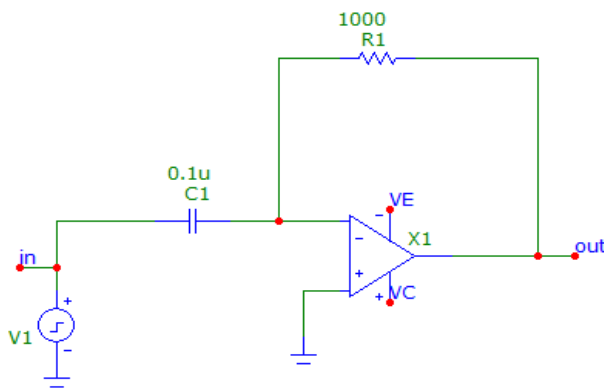


Рисунок 2.19 – Схема 4.1 активного диференціюючого ланцюга

Параметри схеми:

X1 (Opamp) :

1) Model = \$GENERIC;

VCC (Positive power supply) :

2) Value = 12 [V];

VEE (Negative power supply) :

3) Value = -12 [V];

VNS (Negative voltage swing):

4) Value = -11 [V];

VPS (Positive voltage swing):

5) Value = 11 [V];

C1 (Capacity):

6) Value = 0.1u [F];

R1 (Resistor):

7) Value = 1000 [Om];

V1 (Pulse Source):

8) Model = PULSE;

One level:

9) Value = 5 [V]

Time delay to leading edge (P1):

10) Value = 0.001;

Time delay to one level (P2):

11) Value = 0.001

Time delay to trailing edge (P3):

12) Value = 0.005;

Time delay to zero level (P4):

13) Value = 0.005;

Repetition period (P5):

14) Value = 0.01.

На рисунку 2.20 наведено часову діаграму роботи схеми, яку наведено на рисунку 2.19.

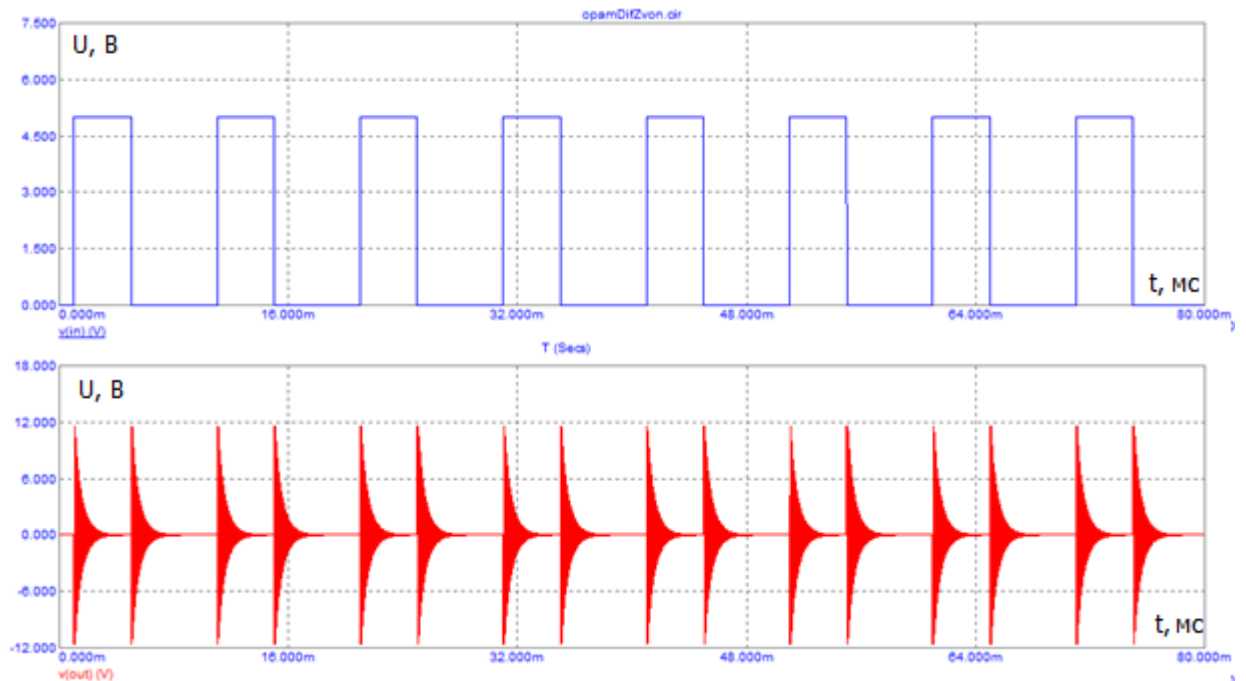


Рисунок 2.20 – Часова діаграма роботи активного ДЛ

Як видно з вихідної характеристики, яку представлено вище, вихідний сигнал має не тільки стрибок, що співпадає за часом зі зміною вхідного сигналу, але і коливання високої частоти. Це пояснюється тим, що вихідний сигнал, який за зворотним зв'язком повертається на вхід операційного підсилювача, збігається за фазою з вхідним сигналом. Збіг за фазою вхідного і вихідного сигналів виходить через зміщення на  $\pi$  за рахунок інверсного входу ІМС ОП та зміщення на  $\pi$  за рахунок фазо–частотної характеристики самої схеми ІМС ОП (при високих частотах утворюється транзисторами всередині ІМС ОП). Таким чином у сумі отримуємо  $2\pi$ , або 0, що еквівалентно схемі з додатним зворотним зв'язком. Через це характеристика супроводжуватиметься «дзвоном». Даної неприємності можна уникнути, використавши схему модифікованого диференціюючого ланцюга, яку наведено нижче на рисунку 2.21 (opamDifId.cir).

Нижче наведено приклад схеми 4.2 модифікованого диференціюючого ланцюга, яку зібрано у середовищі MicroCap 9: opamDifId.cir (рисунку 2.21).

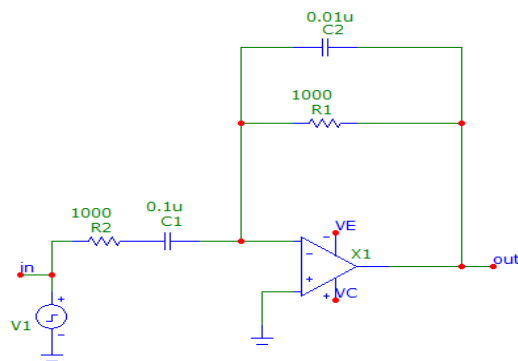


Рисунок 2.21 – Схема 4.2 модифікованого активного диференціюючого ланцюга

На практиці застосовується подібна модифікована схема, яка виключає появу коливань високої частоти («дзвону») на виході схеми. Додаткова ємність в ланцюзі зворотного зв'язку зміщує за фазою зворотний зв'язок на деякий додатковий кут відносно вхідного сигналу. У результаті на виході ми маємо майже ідеальне диференціювання. Ємність конденсатора зворотного зв'язку вибирається на порядок менше ємності на вході.

На рисунку 2.22 наведено часову діаграму роботи схеми, яку наведено на рисунку 2.21.

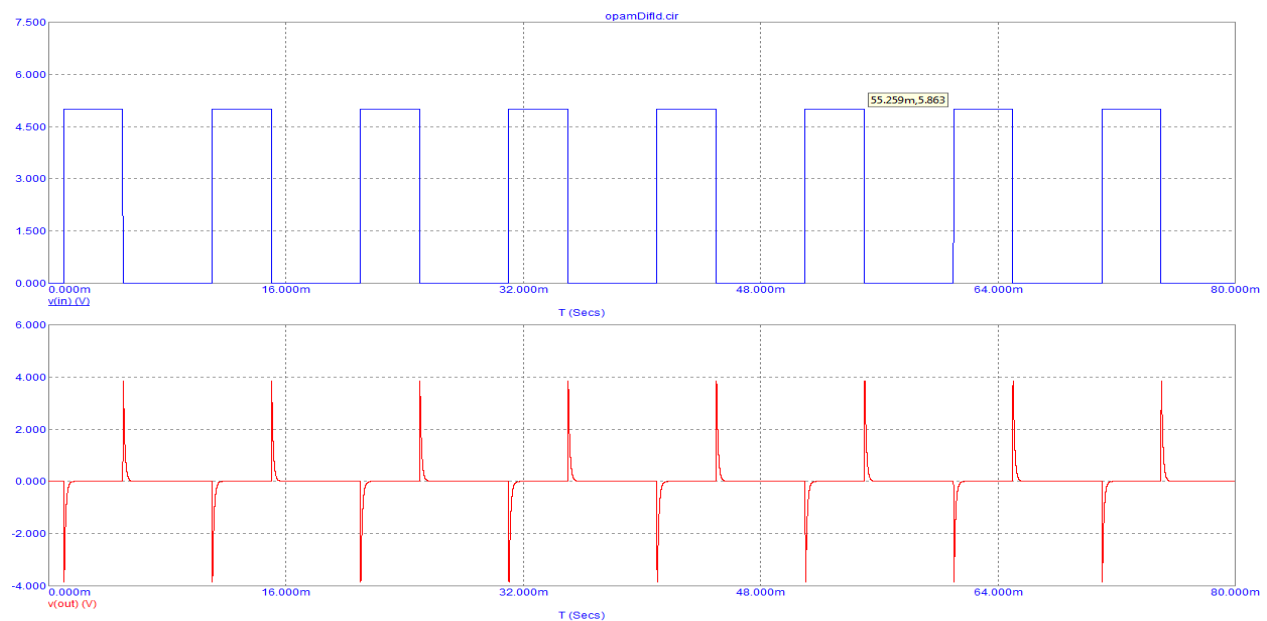


Рисунок 2.22 – Часова діаграма роботи модифікованого активного диференціюючого ланцюга

Як видно з цієї часової діаграми, на виході з'являються два коротких імпульси, які за часом відповідають передньому та задньому фронту вхідних імпульсів. При цьому додатному фронту вхідного імпульсу відповідає короткий від'ємний вихідний імпульс, а від'ємному фронту вхідного імпульсу – короткий додатний вихідний імпульс. Зміна знаку вихідних імпульсів відносно знаку переднього та заднього фронтів вхідних імпульсів пояснюється тим, що в схемі використовується вхід ІМС ОП, який інвертує.

### 2.2.5 Схема 5. Інтегруючий ланцюг на базі ОП

Інтегруючі ланцюги (ІЛ) поділяються на пасивні ІЛ та активні ІЛ.

Інтегруючий ланцюг являє собою лінійний чотирьохполюсник, вихідний сигнал якого змінюється пропорційно інтегралу вхідного сигналу, тобто

$$U_{\text{вих}} = k \cdot \int_0^t U_{\text{вх}} dt$$

ІЛ використовуються в схемах формування пилкоподібної напруги; виділення постійної складової вхідної імпульсної послідовності; селекції імпульсів за тривалістю і т. ін. В якості активного елементу активних інтегруючих ланцюгів широко використовуються інтегральні мікросхеми операційних підсилювачів (ІМС ОП).

Нижче наведено приклад схеми активного інтегруючого ланцюга, яку зібрано у середовищі MicroCap 9: opamIntZero.cir (рисунок 2.23).

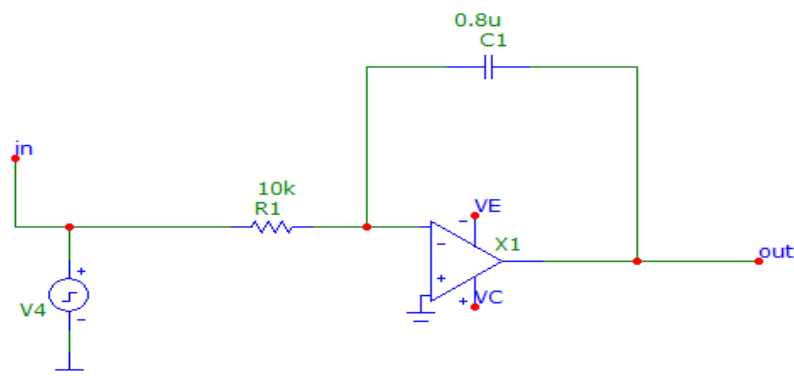


Рисунок 2.23 – Схема активного інтегруючого ланцюга

Параметри схеми:

X1 (Opamp) :

15) Model = \$GENERIC;

VCC (Positive power supply) :

16) Value = 12 [V];

VEE (Negative power supply) :

17) Value = -12 [V];

VNS (Negative voltage swing):

18) Value = -11 [V];

VPS (Positive voltage swing):

19) Value = 11 [V];

C1 (Capacity):

20) Value = 0.8u [F];

R1 (Resistor):

21) Value = 10k [Om];

V4 (Pulse Source):

22) Model = PULSE

One level (VONE):

23) Value = 5 [V];

Time delay to leading edge (P1):

24) Value = 0 [Sec];

Time delay to one level (P2):

25) Value = 0 [Sec];

Time delay to trailing edge (P3):

26) Value = 1m [Sec];

Time delay to zero level (P4):

27) Value = 1m [Sec];

Repetition period (P5):

28) Value = 2m [Sec].



Для побудови сімейства часових діаграм під час запуску аналізу слід натиснути «Stepping...», та задати значення для крокування R1: початкове значення, кінцеве та крок. Слід враховувати, що під час побудови характеристик Microcap спочатку будує кожну, а вже потім робить перевірку чи не перевищує поточне значення задане кінцеве і зупиняє роботу, якщо так. Таким чином, якщо ви хочете вивести, наприклад, три характеристики, то значення мають бути на кшталт: From = 1500, To = 3000, Step = 1000. Тоді Microcap виведе характеристики для значень R1: 1500, 2500 та 3500. На рисунках 2.24 і 2.25 задано саме такі значення.

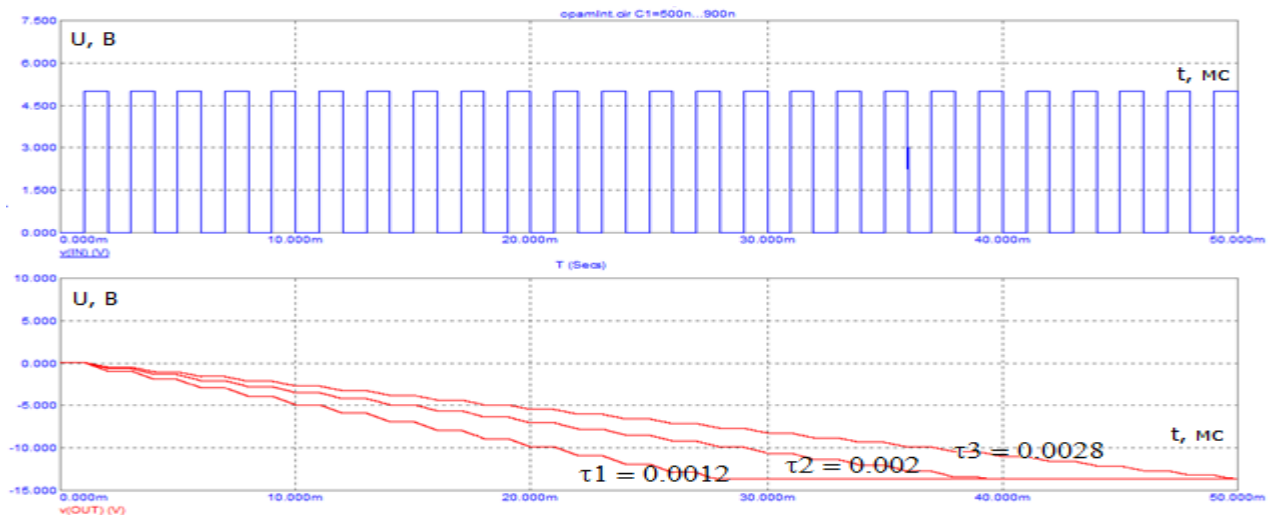


Рисунок 2.24 – Сімейство часових діаграм роботи активного ІЛ при зміні R1  
(живлення операційного підсилювача увімкнене одночасно з подачею вхідної напруги)

Для кожної ламаної характеристики стала часу  $\tau = R \cdot C$ :

$$\tau_1 = 1500 \cdot 0.8 \mu = 0.0012 \text{ мс},$$

$$\tau_2 = 2500 \cdot 0.8 \mu = 0.002 \text{ мс},$$

$$\tau_3 = 3500 \cdot 0.8 \mu = 0.0028 \text{ мс}.$$

Вище представлений ряд вихідних характеристик, відмінність яких одна від одної обумовлена різними значеннями сталої часу  $\tau$ . Найменший кут нахилу вихідної характеристики до вісі часу відповідає найбільшому значенню опору резистора R1.

Вихідна напруга змінюється від нуля до  $-U_{\text{НАС}} = -13 \text{ В}$ . Під час кожного вхідного імпульсу, амплітудою  $U_m = 5 \text{ В}$ , вихідна напруга зменшується лінійно згідно з формулою  $U_{\text{вих}} = -\frac{U_m \cdot t}{RC}$ . Під час кожної паузи вхідних імпульсів вихідна напруга не змінюється. Таким чином схема реагує на постійну складову вхідної імпульсної послідовності  $U_{\text{сер}} = U_0$ , яка має додатний знак та подається на вхід ОП, який інвертує. За рахунок  $U_{\text{сер}}$  вихідна напруга поступово зменшується до рівня:  $-U_{\text{НАС}} = -13 \text{ В}$ .

Розглянутий випадок (рисунок 2.24) відповідає одночасному підключенню живлення ІМС ОП і вхідної напруги.

Якщо живлення операційного підсилювача підключити раніше, ніж подати вхідну напругу, то в початковий момент часу вихідна напруга буде дорівнювати:  $+U_{\text{НАС}}$ , а потім під дією вхідного сигналу буде змінюватися до  $-U_{\text{НАС}}$  (opamInt.cir, рисунок 2.25).

Для того щоб отримати такий результат, слід зайти у параметри V4 та додати туди невелику затримку, змінивши значення на:  $P1 = 1 \text{ мс}$ ,  $P2 = 1 \text{ мс}$ ,  $P3 = 2 \text{ мс}$ ,  $P4 = 2 \text{ мс}$ ,  $P5 = 2 \text{ мс}$ .

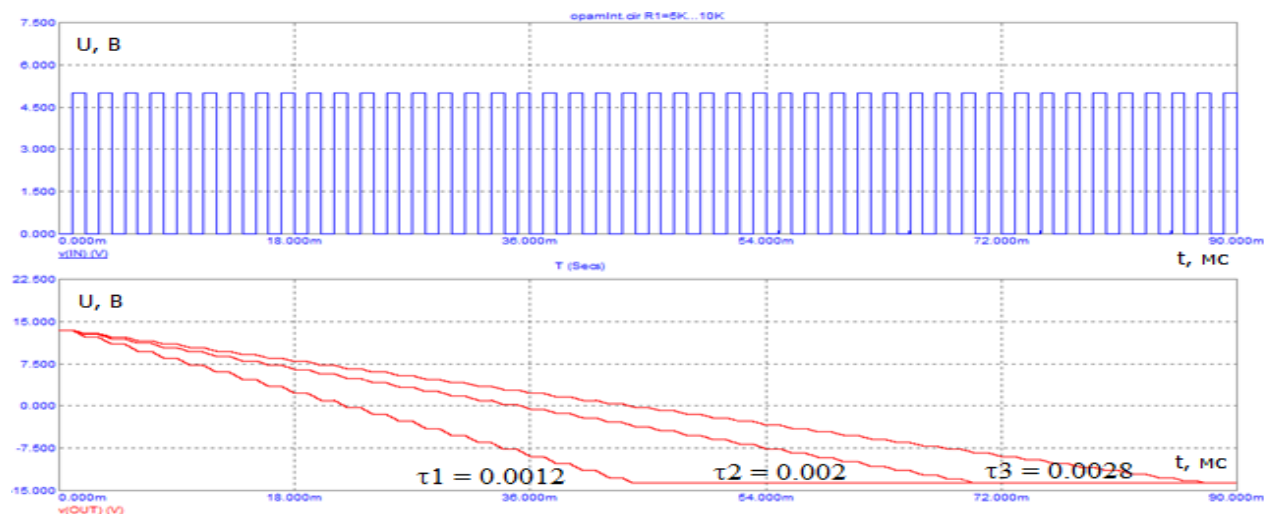


Рисунок 2.25 – Сімейство часових діаграм роботи активного ІЛ при зміні R1 (живлення операційного підсилювача увімкнене раніше, ніж подана вхідна напруга)

## 2.3 Порядок виконання роботи

1) Схема 1. Випробування розімкненого ОП:

а) Зняти та проаналізувати часові діаграми роботи розімкненого ІМС ОП. Приклад діаграм наведено на рисунках 2.10, 2.12.

2) Схема 2. Дослідження підсилювача на базі ІМС ОП, який інвертує:

а) зняти та проаналізувати залежність вхідної/вихідної напруг від часу при не насиченому режимі роботи ІМС ОП. Приклад характеристик наведений на рисунку 2.14;

б) зняти та проаналізувати залежність вхідної/вихідної напруг від часу при насиченому режимі роботи ІМС ОП. Приклад характеристик наведений на рисунку 2.15.

2) Схема 3. Дослідження підсилювача на базі ІМС ОП, який не інвертує:

а) зняти та проаналізувати залежність вхідної/вихідної напруг від часу при не насиченому режимі роботи ІМС ОП. Приклад характеристик наведений на рисунку 2.17;

б) зняти та проаналізувати залежність вхідної/вихідної напруг від часу при насиченому режимі роботи ІМС ОП. Приклад характеристик наведений на рисунку 2.18.

3) Схема 4. Дослідження диференціюючого ланцюга на базі ІМС ОП:

а) зняти та проаналізувати залежність вхідної/вихідної напруг від часу. Приклад характеристик наведений на рисунку 2.20;

б) зняти та проаналізувати залежність вхідної/вихідної напруг від часу для модифікованого ДЛ з попередженням дзвону. Приклад характеристик наведений на рисунку 2.22.

4) Схема 5. Дослідження інтегруючої ланки на базі ІМС ОП:

а) зняти та проаналізувати залежність вхідної/вихідної напруг від часу для випадку одночасно поданих живлення на ІМС ОП та

вхідного сигналу. Приклад характеристик наведений на рисунку 2.24;

б) зняти та проаналізувати залежність вхідної/вихідної напруг від часу для випадку подачі живлення на ІМС ОП раніше вхідного сигналу. Приклад характеристик наведений на рисунку 2.25.

## **2.4 Контрольні питання**

1. Дайте визначення операційному підсилювачу та опишіть його основні параметри.
2. Наведіть умовне позначення ІМС ОП на електричних схемах.
3. Наведіть та поясніть структуру ІМС ОП.
4. Як підключаються джерела живлення до ІМС ОП?
5. Наведіть та поясніть передатну характеристику ІМС ОП.
6. Назвіть та опишіть типи ОП, які визначають їх практичне застосування.
7. Які властивості має ОП, який охоплений від'ємним ЗЗ?
8. Поясніть схему, основні параметри інвертуючого підсилювача на основі ІМС ОП.
9. Поясніть схему, основні параметри неінвертуючого підсилювача на основі ІМС ОП.
10. Наведіть та поясніть схеми повторювачів на основі ІМС ОП.
11. Поясніть схему, основні параметри диференціатора та інтегратора на основі ІМС ОП.
12. Вивести формули для обчислення коефіцієнта підсилення інвертуючого та неінвертуючого ОП.
13. Чому вихідний сигнал активного диференціюючого ланцюга має високочастотний «дзвін»?
14. Поясніть форму вихідного сигналу активного інтегруючого ланцюга.

### 3 ЛАБОРАТОРНА РОБОТА №3

**Тема:** Діодні та транзисторні ключі

**Мета:** Дослідити принцип дії, основні властивості та характеристики діодних та транзисторних ключів (ДК та ТК). Ознайомитись із основними параметрами цих пристроїв та областю їх застосування.

#### 3.1 Короткі теоретичні відомості

##### 3.1.1 Діодні ключі

Електронні ключі (ЕК) використовують в імпульсній техніці для комутації сигналів у різних електричних ланцюгах [1...8, 16...20, 26]. Вони входять до складу багатьох імпульсних схем, що працюють в режимах переключення струмів чи напруг. Найбільш часто в ЕК використовують діоди, транзистори або тиристори. Останні застосовуються в основному у виконавчих елементах пристроїв автоматики і керування.

Комутуюча дія діодних ключів (ДК) заснована на використанні нелінійних (вентильних) властивостей діодів. Для побудови діодних ключів частіше використовують напівпровідникові діоди, що мають у прямому напрямку дуже малий опір ( $R_{VD.пр} \approx 0$ ), а в зворотному – дуже великий ( $R_{VD.збр} \rightarrow \infty$ ). В залежності від способу включення діода відносно опору навантаження діодні ключі поділяють на послідовні і паралельні.

##### 3.1.1.1 Послідовні діодні ключі

У схемі послідовного діодного ключа (рисунок 3.1, а) опір навантаження увімкнений послідовно з діодом.

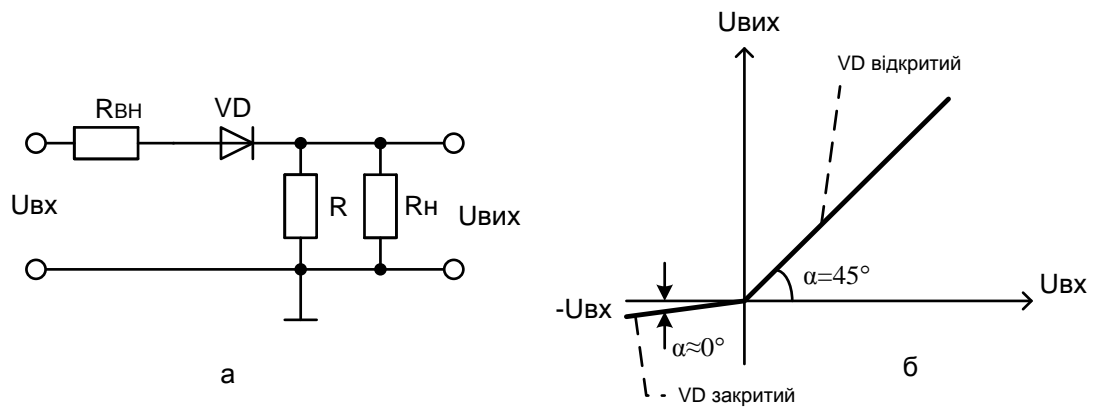


Рисунок 3.1 – Послідовний діодний ключ: а – схема послідовного діодного ключа; б – передатна характеристика

При подачі на вхід ключа додатної вхідної напруги діод відкривається і, якщо знехтувати малим падінням напруги на відкритому діоді (долі вольта), напруга на виході стане рівною напрузі на вході.

При дії на вході ключа від'ємної вхідної напруги діод закривається і напруга на виході близька до нуля, оскільки, коли діод закритий, він все ж таки пропускає невелику напругу. Це виникає через те, що опір закритого діода фактично не може дорівнювати нескінченності (рисунок 3.1, б).

Будемо вважати, що прямий опір діода  $R_{VD.пр} \approx 0$ , зворотний опір діода  $R_{VD.звр} \approx \infty$ , опір навантаження  $R_H \approx \infty$ , а внутрішній опір джерела вхідного сигналу  $R_{вн} = 0$ .

Вихідна напруга зв'язана з вхідною як

$$U_{вих} = U_{вх} \cdot \frac{R}{R + R_{VD}} = U_{вх} \cdot \frac{1}{1 + \frac{R_{VD}}{R}}, \quad (3.1)$$

$$\text{де } \frac{1}{1 + \frac{R_{VD}}{R}} = \operatorname{tg} \alpha; \alpha = \operatorname{arctg} \frac{1}{1 + \frac{R_{VD}}{R}}.$$

$\alpha$  – значення кута нахилу передатної характеристики ключа до вісі абсцис, яке залежить від стану діода.

Якщо VD – відкритий, то його опір  $R_{VD.ПР} = 0$ ,  $tg \alpha = 1$ , а  $\alpha = 45^\circ$ .

Якщо VD – закритий, то його опір  $R_{VD.ЗВР} \rightarrow \infty$ ,  $tg \alpha = 0$ , а  $\alpha = 0^\circ$ .

Якщо змінити полярність включення діода (рисунок 3.2, а), то графік функції  $U_{ВХ} = f(U_{ВХ})$  повернеться на  $180^\circ$  (рисунок 3.2, б).

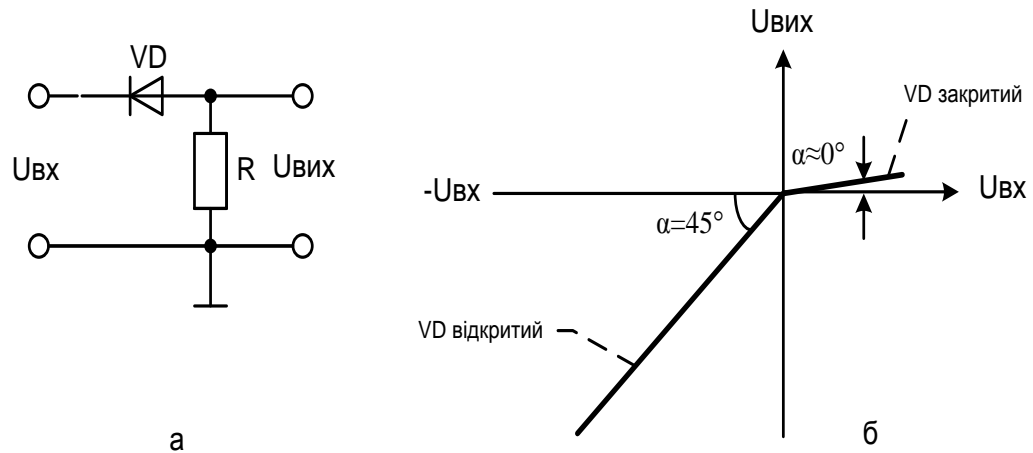


Рисунок 3.2 – Послідовний діодний ключ: а – схема послідовного діодного ключа; б – передатна характеристика

Напруга, при якій ключ (діод) відкривається, називається пороговою  $U_{пор}$ . В розглянутих схемах ця напруга дорівнює нулю.

Для зміни нульового порога в схему вводять додаткове джерело напруги зсуву  $E_{ЗС}$  (рисунок 3.3).

Величина і полярність включення цієї напруги визначають моменти відкривання діода, а отже, вид передатної характеристики ключа. На рисунку 3.3 приведені різні варіанти включення діода та  $E_{ЗС}$  в схемах послідовних діодних ключів і їх передатні характеристики. Для правильної роботи цих схем необхідне виконання умов:

$$R \gg R_{VD.ПР} ; R_H \gg R ; R_{VD.ЗВР} \gg R ; R_{ВН.ВХ} \approx 0 ; R_{ВН.ЗС} \approx 0.$$

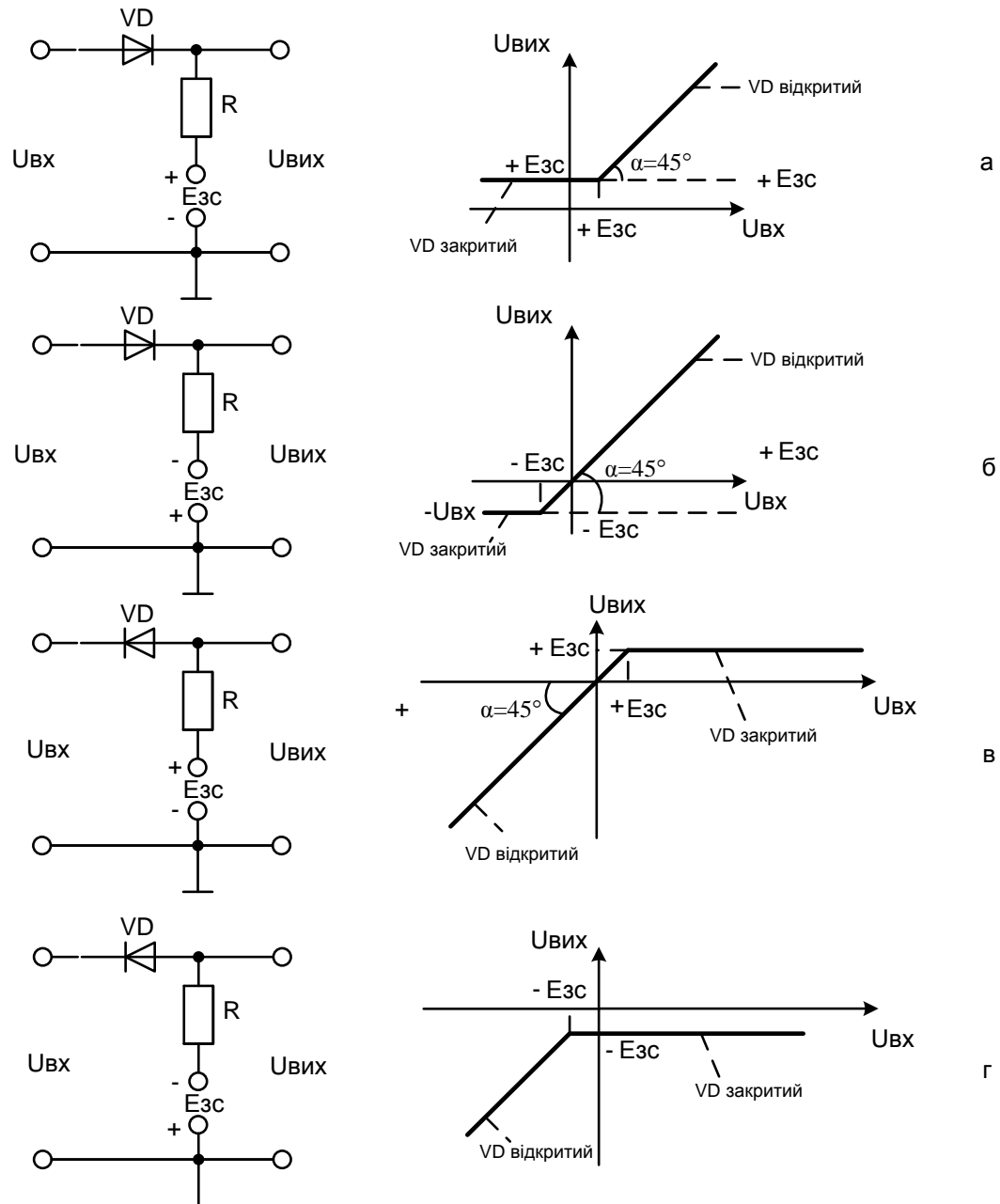


Рисунок 3.3 – Схеми послідовних діодних ключів та їх передатні характеристики

### 3.1.1.2 Паралельні діодні ключі

У схемі паралельного діодного ключа (рисунок 3.4, а) опір навантаження включений паралельно з діодом.

Внутрішній опір джерела  $R_{вн}$  і опір навантаження  $R_{н}$  на рисунку 3.4 не показані, тому що вважаємо, що  $R_{н} \approx \infty$ ;  $R_{вн} = 0$ .



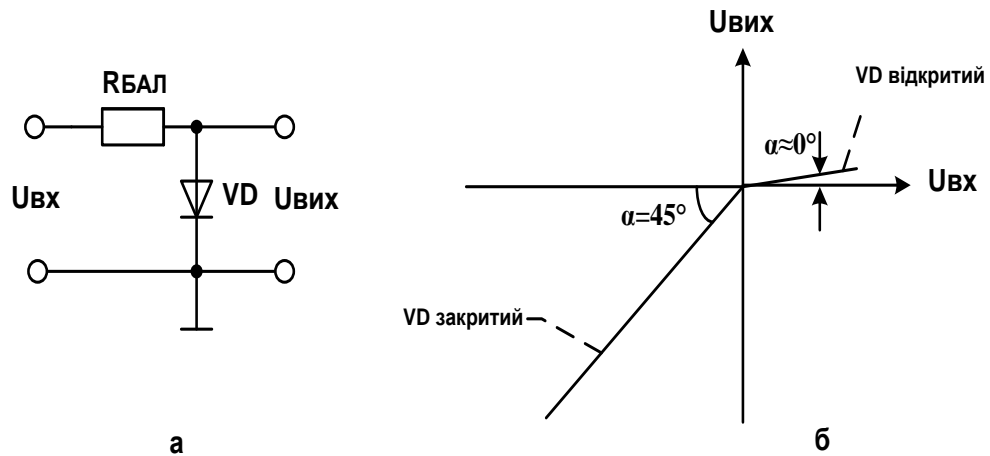


Рисунок 3.4 – Паралельний діодний ключ: а – схема паралельного діодного ключа; б – передатна характеристика

При подачі на вхід ключа додатної напруги ( $U_{BX} > 0$ ) діод відкривається і напруга на ньому, а, отже, на виході близька до нуля.

Все збільшення вхідної напруги, що викликає зміну струму у вхідному ланцюзі, падає на баластному опорі  $R_{БАЛ}$ . При надходженні від'ємної вхідної напруги ( $U_{BX} < 0$ ) діод закривається і напруга на виході стає рівною напрузі на вході (рисунок 3. 4, б).

Вихідна напруга ключа зв'язана з вхідною залежністю:

$$U_{ВИХ} = U_{ВХ} \cdot \frac{R_{VD}}{R_{БАЛ} + R_{VD}} = U_{ВХ} \cdot \frac{1}{\frac{R_{БАЛ}}{R_{VD}} + 1}, \quad (3.2)$$

$$\frac{1}{\frac{R_{БАЛ}}{R_{VD}} + 1} = \operatorname{tg} \alpha, \alpha = \operatorname{arctg} \frac{1}{\frac{R_{БАЛ}}{R_{VD}} + 1}.$$

де

Значення  $\alpha$  залежить від стану діода. Якщо VD – відкритий ( $R_{VD.ПР} = 0$ ), то  $\alpha = 0^\circ$ . Якщо VD – закритий  $R_{VD.ЗВР} = \infty$ ,  $\operatorname{tg} \alpha = 1$ , а  $\alpha = 45^\circ$ .

При зміні полярності включення діода, графік функції  $U_{ВНХ} = f(U_{ВХ})$  повернеться на  $180^\circ$  (рисунок 3.5).

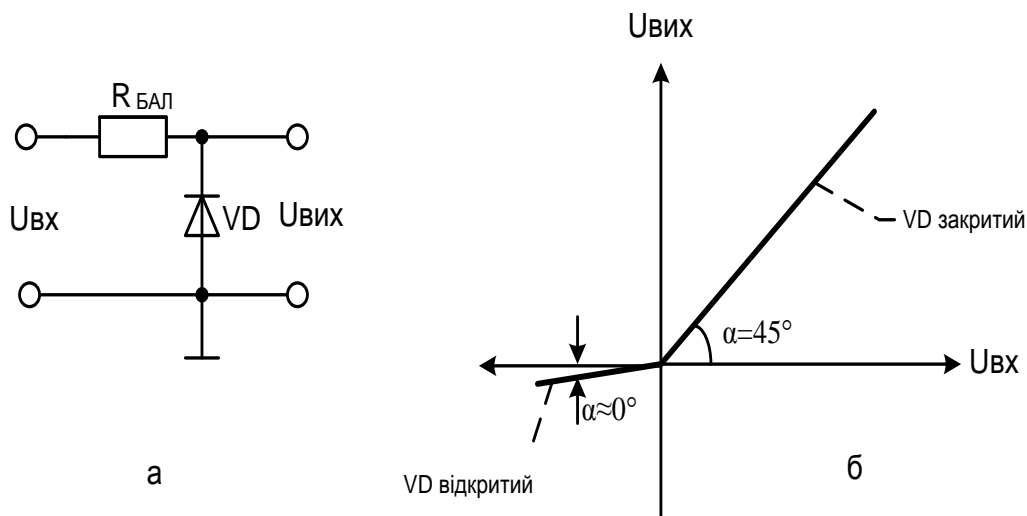


Рисунок 3.5 – Паралельний діодний ключ: а – схема паралельного діодного ключа; б – його передатна характеристика

В схемах паралельних ключів (рисунок 3.4, 3.5) порогова напруга  $U_{ПОР} = 0$ . На рисунку 3.6 показані різні варіанти включення діода і джерела зсуву  $E_{ЗС}$ , що змінює порогову напругу в паралельних діодних ключах, і їх передатні характеристики. Для правильної роботи схем (рисунки 3.4...3.6) повинно виконуватися наступне:

$$R_{БАЛ} \gg R_{VD,ПР}; R_H \gg R_{БАЛ}; R_{VD,ЗВР} \gg R_{БАЛ}; R_{ВН,ВХ} \approx 0; R_{ВН,ЗС} \approx 0.$$

### 3.1.1.3 Оцінка спільного впливу напруг $U_{ВХ}$ і $E_{ЗС}$ на значення вихідної напруги послідовного діодного ключа

Розглянемо рисунок 3.7.

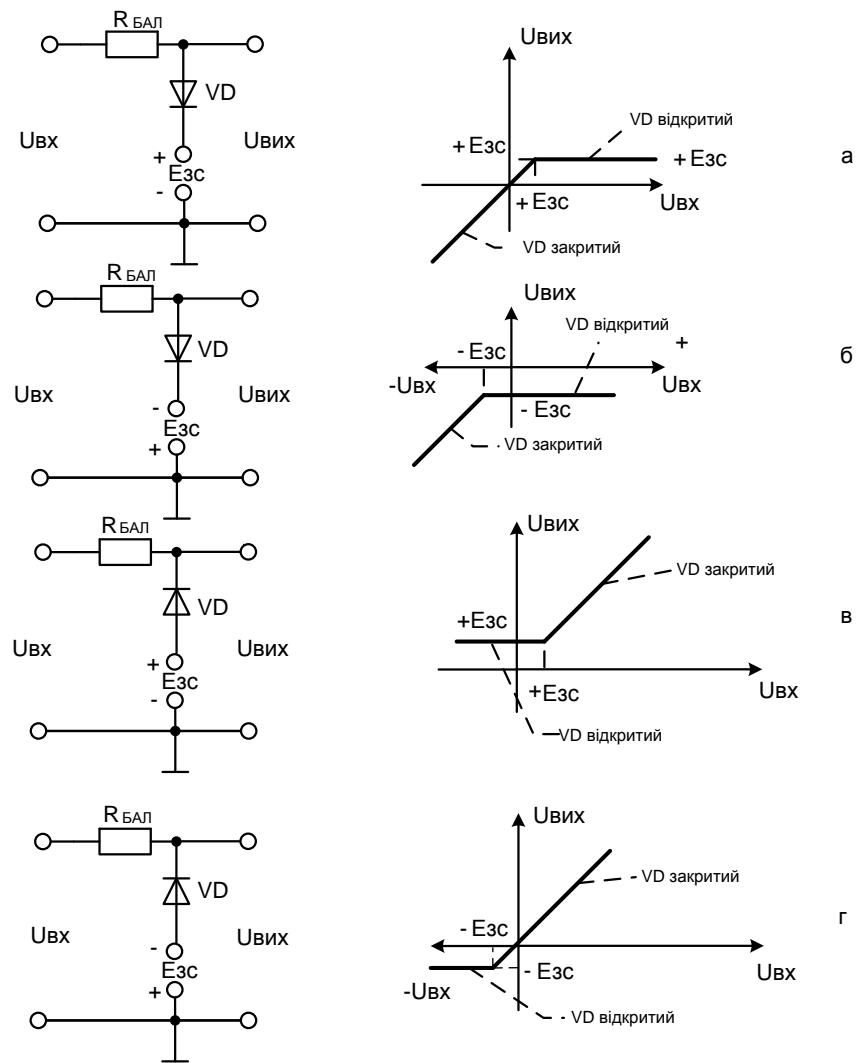


Рисунок 3.6 – Схеми паралельних ДК та їх передатні характеристики

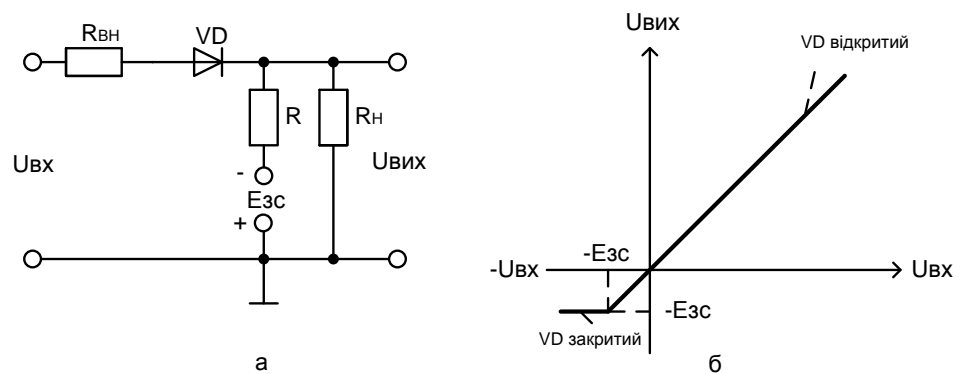


Рисунок 3.7 – Схема послідовного діодного ключа та його передатна характеристика

Для оцінки спільного впливу напруг  $U_{вх}$  і  $E_{зс}$  скористаємося принципом суперпозиції, який застосовується при аналізі лінійних

електронних ланцюгів. Хоча напівпровідниковий діод є нелінійним елементом, але в статичному режимі він може бути представлений активними опорами  $R_{VD.ПР}$  і  $R_{VD.ЗБР}$ , що мають дуже мале  $R_{VD.ПР} \approx 0$  (VD – відкритий) і дуже велике  $R_{VD.ЗБР} \rightarrow \infty$  (VD – закритий) значення.

Відповідно до принципу суперпозиції, розглянемо спочатку роботу схеми при  $U_{BX} \neq 0$ , а  $E_{ЗС} = 0$ . Ключ можна замінити еквівалентною схемою (рисунок 3.8).

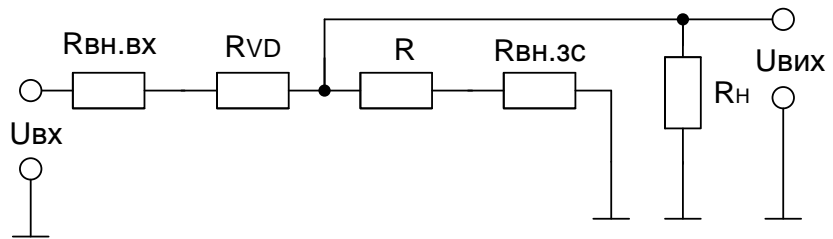


Рисунок 3.8 – Еквівалентна схема заміщення діодного ключа

Вихідна напруга для даної схеми визначається співвідношенням

$$U_{ВІХ} = U_{BX} \cdot \frac{R + R_{BH.ЗС}}{R_{BH.BX} + R_{VD} + R + R_{BH.ЗС}}. \quad (3.3)$$

У формулі відсутнє значення опору навантаження  $R_H$ , тому що  $R_H \gg (R + R_{BH.ЗС})$ .

Якщо VD – відкритий, його опір  $R_{VD.ПР} \approx 0$ . В схемі повинна виконуватися нерівність

$$R \gg R_{BH.BX} + R_{VD.ПР} + R_{BH.ЗС}. \quad (3.4)$$

У цьому випадку вихідна напруга приблизно дорівнює вхідній ( $U_{ВІХ} = U_{BX}$ ).

Якщо VD – закритий, його опір  $R_{VD.ЗВР} \approx \infty$ . У схемі повинно виконуватися співвідношення

$$R \ll R_{VD.ЗВР}. \quad (3.5)$$

У цьому випадку вихідна напруга  $U_{ВІХ} \approx 0$ .

Тепер припустимо, що  $E_{ЗС} \neq 0$ , а  $U_{ВХ} = 0$ . Відповідно до еквівалентної схеми ключа для цього випадку (рисунок 3.9) вихідна напруга

$$U_{ВІХ} = -E_{ЗС} \cdot \frac{R_{VD} + R_{ВН.ВХ}}{R + R_{ВН.ВХ} + R_{VD} + R_{ВН.ЗС}}. \quad (3.6)$$

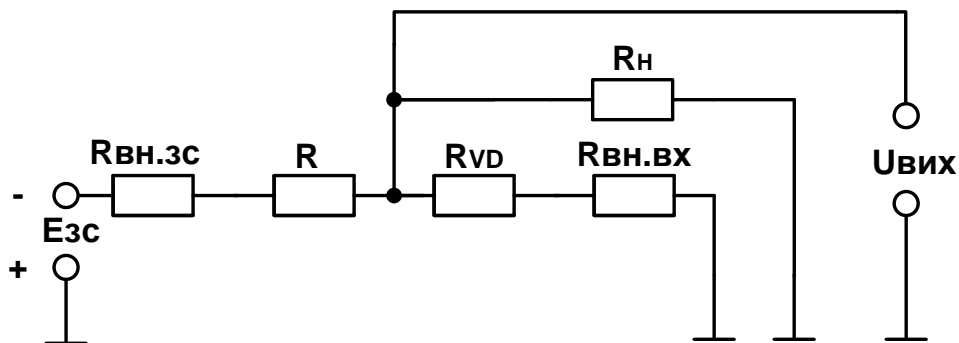


Рисунок 3.9 – Еквівалентна схема заміщення ДК

Якщо VD – відкритий, то з урахуванням виконання (3.4)  $U_{ВІХ} = 0$ .

Якщо VD – закритий, то за умови виконання (3.5)  $U_{ВІХ} = -E_{ЗС}$ .

При спільному впливі  $U_{ВІХ}$  і  $E_{ЗС}$  вихідна напруга дорівнює

$$U_{ВІХ} = U_{ВХ}, \text{ якщо } VD - \text{ відкритий,}$$

$$U_{ВІХ} = -E_{ЗС}, \text{ якщо } VD - \text{ закритий.}$$

Отриманий результат підтверджує вид передатної характеристики розглянутого ключа (рисунок 3.7, б).

Аналогічним способом можна визначити напругу на виході кожної зі схем, представлених на рисунку 3.3.

Вираз для визначення напруги на виході паралельних ключів (рисунок 3.6) можна одержати аналогічно прикладу, розглянутому вище при аналізі послідовного діодного ключа.

Застосування послідовного (рисунок 3.1, а) чи паралельного діодного ключа (рисунок 3.5, а) ілюструє рисунок 3.10.

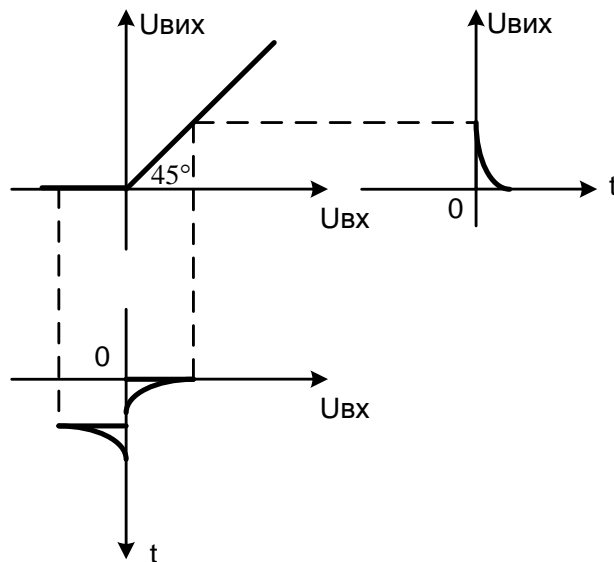


Рисунок 3.10 – Застосування діодного ключа

Даний приклад показує одне з можливих застосувань діодного ключа – передачу в навантаження вхідного додатного імпульсу і блокування від'ємного.

Діодні ключі часто застосовуються в обмежувачах амплітуди імпульсів [8, 16].

### 3.1.2 Транзисторні ключі

Як електронні ключі в імпульсній техніці широко застосовуються транзисторні ключі на біполярних і польових транзисторах [1...8, 16...20, 26]. Дія транзисторних ключів (ТК) базується на властивості транзистора мати малий опір в увімкненому стані і великий – у вимкненому. На відміну від транзисторів, які застосовуються в підсилювачах, транзистор у транзисторному ключі працює в ключовому режимі, використовуючи нелінійні ділянки ВАХ транзистора. Транзистор встановлюється послідовно з комутуючою ділянкою електричного ланцюга або паралельно йому.

#### 3.1.2.1 Транзисторні ключі на біполярних транзисторах

Основою ТК на біполярному транзисторі є схема зі спільним емітером (СЕ), яку зображено на рисунку 3.11, а.

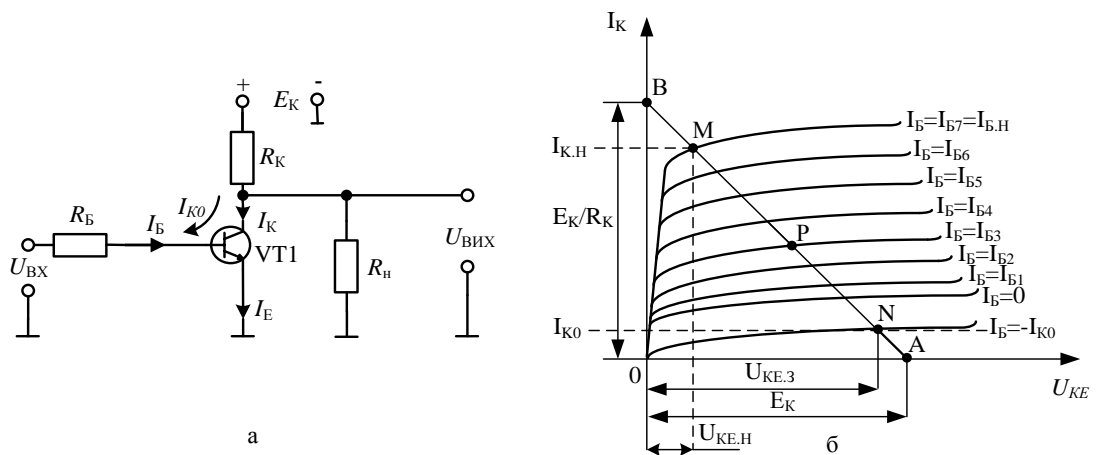


Рисунок 3.11 – ТК на біполярному транзисторі: а – схема; б – вихідні ВАХ транзистора і динамічна характеристика

На рисунку 3.11, б приведені статичні вихідні ВАХ транзистора і динамічна характеристика (навантажувальна пряма), що перетинає вісі координат у точках:

$$A (U_{KE} = E_K, I_K = 0) \quad B (U_{KE} = 0, I_K = E_K / R_K)$$

При аналізі роботи ТК розглядають статичний (стаціонарний) і динамічний (перехідний) режими.

Статичному режиму відповідають два стани ТК:

- вимкнутий (ключ закритий);
- увімкнутий (ключ відкритий).

Перехідний режим полягає в переході схеми з одного статичного стану в інший.

### 3.1.2.1.1 Вимкнутий (закритий) стан ТК

Якщо на вхід ТК, виконаного на транзисторі типу n–p–n, подати від’ємний імпульс (рисунок 3.12), то VT1 закритий і його робоча точка знаходиться в області відсічки (1.1.5).

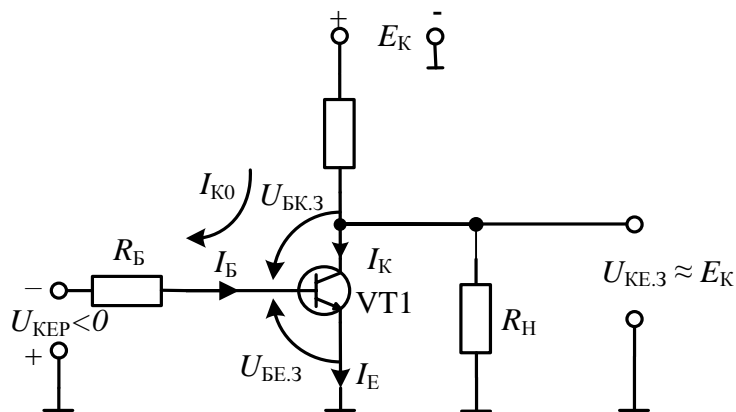


Рисунок 3.12 – Вимкнутий (закритий) стан ТК

Обидва переходи транзистора зміщені в зворотному напрямку і умова відсічення має вид :

$$U_{BE.3} \leq 0, U_{BC.3} \leq 0. \quad (3.7)$$

Оскільки зсув колекторного переходу в зворотному напрямку забезпечується джерелом живлення  $+E_K$ , то умову (3.7) можна спростити:

$$U_{BE.3} \leq 0. \quad (3.8)$$



У режимі відсічки робоча точка транзистора знаходиться в точці N навантажувальної прямої (рисунок 3.11, б). Через колекторний перехід протікає зворотний струм насичення (струм неосновних носіїв)  $I_{K0}$ . Струми транзистора зв'язані виразами:

$$I_K = I_{K0}, I_B = -I_{K0}, I_E = I_K + I_B = 0. \quad (3.9)$$

Напруга на базі закритого транзистора  $U_{BE.3} = -U_{KEP} + I_{K0} R_B$ .

Для виконання умови відсічення ключа амплітуда вхідної керуючої напруги повинна обиратися з виразу:

$$|U_{KEP}| \geq I_{K0} R_B. \quad (3.10)$$

Напруга на виході закритого транзистора:

$$U_{KE.3} = E_K - I_{K0} R_K \approx E_K. \quad (3.11)$$

### 3.1.2.1.2 Увімкнутий (відкритий) стан ключа

Якщо на вхід ключа поданий додатний імпульс (рисунок 3.13), то транзистор відкритий і його робоча точка знаходиться в області насичення (1.1.5).

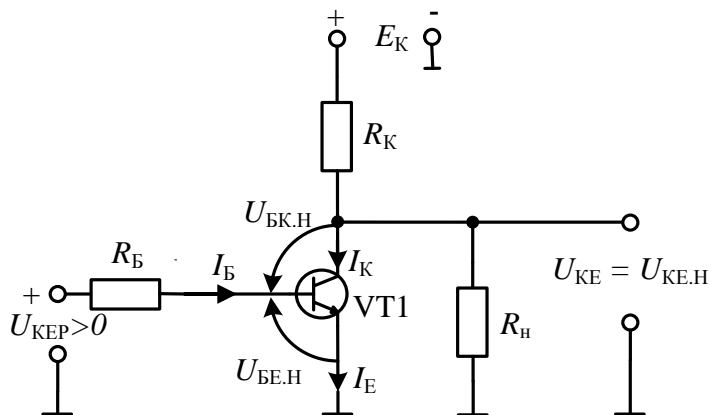


Рисунок 3.13 – Увімкнутий (відкритий) стан ключа

Обидва переходи транзистора відкриті, і умова насичення має вид:

$$U_{BE.H} > 0, U_{BK.H} > 0. \quad (3.12)$$

Величина струму бази, обумовлена вхідною додатною напругою, повинна відповідати нерівності:

$$I_B \geq I_{B.H}, \quad (3.13)$$

де  $I_{B.H}$  – значення струму бази, при якому робоча точка транзистора знаходиться на границі активної області й області насичення (точка М навантажувальної прямої (рисунок 3.11, б)).

Величина базового струму насичення:

$$I_{B.H} = \frac{I_{K.H}}{\beta}, \quad (3.14)$$

де  $I_{K.H}$  – значення струму колектора, що відповідає границі області насичення,  $\beta$  – коефіцієнт передачі (підсилення) струму в схемі зі спільним емітером. Значення струму колектора відкритого транзистора обмежено резистором  $R_K$  і визначається з формули:

$$I_{K.H} = (E_K - U_{KE.H}) / R_K, \quad (3.15)$$

де  $U_{KE.H}$  – падіння напруги на відкритому транзисторі (вихідна напруга увімкненого ключа).

Як випливає з рисунка 3.11, б, величина  $U_{KE.H}$  дуже мала ( $U_{KE.H} \approx 0$ ). Тому умову насичення можна записати у вигляді:

$$I_{K.H} = \frac{E_K}{R_K},$$

$$I_B \geq I_{B.H} = \frac{I_{K.H}}{\beta} = \frac{E_K}{R_K \beta}. \quad (3.16)$$

Для надійного насичення транзистора необхідно, щоб умова (3.16) виконувалася при  $\beta = \beta_{\min}$ .

Величина  $S$  називається коефіцієнтом (ступенем) насичення транзистора і дорівнює:

$$S = \frac{I_K}{I_{K.H}} = \frac{I_B}{I_{B.H}} \quad (3.17)$$

Якщо робоча точка VT1 знаходиться в точці М навантажувальної прямої (рисунок 3.11, б), то  $I_B = I_{B.H}$ ,  $S = 1$ .

### 3.1.2.1.3 Перехідний (динамічний) режим ключа

Перехідний режим виникає при вмиканні і вимиканні ключа і визначає його швидкодію.

Процес увімкнення ключа умовно можна розбити на три етапи: затримка фронту, формування фронту при відмиканні транзистора і накопичення надлишкового заряду в базі транзистора. Затримка фронту вихідної напруги ключа відносно моменту надходження вхідного вмикаючого імпульсу зв'язана з перезарядом бар'єрних ємностей транзистора  $C_K$  і  $C_E$ . Величина часу затримки невелика і при аналізі процесу увімкнення ключа її можна не враховувати. Часові діаграми роботи ТК показані на рисунку 3.14. У вихідному стані на ключ подається від'ємний керуючий імпульс, тому транзистор закритий.

Нехай у момент часу  $t_1 = 0$  на вхід ключа поданий додатний стрибок напруги  $U_{KEP1}$ , що викликає додатний стрибок базового струму, що відмикає транзистор, тоді:

$$I_{B1} \approx \frac{U_{KEP1}}{R_B} > I_{B.H} \quad (3.18)$$

З цього моменту починається етап формування фронту, обумовлений наростанням струму колектора за експоненціальним законом:

$$I_K = \beta \cdot I_B (1 - e^{-t/t_\beta}) \quad (3.19)$$

де  $\tau_{\beta} = \frac{1}{\omega_{\beta}} = \frac{1}{2\pi f_{\beta}}$  – стала часу перехідного процесу в транзисторі,

увімкненому за схемою з СЕ (спільним емітером);

$f_{\beta} = f_{\alpha} / \beta$  – гранична частота в схемі з СЕ;

$f_{\alpha}$  – гранична частота в схемі зі спільною базою (СБ);

$\beta$  – коефіцієнт підсилення струму в схемі зі спільним емітером (СЕ).

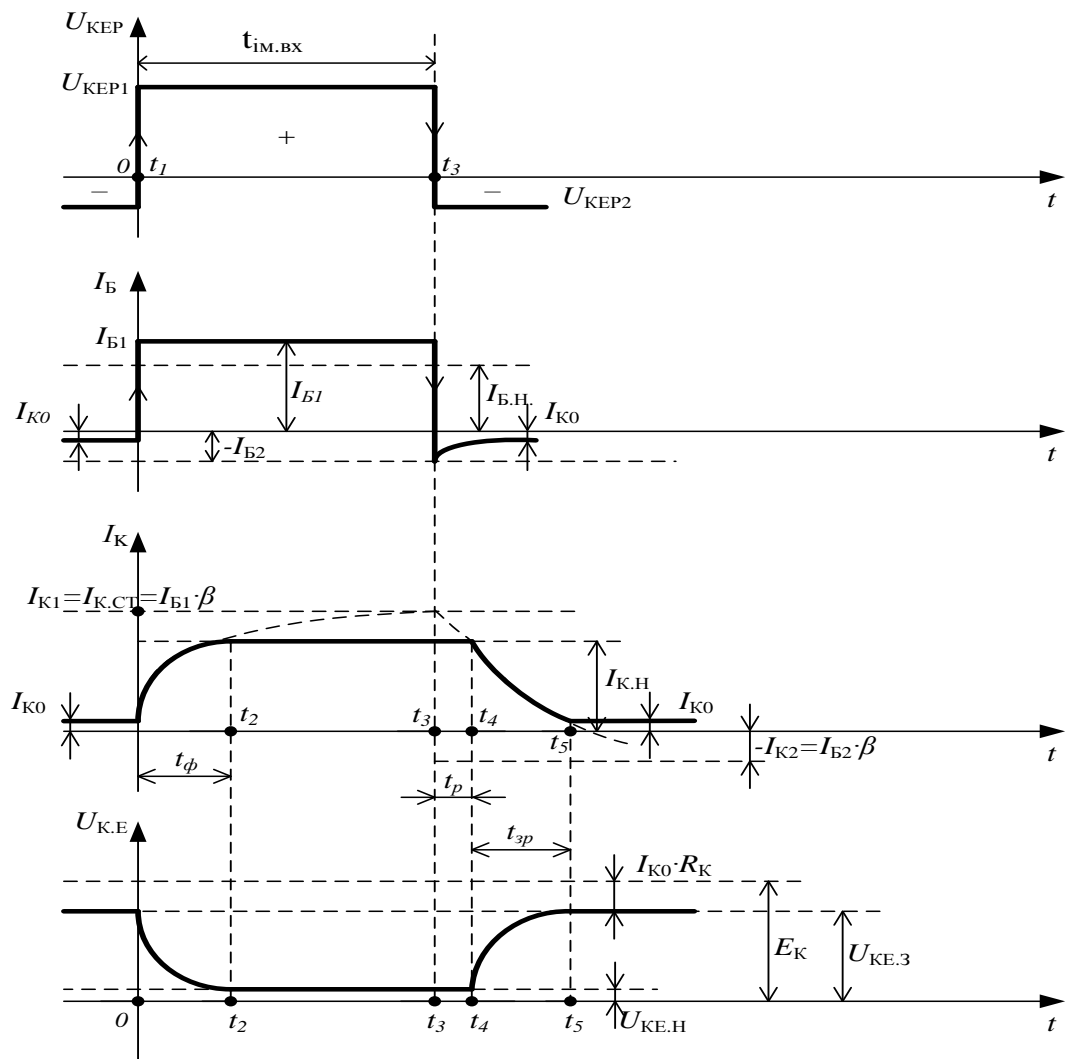


Рисунок 3.14 – Часові діаграми роботи ТК

Колекторний струм прагне до сталого значення:

$$I_{K1} = I_{K.СТ} = \beta I_{B1} > I_{K.Н}, \quad (3.20)$$

$$(I_{B1} > I_{B.H} = I_{K.H} / \beta).$$

Однак, у момент часу  $t_2$  при струмі  $I_K = I_{K.H} = I_{B.H} \cdot \beta$  транзистор попадає в режим насичення і зростання колекторного струму обмежується на рівні  $I_{K.H} \approx E_K / R_K$ . На цьому закінчується етап формування фронту і починається етап накопичення надлишкового заряду в базі транзистора. Фізично цей процес полягає у введенні в базу від джерела керуючої напруги надлишкових дірок, що викликають “удавану” зміну струму колектора до величини  $I_{K1} = I_{K.CT} = I_{B1} \cdot \beta$ , хоча реально цей струм дорівнює  $I_{K.H}$ . Графічно “удаване” збільшення струму колектора на рисунку 3.14 показано пунктирною кривою. Через час  $t = 3\tau_\beta$  “удаваний” струм досягає сталого значення  $I_{K.CT}$ . На рисунку 3.14 тривалість вхідного керуючого імпульсу  $t_{im.BX}$  приблизно дорівнює  $3\tau_\beta$ .

Аналіз процесу увімкнення ТК дозволяє зробити висновок, що тривалість фронту  $t_\phi = t_2 - t_1$  можна зменшити, збільшуючи відмикаючий струм бази  $I_{B1}$ . З іншої сторони накопичення надлишкового заряду носіїв у базі можна знизити, зменшуючи струм бази. При виконанні умови  $I_{B1} = I_{B.H} (S = 1)$  накопичення надлишкового заряду в базі відсутнє.

У момент  $t_3$  на вхід ключа поданий від’ємний стрибок напруги  $U_{KEP} < 0$ , що закриває транзистор. Починається процес вимикання ключа, який можна розбити на два етапи: розсмоктування надлишкового заряду в базі транзистора і формування заднього фронту (зрізу) при запиранні транзистора.

Від’ємний стрибок керуючої вхідної напруги  $U_{KEP2}$  викликає від’ємний стрибок базового струму:  $-I_{B2} = -U_{KEP2} / R_B$ , що протікає в напрямку, протилежному первісному струму бази  $I_{B1}$ .

Струм колектора стрибком змінитися не може, тому починає зменшуватися за експоненціальним законом з тією ж сталою часу, що і при увімкненні ключа. Зміна струму бази викликає зменшення струму колектора від “удаваного” значення  $I_{K.СТ}$  до  $I_{K2} = I_{B2} \cdot \beta$ . Однак, до моменту часу  $t_4$  у базі зберігається надлишковий заряд і ніякі зміни струму колектора не відбуваються. Робоча точка транзистора протягом етапу розсмоктування знаходиться в області насичення. Виникає затримка фронту вихідного імпульсу відносно моменту надходження вимикаючої напруги:  $-U_{KEP2}$ . Тривалість цієї затримки представляє час розсмоктування надлишкового заряду в базі транзистора:  $t_p = t_4 - t_3$ .

Тривалість часу розсмоктування можна зменшити, збільшуючи від’ємний струм бази:  $-I_{B2}$  і зменшуючи ступінь насичення  $S$ , а отже і відмикаючий струм бази  $I_{B1}$ .

У момент часу  $t_4$  після виходу робочої точки транзистора з області насичення починається етап формування зрізу вихідного імпульсу. Протягом проміжку часу  $t_4 \dots t_5$  струм колектора зменшується за експоненціальним законом до величини  $I_{K0}$ , після чого залишається постійним на даному рівні. Подальше зменшення струму колектора до величини:  $-I_{K2} = -I_{B2} \cdot \beta$  є “удаваним” і на рисунку 3.14 показане пунктирною лінією. Час зрізу  $t_{zp} = t_5 - t_4$  можна зменшити, збільшуючи значення струму бази  $I_{B1}$  і  $I_{B2}$ .

Для підвищення швидкодії ключа необхідно зменшити час вмикання  $t_{BM} = t_{\phi}$  і вимикання  $t_{ВИМ} = t_p + t_{зр}$ . Проведений аналіз показав, що для цього необхідно виконати суперечливі вимоги: для зменшення  $t_{\phi}$ ,  $t_{зр}$  необхідно збільшувати ступінь насичення транзистора, а для зменшення  $t_p$  – зменшувати. Оптимальна форма вхідного базового струму ТК, що враховує це протиріччя, показана на рисунку 3.15.

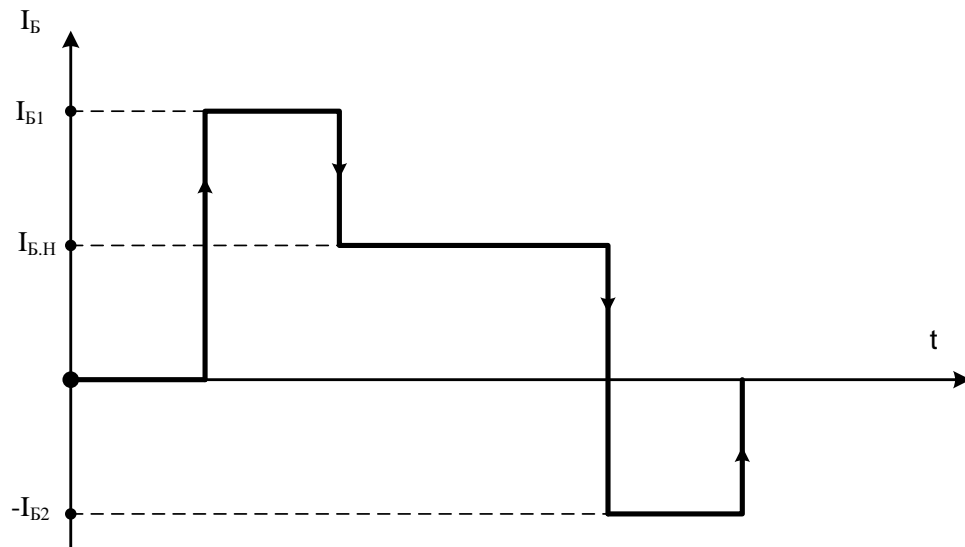


Рисунок 3.15 – Оптимальна форма вхідного базового струму ТК

Розглянутий ключ керується різнополярними імпульсами і стан схеми визначається знаком і рівнем вхідної напруги. На практиці широко застосовуються ключі, які у вихідному стані закриті чи відкриті.

Переключення ключа відбувається під дією однополярних вхідних керуючих імпульсів, що здійснюють увімкнення закритого ключа або вимикання відкритого.

#### 3.1.2.1.4 ТК, закритий у початковому стані

Розглянемо ТК, закритий у вихідному стані (рисунок 3.16).

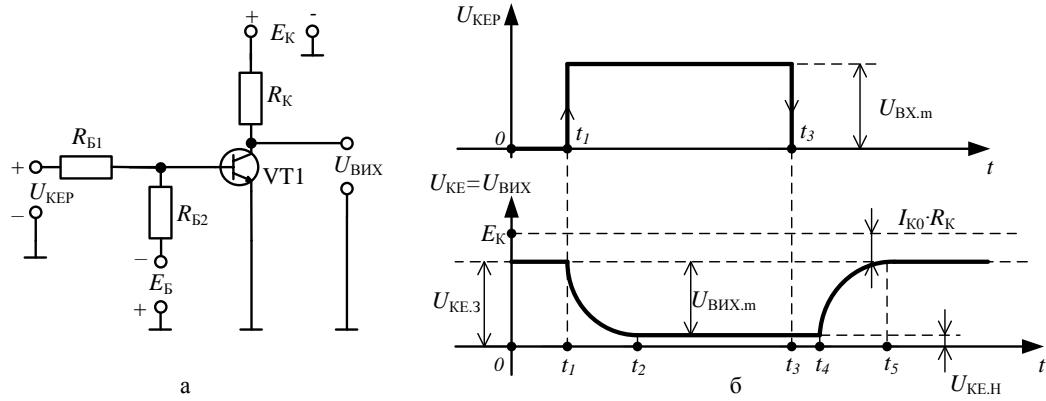


Рисунок 3.16 – ТК, закритий у вихідному стані

У початковому стані  $U_{KEP} = 0$ , ТК – під впливом від'ємної напруги на базі:  $E_B$  – закритий,  $U_{ВИХ} \approx U_{KE.3} = E_K - I_{K0} \cdot R_K \approx E_K$ .

При подачі на вхід схеми в момент  $t = t_1$  додатного відмикаючого імпульсу, ТК відкривається. З затримкою  $t_{\phi} = t_2 - t_1$  вихідна напруга зменшується до величини  $U_{KE.H} \approx 0$ .

У момент  $t = t_3$  сигнал керування знімається. З затримкою  $t_{ВИМ} = t_p + t_{зр}$ , де  $t_p = t_4 - t_3$ , а  $t_{зр} = t_5 - t_4$ , вихідна напруга збільшується до величини  $U_{KE.3}$ , тому що ключ знову закривається.

### 3.1.2.1.5 ТК, відкритий у початковому стані

Розглянемо ТК, відкритий у початковому стані (рисунок 3.17).

У вихідному стані  $U_{KEP} = 0$ . Додатною напругою, що знімається з нижнього плеча дільника напруги  $+E_K$  (резистори  $R_{B1}, R_{B2}$ ), транзистор і ключ у цілому відкритий. З виходу знімається невелика напруга  $U_{KE.H}$ .



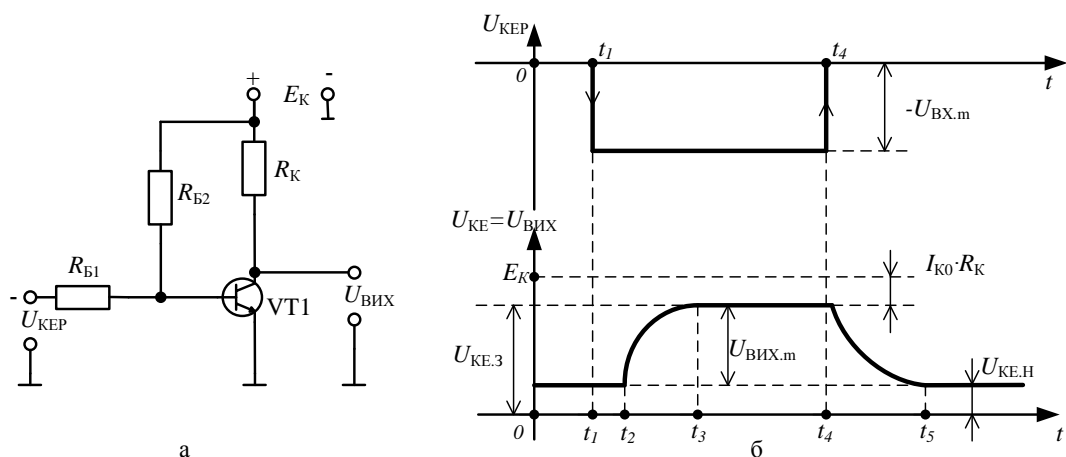


Рисунок 3.17 – ТК, відкритий у початковому стані

У момент  $t = t_1$  на вхід схеми надходить від'ємний імпульс, що викликає закривання ТК. З затримкою  $t_{\text{ВІМ}} = t_p + t_\phi$ , де  $t_p = t_2 - t_1$ , а  $t_\phi = t_3 - t_2$  вихідна напруга збільшується до величини  $U_{\text{КЕ.З}}$ .

У момент  $t = t_4$  вхідний імпульс закінчується. ТК знову відкривається і через  $t_{\text{ВМ}} = t_{\text{зр}} = t_5 - t_4$  сигнал на виході знову зменшується до величини  $U_{\text{КЕ.Н}}$ .

Для підвищення швидкодії ТК у схему, наприклад, можна ввести конденсатор, що прискорює, чи використовувати нелінійний від'ємний зворотний зв'язок (ВЗЗ) [1, 3...6].

### 3.1.2.1.6 Ключ із зовнішнім зміщенням і прискорюючим конденсатором

У вихідному стані такий ключ (рисунок 3.18, а) закритий джерелом зміщення:  $-E_B$ , а у відкритий стан переключачиться додатним керуючим імпульсом.

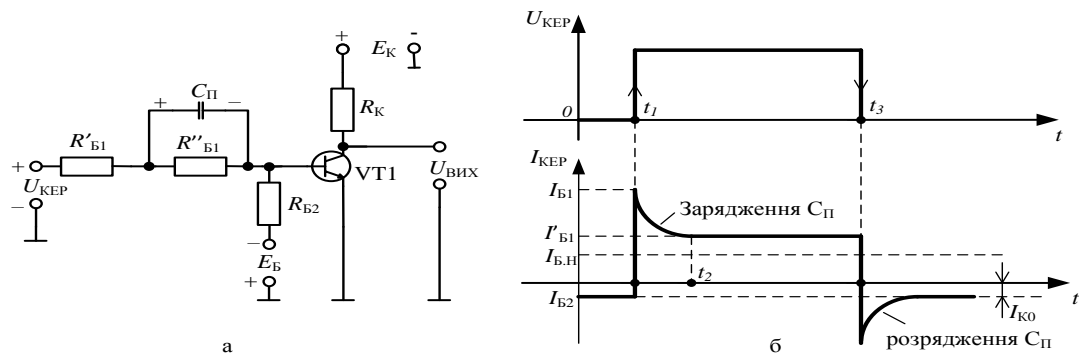


Рисунок 3.18 – Ключ із зовнішнім зміщенням і прискорюючим конденсатором: а – схема; б – часові діаграми роботи

Як відзначалося вище, зі збільшенням ступеня насичення ТК зменшується тривалість увімкнення, але одночасно зростає час вимикання, унаслідок збільшення часу розсмоктування надлишкового заряду в базі. Для підвищення швидкодії ТК необхідно забезпечувати форму вхідного керуючого базового струму, близьку до оптимальної (рисунок 3.15).

Формування фронту відбувається при відмикаючому струмі бази значно перевищуючому струм бази насичення, накопичення надлишкових носіїв при струмі бази, незначно перевищуючому струм бази насичення, а розсмоктування і формування зрізу протікають при значному закриваючому струмові бази.

Як видно з часових діаграм роботи (рисунок 3.18, б), схема з прискорюючим конденсатором, забезпечує форму базового струму, близьку до оптимальної.

У вихідному стані ключ закритий і конденсатор  $C_{\text{П}}$  розряджений. У момент часу  $t_1$  на вхід надходить додатний імпульс, який відмикає транзистор. Відмикаючий струм бази проходить через резистор  $R'_{\text{Б1}}$  і конденсатор  $C_{\text{П}}$ , шунтуючий  $R''_{\text{Б1}}$ . Величина цього струму  $I_{\text{Б1}}$  значно перевищує величину  $I_{\text{Б.Н}}$  та залежить від амплітуди керуючого імпульса і значення  $R'_{\text{Б1}}$ . Під час заряду конденсатора через відкритий транзистор  $\text{VT1}$

струм бази зменшується за експонентою до величини  $I'_{Б1}$ , яка трохи перевищує  $I_{Б.Н}$ .

При закінченні вхідного імпульсу ключ закривається під дією від'ємного зміщення:  $-E_B$  і від'ємної напруги на прискорюючому конденсаторі, що прискорює закриття транзистора. Початковий струм бази при вимиканні ТК,  $I_{Б2}$  більше, ніж у схемі без прискорюючого конденсатора. Оскільки ступінь насичення транзистора мала, а вимикаючий струм бази великий, то час вимикання ТК зменшується.

Ємність конденсатора  $C_n$  не може бути довільною, тому що при малому значенні ємності стрибки базового струму мають невелику тривалість, а при занадто великому значенні  $C_n$  тривалість перехідних процесів може збільшитися.

### 3.2 Моделювання окремих пристроїв

Робота всіх діодних ключів визначається станом діода: відкритий або закритий. Якщо потенціал анода більш додатний (менш від'ємний) ніж потенціал катода, то діод відкритий. В іншому випадку діод закритий. Сказане відображає таблиця 3.1.

#### 3.2.1 Схема 1. Послідовний діодний ключ

Нижче наведено приклад схеми послідовного діодного ключа, яку зібрано у середовищі MicroCap 9: lab3\_1.cir (рисунок 3.19).

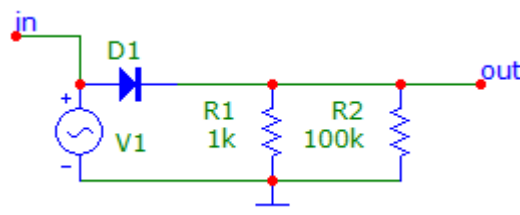


Рисунок 3.19 – Схема послідовного діодного ключа

Таблиця 3.1–Вплив співвідношення потенціалів анода та катода на стан діода

Значення потенціалів: $\varphi_A$ – анода, $\varphi_K$ – катода	Стан діода:
$\varphi_A > 0; \varphi_K < 0$ ①	Відкритий
$\varphi_A < 0; \varphi_K > 0$ ②	Закритий
$\varphi_A > 0; \varphi_K > 0$ ③	
$\varphi_A > \varphi_K$ ③.1	Відкритий
$\varphi_A < \varphi_K$ ③.2	Закритий
$\varphi_A < 0; \varphi_K < 0$ ④	
$ \varphi_A  <  \varphi_K $ ④.1	Відкритий
$ \varphi_A  >  \varphi_K $ ④.2	Закритий

Параметри схеми:

D1 (Diode):

1) Model = 1N4148;

V1 (Sine Source):

2)  $F = \text{<номер бригади> * 100 [Hz]}$ ,

3)  $A = \text{<номер бригади> [V]}$ ;

R1 (Resistor):

4) Value = 1k [Om];

R2 (Resistor):

5) Value = 100k [Om].

**Результат дослід:**

На рисунку 3.20 наведено передатну характеристику (внизу) та часові діаграми роботи (вгорі) діодного ключа, схему якого наведено на рисунку 3.19.

Різниця між вхідною та вихідною напругами на рисунку 3.18 (вгорі) пояснюється тим, що послідовний діодний ключ пропускає тільки додатні

напруги, а при від'ємних закривається. Деяка різниця між амплітудою вхідної та вихідної напруг зумовлена наявністю невеликого падіння напруги на відкритому діоді. Амплітуда графіка залежить від значення  $A$ , яку вказано в параметрах схеми.

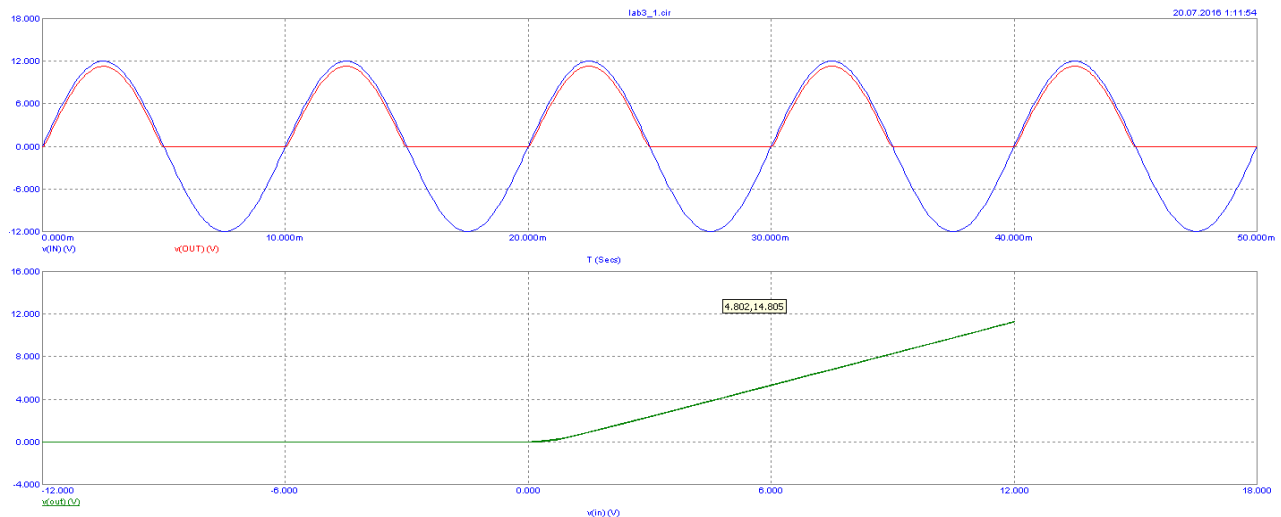


Рисунок 3.20 – Часові діаграми роботи (вгорі) та передатна характеристика (внизу) діодного ключа, схему якого наведено на рисунку 3.19.

### 3.2.2 Схема 2. Послідовний діодний ключ зі зміщенням

Нижче наведено приклад схеми послідовного діодного ключа зі зміщенням, яку зібрано у середовищі MicroCap 9: lab3\_2.cir (рисунок 3.21).

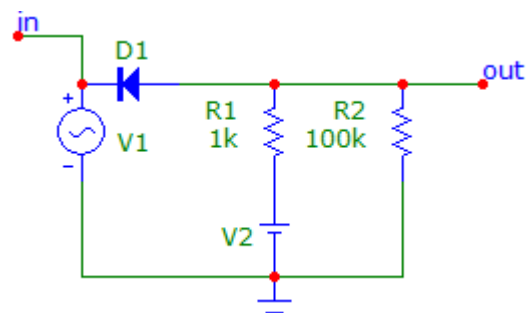


Рисунок 3.21 – Схема послідовного діодного ключа зі зміщенням

Параметри схеми:

D1 (Diode):

1) Model = 1N4148;

V1 (Sine Source):

2)  $F = \langle \text{номер бригади} \rangle * 100 \text{ [Hz]},$

3)  $A = \langle \text{номер бригади} \rangle * 2 \text{ [V]};$

V2 (Battery):

4)  $\text{Value} = \langle \text{номер бригади} \rangle \text{ [V]};$

R1 (Resistor):

5)  $\text{Value} = 1\text{k} \text{ [}\Omega\text{]};$

R2 (Resistor):

6)  $\text{Value} = 100\text{k} \text{ [}\Omega\text{]}.$

### Результат досліджу:

На рисунку 3.22 наведено передатну характеристику (внизу) та часові діаграми роботи (вгорі) діодного ключа, схему якого наведено на рисунку 3.21.

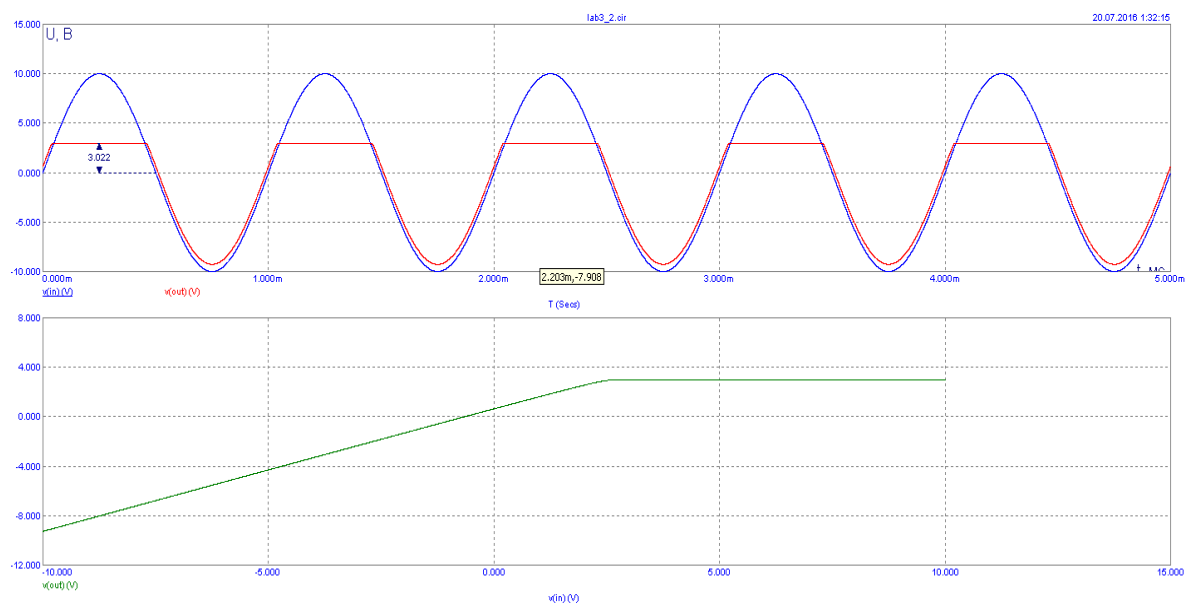


Рисунок 3.22 – Часові діаграми роботи (вгорі) та передатна характеристика (внизу) діодного ключа, схему якого наведено на рисунку 3.21.

На схемі наявна напруга зсуву  $E_{зс} = 3 \text{ В}$ , через що діодний ключ закривається при додатній вхідній напрузі 3В та з виходу знімається напруга  $V_2=3\text{В}$ .

### 3.2.3 Схема 3. Паралельний діодний ключ

Нижче наведено приклад схеми паралельного діодного ключа, яку зібрано у середовищі MicroCap 9: lab3\_3.cir (рисунок 3.23).

Параметри схеми:

D1 (Diode):

1) Model = 1N456;

V1 (Sine Source):

2)  $F = \text{<номер бригади> * 100 [Hz]}$ ,

3)  $A = \text{<номер бригади> [V]}$ ;

R1 (Resistor):

4) Value = 1k [Om];

R2 (Resistor):

5) Value = 100k [Om].

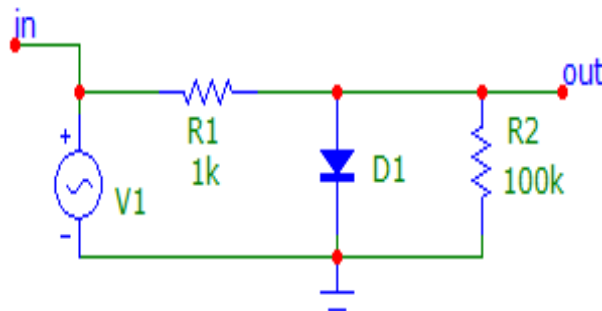


Рисунок 3.23 – Схема паралельного діодного ключа

**Результат дослід:**

На рисунку 3.24 наведено передатну характеристику (внизу) та часові діаграми роботи (вгорі) паралельного діодного ключа, схему якого наведено на рисунку 3.23.

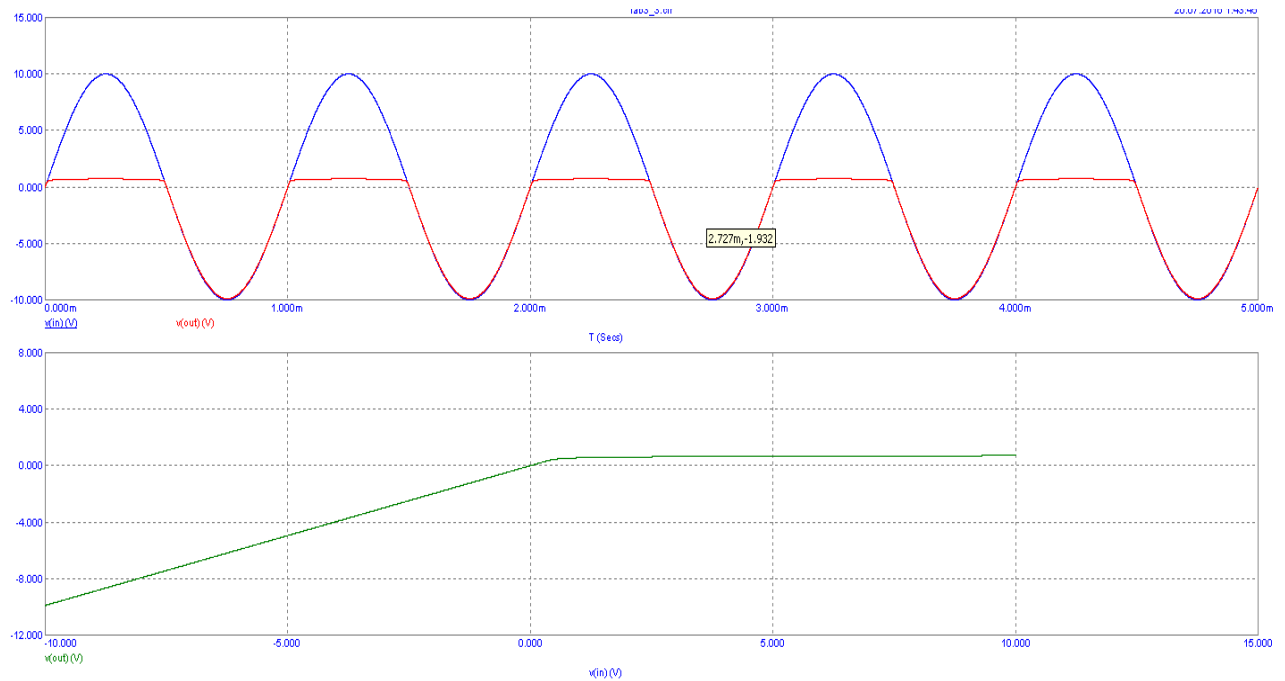


Рисунок 3.24 – Часові діаграми роботи (вгорі) та передатна характеристика (внизу) діодного ключа, схему якого наведено на рисунку 3.23

При подачі на вхід ключа додатної напруги діод відкривається і напруга на ньому, а, отже, на виході близька до нуля.

При надходженні від'ємної вхідної напруги діод закривається і напруга на виході стає рівною напрузі на вході.

### 3.2.4 Схема 4. Паралельний діодний ключ зі зміщенням

Нижче наведено приклад схеми паралельного діодного ключа зі зміщенням, яку зібрано у середовищі MicroCap 9: lab3\_4.cir (рисунок 3.25).

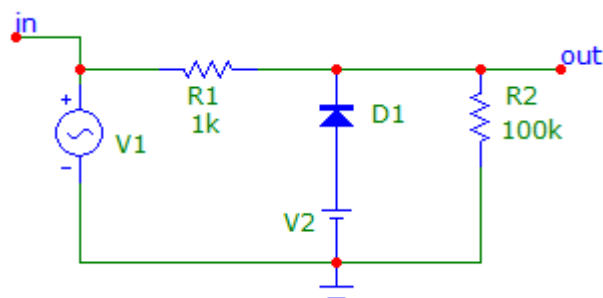


Рисунок 3.25 – Схема паралельного діодного ключа зі зміщенням



### Параметри схеми:

D1 (Diode):

1) Model = 1N4148;

V1 (Sine Source):

2)  $F = \text{<номер бригади> * 100 [Hz]}$ ,

3)  $A = \text{<номер бригади> * 2[V]}$ ;

V2 (Battery):

4) Value = <номер бригади> [V];

R1 (Resistor):

5) Value = 1k [Om];

R2 (Resistor):

6) Value = 100k [Om].

### **Результат дослід:**

На рисунку 3.26 наведено передатну характеристику (внизу) та часові діаграми роботи (вгорі) паралельного діодного ключа, схему якого наведено на рисунку 3.25.

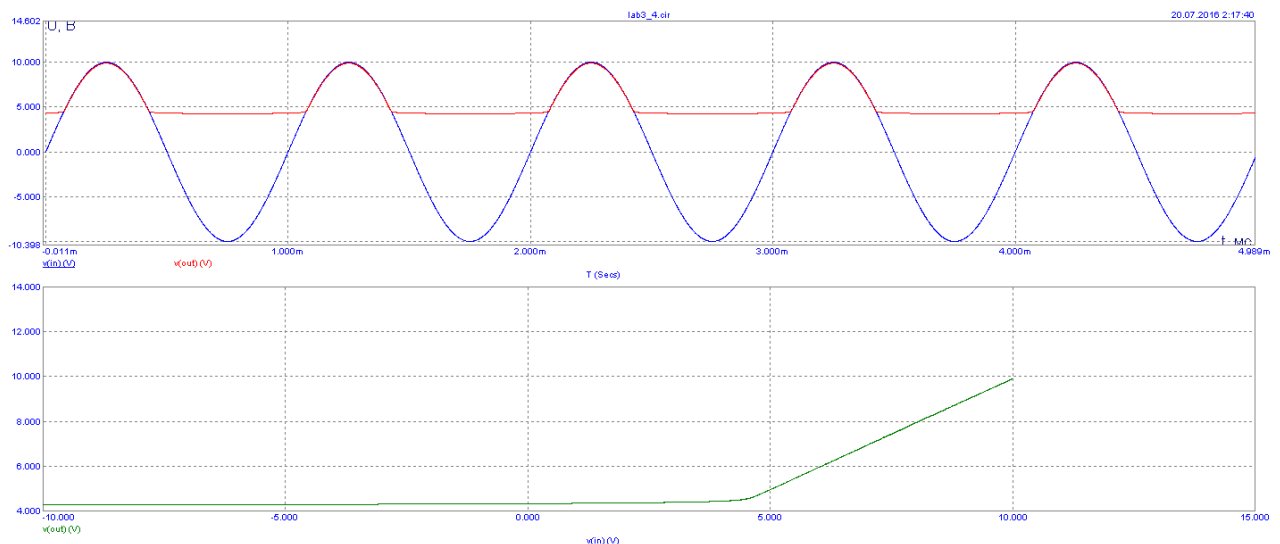


Рисунок 3.26 – Часові діаграми роботи (вгорі) та передатна характеристика (внизу) діодного ключа, схему якого наведено на рисунку 3.25

Вид передатної характеристики пояснюється наступним чином: вона така ж сама, як на рисунку 3.24, але перегорнута на  $180^\circ$  через зворотне включення діода та піднята вгору на величину напруги зсуву  $E_3$ , яка дорівнює 5В.

### 3.2.5 Схема 5. Транзисторний ключ на базі n–p–n–транзистора при подачі на вхід різнополярних імпульсів

Нижче наведено приклад схеми транзисторного ключа на базі n–p–n–транзистора при подачі на вхід різнополярних імпульсів, яку зібрано у середовищі MicroCap 9: key+–.cir (рисунок 3.27).

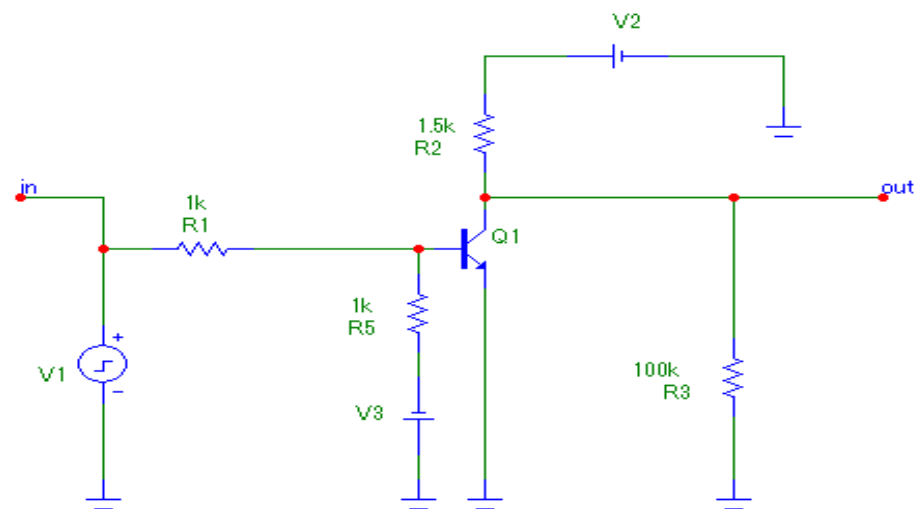


Рисунок 3.27 – Схема транзисторного ключа на базі n–p–n–транзистора при подачі на вхід різнополярних імпульсів

Параметри схеми:

Q1 (n–p–n):

1) Model = BC547;

V1 (Pulse Source):

## ПРИМІТКА

Тут і надалі у джерелах пульсуючої напруги використовуються такі параметри, як VONE, VZERO, P1, P2, P3, P4, P5 (рисунок 3.28).

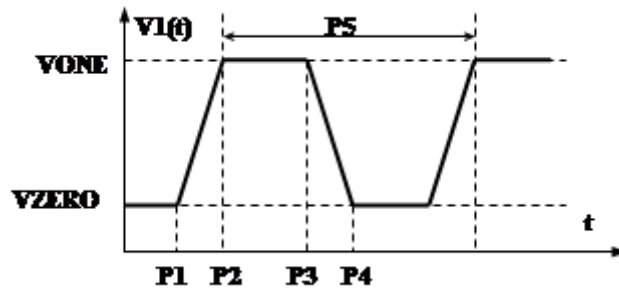


Рисунок 3.28 – Основні параметри імпульсного сигналу

Пояснення щодо їх значення:

- VZERO – початкове значення на виході генератора;
- VONE – максимальне значення на виході графіка (амплітуда відносно VZERO);
- P1 – початок переднього фронту, у секундах;
- P2 – початок плоскої вершини імпульса;
- P3 – кінець плоскої вершини імпульса;
- P4 – момент досягнення рівня VZERO (кінець заднього фронту);
- P5 – період повторення.

2) Modele = SQUARE,

3) Параметри P1, P2, P3, P4, P5 розрахувати в залежності від номеру бригади так, щоб тривалість імпульсу дорівнювала  $0,1 * <\text{номер бригади}> [\text{мкс}] = 0,1 * <\text{номер бригади}> \mu [\text{sec}]$ ;

Приклад:

Номер бригади = 3:

P1 = 0 [sec];

P2 = 1n [sec];

P3 = 500n [sec];

$P4 = 501\text{n [sec]}$ ;

$P5 = 1\mu \text{ [sec]}$ ;

V2 (Battery):

4) Value = 10 [V];

V3 (Battery):

5) Value = 0.5 [V];

R1 (Resistor):

6) Value = 1k [Om];

R2 (Resistor):

7) Value = 1.5k [Om];

R3 (Resistor):

8) Value = 100k [Om];

R5 (Resistor):

9) Value = 1k [Om].

### Результат досліджу:

На рисунку 3.29 наведено часові діаграми роботи транзисторного ключа, схему якого наведено на рисунку 3.27.

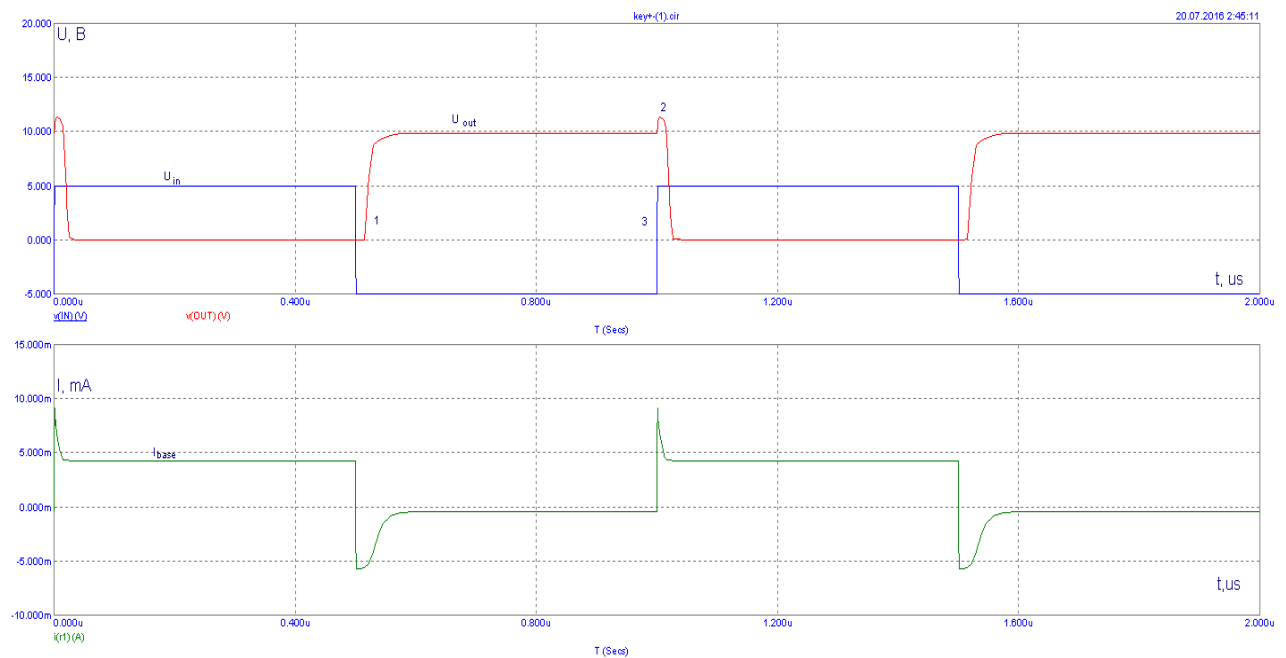


Рисунок 3.29 – Часові діаграми роботи транзисторного ключа, схему якого наведено на рисунку 3.27

Вигляд характеристик, приведений на даному рисунку, пов'язаний з часовими діаграмами роботи транзисторного ключа в динамічному режимі (рисунок 3.14).

### 3.2.6 Схема 6. Транзисторний ключ на базі n–p–n-транзистора включеного за схемою із спільним емітером з прискорюючим конденсатором та без нього

Нижче наведено приклад схеми транзисторного ключа на базі n–p–n-транзистора, який включено за схемою із спільним емітером з прискорюючим конденсатором та без нього, яку зібрано у середовищі MicroCap 9: keyCapacity.cir (рисунок 3.30).

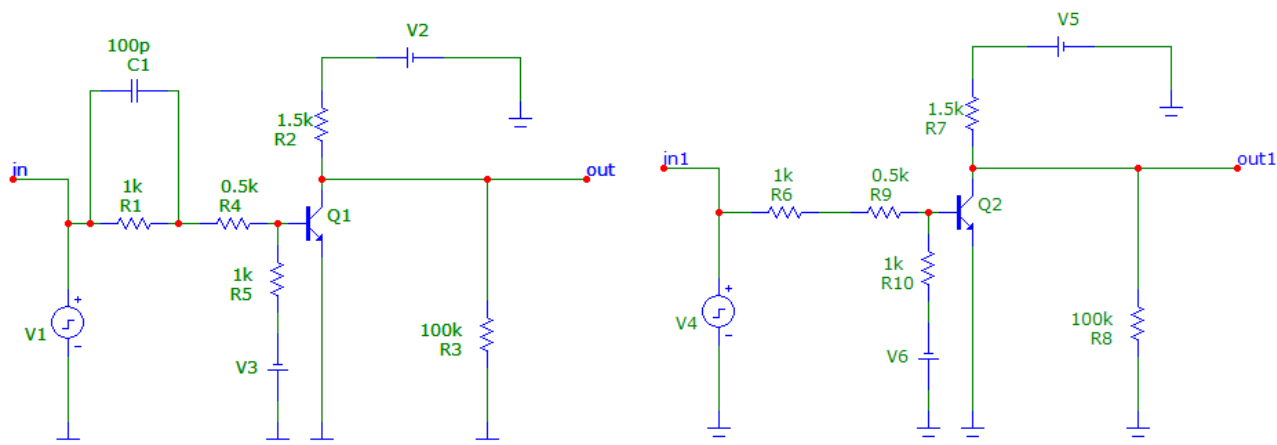


Рисунок 3.30 – Схема транзисторного ключа на базі n–p–n-транзистора, який включено за схемою із спільним емітером з прискорюючим конденсатором та без нього

Параметри схеми з конденсатором:

Q1 (n–p–n):

1) Model = BC547;

V1 (Pulse Source):

2) Model = SQUARE:

P1 = 0 [sec];

P2 = 1n [sec];

P3 = 500n [sec];

P4 = 501n [sec];

P5 = 1u [sec];

vone = 5;

vzero = 0;

V2 (Battery):

3) Value = 10 [V];

C1 (Capacitor):

4) Value = 100p [Fa].

Інші параметри схеми вказані на рисунку.

Параметри схеми без конденсатора:

Q2 (n-p-n):

5) Model = BC547;

V4 (Pulse Source):

6) Modele = SQUARE:

P1 = 0 [sec];

P2 = 1n [sec];

P3 = 500n [sec];

P4 = 501n [sec];

P5 = 1u [sec];

vone = 5;

vzero = 0;

V5 (Battery):

7) Value = 10 [V]

Інші параметри схеми вказані на рисунку.

### Результат дослід:

На рисунку 3.31 наведено часові діаграми роботи транзисторного ключа, схему якого наведено на рисунку 3.30.

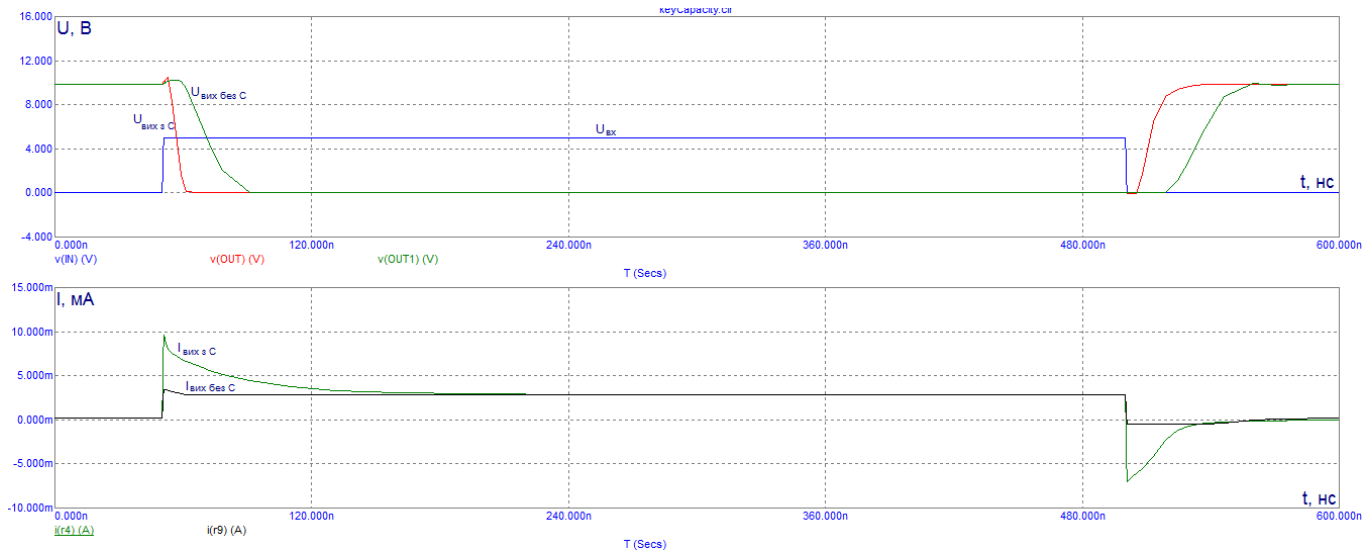


Рисунок 3.31 – Часові діаграми роботи ТК з прискорюючим конденсатором та без нього

На даному рисунку наведена порівняльна характеристика вихідних сигналів для транзисторних ключів з прискорюючою конденсатором і без нього.

Як видно з графіка, схема з прискорюючим конденсатором забезпечує більшу швидкодію транзисторного ключа (на графіку це видно по тому, що перехід від одного стану ТК до іншого став значно стрімкішим). На нижньому графіку видно, що транзисторний ключ з прискорюючим конденсатором забезпечує форму базового струму близьку до ідеальної (рисунок 3.15).

Розглянемо роботу даної схеми детальніше. У початковий момент часу (коли ще не було керуючого вхідного імпульсу) транзистор буде закритий (це забезпечується невеликим від'ємним потенціалом від батареї  $E_b$  (V3), тобто вихідна напруга буде приблизно дорівнювати  $E_k$ . При надходженні керуючого сигналу значення струму бази буде визначатися

лише резистором R4 та амплітудою керуючого сигналу, оскільки в початковий момент часу подачі керуючого імпульсу заряд на конденсаторі дорівнює нулю, резистор R1 буде закорочений. При цьому ступінь насичення  $S = \frac{I_6}{I_{6H}}$  буде значно більше одиниці, що прискорює відкривання ключа. Далі в міру того, як конденсатор буде заряджатися, струм бази буде зменшуватися за експоненціальним законом до сталого значення, приблизно рівного  $U / (R4 + R1) - V3/R5$ . Але оскільки другий доданок набагато менший першого, ним можна знехтувати. При цьому ступінь насичення S буде близькою до одиниці. Після припинення подачі імпульса відбудеться різкий стрибок струму бази у зворотному напрямку (це пов'язано з накопиченням неосновних зарядів в базі), відбудеться перезаряд конденсатора, за рахунок чого закоротиться резистор R1, що призведе до більш швидкого закриття транзистора, тобто меншому часу розсмоктування.

Проведемо більш детальний аналіз частини часових діаграм, які наведено на рисунку 3.31. На рисунку 3.32 наведено частину часових діаграм роботи транзисторного ключа, схему якого наведено на рисунку 3.30. Цей рисунок відображає тільки залежність вихідної напруги від вхідної.

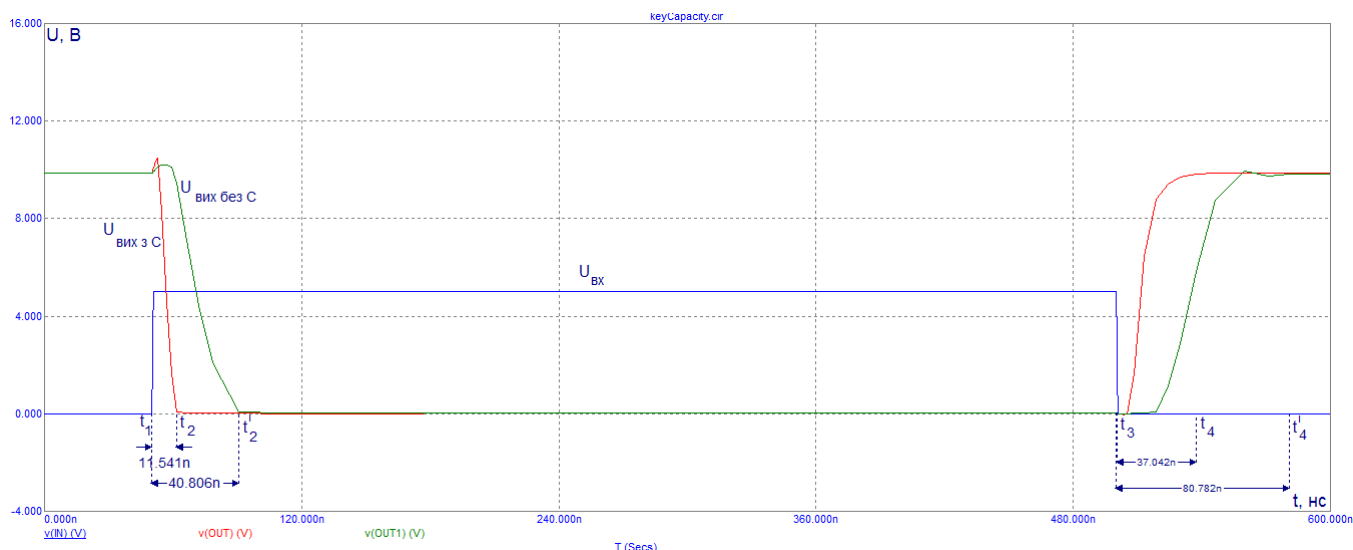


Рисунок 3.32 – Часові діаграми роботи транзисторного ключа, схему якого наведено на рисунку 3.30



Для зручності розіб'ємо вісь часу на інтервали. Розглянемо їх по черзі:

$0 \div t_1$ :  $U_{вх} = 0$ , але через наявність джерела  $V_3$  ( $V_6$ ) потенціал бази транзистора від'ємний, а оскільки на колектор подається «плюс» і емітер заземлений, обидва переходи транзистора  $n-p-n$ -типу закриті, і напруга колектор – емітер ( $U_{вих}$ ) велика.

$t_1 \div t_2$  (період часу для схеми при наявності прискорюючого конденсатора): після подачі на вхід схеми напруги додатної полярності, достатньої для відмикання  $p-n$ -переходів (тобто для переміщення робочої точки транзистора в область насичення), транзистор відкривається, але відбувається це не миттєво, а лише через час  $\Delta t = t_2 - t_1$ , який відображає тривалість фронту.  $\Delta t$  буде зменшуватися при збільшенні струму бази, що відкриває транзистор.

$t_1 \div t_2^1$  (період часу для схеми при відсутності прискорюючого конденсатора): як бачимо з графіку,  $\Delta t^1$  для даного періоду значно більший, ніж  $\Delta t$  для схеми з прискорюючим конденсатором.

$t_2 \div t_3$  і  $t_2^1 \div t_3$ : ТК відкритий, напруга на виході схеми дорівнює падінню напруг на відкритих переходах і є невеликою.

$t_3 \div t_4$  (період часу для схеми при наявності прискорюючого конденсатора): при відключенні вхідного сигналу ( $U_{вх} = 0$ ) для розсмоктування надлишкового заряду, який накопичився в базі за час перебування ТК у відкритому стані, необхідно час  $\Delta t = t_4 - t_3$  (він буде тим більшим, чим більший струм бази протікав через транзистор у відкритому стані). За цей час переходи транзистора закриваються.

$t_3 \div t_4^1$  (період часу для схеми при відсутності прискорюючого конденсатора): як бачимо з графіку,  $\Delta t^1$  для даного періоду значно більший, ніж  $\Delta t$  для схеми з прискорюючим конденсатором.

$t > t_4$  і  $t > t_4^1$ : транзистор закритий, і ТК знаходиться в своєму початковому стані.

**Зауваження.** Невеликий стрибок вихідної напруги в момент часу  $t_1$  пояснюється наявністю на переходах транзистора паразитних ємностей.

### 3.2.7 Схема 7. Транзисторний ключ на базі n–p–n–транзистора відкритого у початковому стані, який включено за схемою із спільним емітером

Нижче наведено приклад схеми транзисторного ключа на базі n–p–n–транзистора, який відкритий у початковому стані та включений за схемою із спільним емітером. Схему зібрано у середовищі MicroCap 9: keyOtkr.cir (рисунок 3.33).

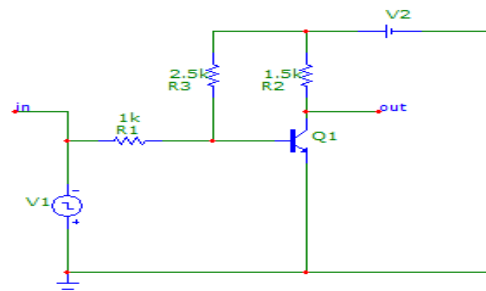


Рисунок 3.33 – Схема транзисторного ключа на базі n–p–n–транзистора відкритого у початковому стані, який включено за схемою із спільним емітером

#### Параметри схеми:

Q1 (n–p–n):

1) Model = 2N2219;

V1 (Pulse Source):

2) Model = SQUARE:

P1 = 1u [sec];

P2 = 1u [sec];

P3 = 4u [sec];

P4 = 4u [sec];

$P5 = 10\mu$  [sec];

$vone = 2$ ;

$vzero = 0$ ;

V2 (Battery):

3) Value = 4.

Інші параметри вказані на самій схемі.

### Результат дослідів:

На рисунку 3.34 наведено часові діаграми роботи транзисторного ключа, схему якого наведено на рисунку 3.33.

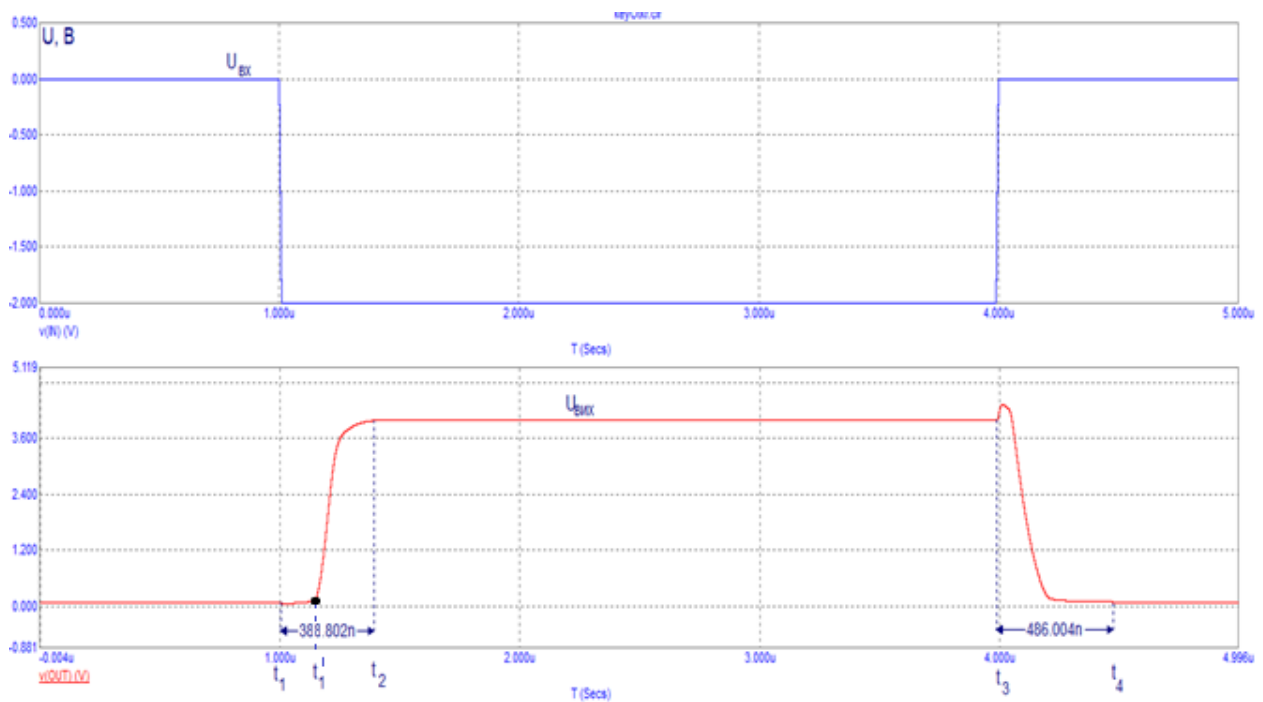


Рисунок 3.34 – Часові діаграми роботи транзисторного ключа на базі  $n-p-n$ –транзистора, відкритого у початковому стані, який включено за схемою із спільним емітером

На даному рисунку ми бачимо залежність вхідної та вихідної напруг від часу транзисторного ключа на базі  $n-p-n$ –транзистора відкритого у початковому стані, який включено за схемою із спільним емітером (синя лінія – вхідна напруга, червона – вихідна).

Інтервал:  $0 \div t_1$ :  $U_{вх} = 0$ , ключ відкритий тому, що на базі типу р присутній додатний потенціал від джерела  $V_2$  ( $E_k$ ). З виходу знімається невелика напруга.

Інтервал:  $t_1 \div t_1^1$ : час розсмоктування надлишкового заряду в базі транзистора. Наявність цієї затримки говорить про те, що у відкритому стані струм бази був більше струму бази насичення:  $I_B > I_{БН}$ .

Інтервал:  $t_1^1 \div t_2$ : після подачі на вхід схеми напруги від'ємної полярності, транзистор закривається, але це відбувається не миттєво, а лише через час  $\Delta t = t_2 - t_1^1$ , який називають тривалістю фронту.

Інтервал:  $t_2 \div t_3$ : ТК закритий, напруга на виході схеми максимальна і дорівнює  $U = E_k - I_{к0} * R_k$ .

Інтервал:  $t_3 \div t_4$ : при відключенні вхідного сигналу ( $U_{вх} = 0$ ) після перебування ТК у закритому стані, необхідно час  $\Delta t = t_4 - t_3$ . За цей час переходи транзистора відкриваються.

$t > t_4$ : транзистор відкритий, і ТК знаходиться в своєму початковому стані.

### **3.2.8 Схема 8. Транзисторний ключ на базі n–p–n–транзистора закритого у початковому стані, який включено за схемою із спільним емітером**

Нижче наведено приклад схеми транзисторного ключа на базі n–p–n–транзистора закритого у початковому стані, який включено за схемою із спільним емітером. Схему зібрано у середовищі MicroCap 9: keyZakr.cir (рисунок 3.35).

Параметри схеми:

Q1 (n–p–n):

1) Model = 2N2219;

V1 (Pulse Source):

2) Model = SQUARE:

P1 = 1u [sec];

P2 = 1u [sec];

P3 = 4u [sec];

P4 = 4u [sec];

P5 = 10u [sec];

vone = 2.5;

vzero = 0;

E2 (Battery):

3) Value = 3B;

E1 (Battery):

4) Value = 0,5B.

Інші параметри вказані на самій схемі.

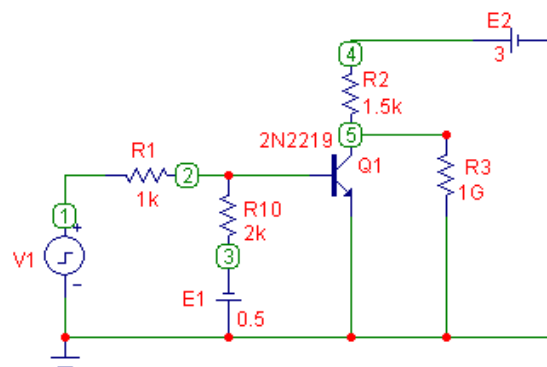


Рисунок 3.35 – Схема транзисторного ключа на базі n–p–n–транзистора закритого у початковому стані, який включено за схемою із спільним емітером

### Результат дослідів:

На рисунку 3.36 наведено часові діаграми роботи транзисторного ключа, схему якого наведено на рисунку 3.35.

На даному рисунку ми бачимо залежність вхідної та вихідної напруг від часу закритого транзисторного ключа на базі n–p–n–транзистора, який

включено за схемою із спільним емітером (синя лінія – вхідна напруга, червона – вихідна).

Інтервал:  $0 \div t_1$ :  $U_{вх} = 0$ , але через наявність джерела  $E_1$  потенціал бази типу р транзистора від’ємний, а оскільки на колектор подається «плюс» і емітер заземлений, обидва переходи транзистора п–р–п-типу закриті, і напруга колектор–емітер ( $U_{вих}$ ) велика.

Інтервал:  $t_1 \div t_2$ : після подачі на вхід схеми напруги додатної полярності, достатньої для відмикання р–п–переходів, транзистор відкривається, але відбувається це не миттєво, а лише через час  $\Delta t = t_2 - t_1$ , який називають тривалістю фронту.

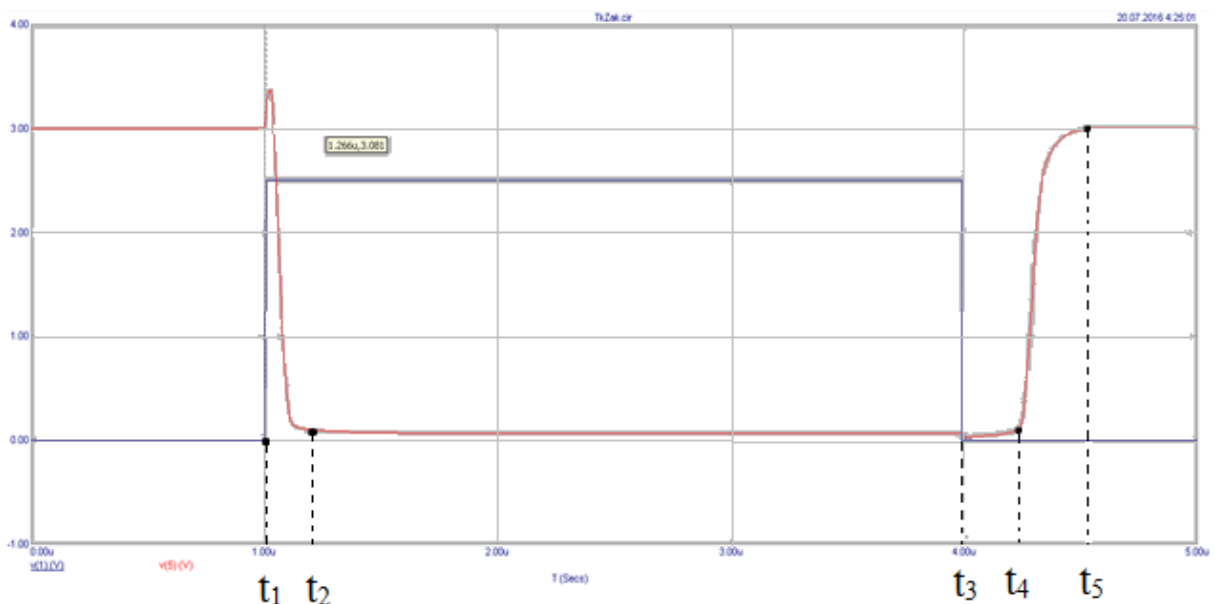


Рисунок 3.36 – Часові діаграми роботи транзисторного ключа на базі п–р–п-транзистора, закритого у початковому стані, який включено за схемою із спільним емітером

Інтервал:  $t_2 \div t_3$ : ТК відкритий, напруга на виході схеми дорівнює падінню напруг на відкритих переходах і є невеликою;

Інтервал:  $t_3 \div t_4$ : при відключенні вхідного сигналу ( $U_{вх} = 0$ ) для розсмоктування надлишкового заряду, який накопичився в базі за час перебування ТК у відкритому стані, необхідно час  $\Delta t = t_4 - t_3$ . За цей час

переходи транзистора закриваються. Наявність цього  $\Delta t$  говорить про те, що струм бази у відкритому стані був значно більше струму бази насичення ( $I_B \gg I_{BH}$ ).

Інтервал  $t_4 \dots t_5$  – формування заднього фронту.

$t > t_5$ : транзистор закритий і ТК знаходиться в своєму початковому стані.

### 3.2.9 Схема 9. Транзисторний ключ на базі польового транзистора

Нижче наведено приклад схеми транзисторного ключа на базі польового транзистора типу МОН. Схему зібрано у середовищі MicroCap 9: keyField.cir (рисунок 3.37).

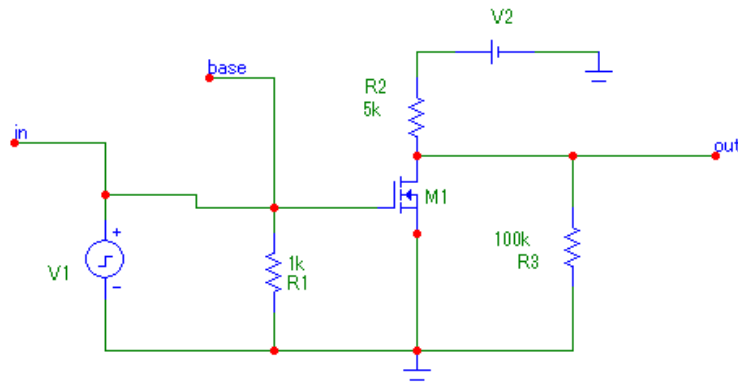


Рисунок 3.37 – Схема транзисторного ключа на базі польового транзистора МОН-типу (МОН – метал–окисел–напівпровідник) з каналом типу n, який індукується

Параметри схеми:

M1 (DNMOS):

1) Model = BS170;

V1 (Pulse Source):

2) Model = SQUARE:

P1 = 0 [sec];

P2 = 1n [sec];

P3 = 700n [sec];

$P4 = 701n$  [sec];

$P5 = 1u$  [sec];

$vone = 5$ ;

$vzero = 0$ ;

V2 (Battery):

3) Value = 5.

Інші параметри вказані на самій схемі.

На рисунку, який наведено вище, в якості польового транзистору обрано МОН–транзистор с індукованим каналом n–типу.

### 3.2.9.1 Метал–діелектрик–напівпровідник (МДН) польовий транзистор із каналом, що індукується

У МДН ПТ із каналом, що індукується на відміну від ПТ з p–n–переходами [1...8, 16...20, 26] канал між областями витоку і стоку при виготовленні транзистора технологічно не створюється (відсутній) (рисунок 3.38).

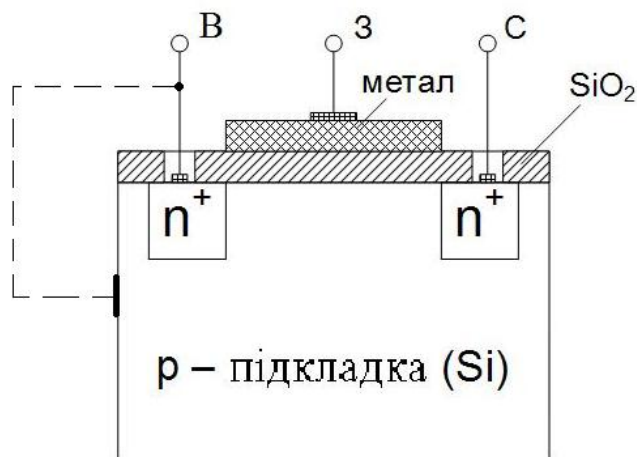


Рисунок 3.38 – Спрощена структура МДН ПТ із каналом n–типу, що індукується

Канал n–типу індукується за рахунок явища інверсії, яке виникає у системі метал–діелектрик–напівпровідник. При подачі на затвор напруги



додатної полярності індукуються канал n-типу, від'ємної полярності – p-типу.

Тобто МОН-ПТ із каналом, що індукуються, керується напругою затвору лише одного знаку. На рисунку 3.38 показана структура МОН-ПТ із каналом, що індукуються n-типу, який керується додатною напругою на затворі. На рисунку 3.39 зображені стоко-затворна і стокові характеристики такого транзистора.

Подібно до біполярних транзисторів ПТ можна включати у електричний ланцюг за однією з трьох схем: СВ – спільним витоком; СЗ – спільним затвором і СС – спільним стоком. Найчастіше застосовується схема включення ПТ із спільним витоком (рисунок 3.37).

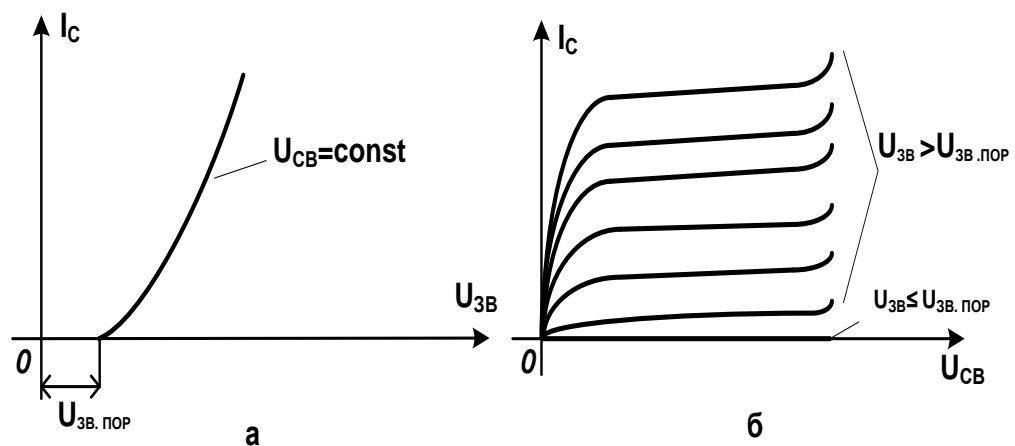


Рисунок 3.39 – Статичні ВАХ МОН ПТ із n-каналом, що індукуються:  
а – вхідні; б – вихідні

На рисунку 3.40 наведено часові діаграми роботи транзисторного ключа, схему якого наведено на рисунку 3.37.

У вихідному стані, коли  $U_{вх} = 0$ , каналу, який проводить струм, в підкладці транзистора немає, тому ТК закритий. Це означає, що  $i_c = i_b = 0$  і вся напруга джерела живлення  $E$  подається на вихід схеми:  $U_{вих} = E$ . Такому стану схеми на графіку відповідає відрізок часу  $t = 0 \div t_1$ .

Якщо на вхід схеми подавати напругу додатної полярності, то при певному її значенні через транзистор почне протікати струм.

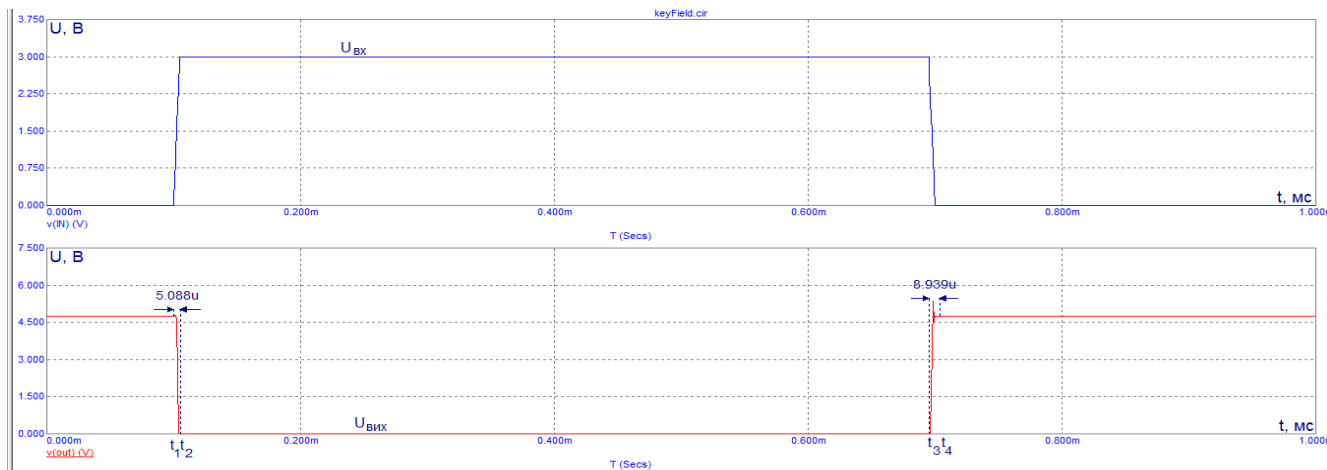


Рисунок 3.40 – Часові діаграми роботи ТК на польовому МОН–транзисторі

Це пояснюється тим, що в підкладці р–типу між витокom та стоком буде індукуватися канал (n–типу), який забезпечить електричне з'єднання електродів транзистора (вони також мають тип провідності n). Врешті ТК відкриється і  $U_{\text{ВИХ}}$ , яке дорівнює падінню напруги на опорі каналу, в цьому випадку буде невеликим (близьким до нуля), що підтверджують наведені нижче графіки. Як видно, в момент відмикання ключа ( $t = t_1$ )  $U_{\text{ВИХ}}$  зменшується не миттєво. Це пов'язано з обмеженістю швидкості формування провідного каналу.

Коли керуюча напруга  $U_{\text{ВХ}}$  знову впаде до 0 (момент  $t_3$ ), електрони у підкладці транзистора під дією дифузійного ефекту будуть рівномірно розподілятися за її об'ємом і канал поступово через деякий час зникне. ТК закриється, і вихідна напруга знову зросте до значення  $E$ .

Нижче наведено схему для зняття стоко–затворної характеристики транзисторного ключа на базі польового МОН–транзистора. Схему зібрано у середовищі MicroCap 9: keyFieldStZt.cir (рисунок 3.41).

#### Параметри схеми:

M1 (DNMOS):

1) Model = BS170;

VG (Battery);

VD (Battery).

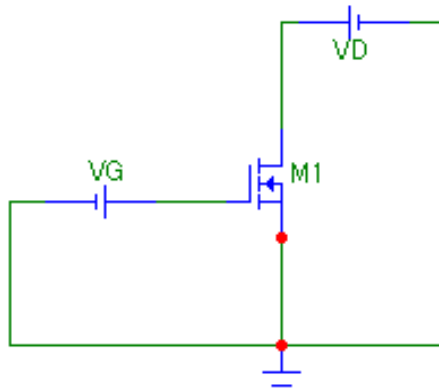


Рисунок 3.41 – Схема для зняття стоко–затворної характеристики польового МОН–транзистора

На рисунку 3.42 наведено стоко–затворну характеристику польового МОН–транзистора.

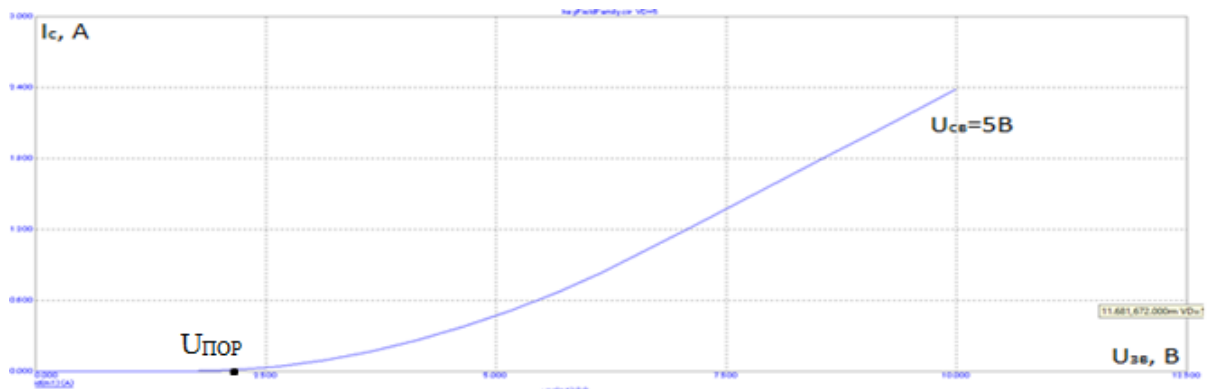


Рисунок 3.42 – Стоко–затворна характеристика польового МОН–транзистора

На рисунку зображена стоко–затворна характеристика польового транзистора, яка показує, що формування каналу починається лише тоді, коли  $U_{вх}$  досягає значення  $U_{пор}$ . Максимальне значення струму стоку в схемі на рисунку 3.37 визначається резистором  $R2$ :  $I_{c,max} \approx V2 / R2$ .

### 3.2.10 Схема 10. Транзисторний ключ на базі діода Шотткі

Нижче наведено приклад схеми транзисторного ключа на базі діода Шотткі. Схему зібрано у середовищі MicroCap 9: key\_Shotki.cir (рисунок 3.43).

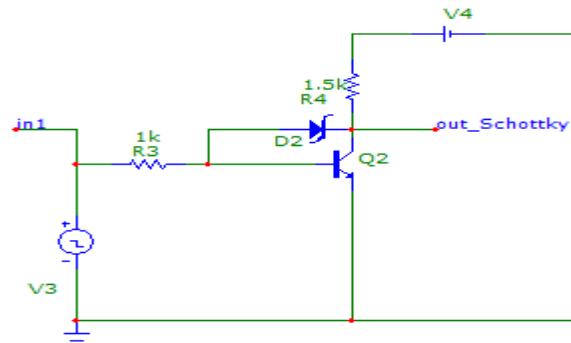


Рисунок 3.43 – Схема транзисторного ключа на базі діода Шоткі

Параметри схеми:

- 1) V3(Pulse source);
- 2) V4,V2(Battery) = 4 (B);
- 3) D2(Diode 1N5712);
- 4) R3 = 1k;
- 5) R4 = 1.5k;
- 6) Q2(NPN 2N2219).

**Результати дослідів:**

На рисунку 3.44 наведено часові діаграми роботи ТК на біполярному n–p–n транзисторі без та з діодом Шотткі.

На вихідних характеристиках добре видно, що при поданні на вхід одиничного імпульсу обидва ТК змінюють стан за однаковий час. Проте, ТК на базі діода Шоткі більш швидко повертається у початковий стан за рахунок меншого часу перехідного процесу.

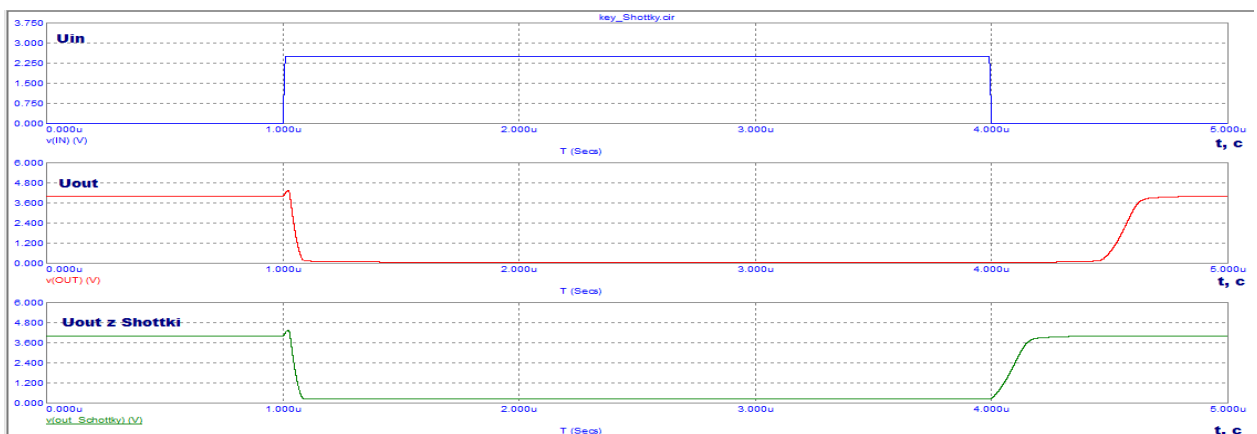


Рисунок 3.44 – Часові діаграми роботи ТК на біполярному n–p–n транзисторі без та з діодом Шотткі

### 3.3 Порядок виконання роботи

1) Схема 1. Дослідження передатних та часових характеристик послідовного ДК:

а. Зняти та проаналізувати передатну характеристику для послідовного ДК. Приклад характеристики наведений на рисунку 3.20, внизу;

б. Зняти та проаналізувати залежність вхідної/вихідної напруг від часу послідовного ДК. Приклад характеристики наведений на рисунку 3.20, зверху.

2) Схема 2. Дослідження передатних та часових характеристик послідовного ДК зі зміщенням:

а. Зняти та проаналізувати передатну характеристику для послідовного ДК зі зміщенням. Приклад характеристики наведений на рисунку 3.22, внизу;

б. Зняти та проаналізувати залежність вхідної/вихідної напруг від часу послідовного ДК зі зміщенням. Приклад характеристики наведений на рисунку 3.22, вгорі.

3) Схема 3. Дослідження передатних та часових характеристик паралельного ДК:

а. Зняти та проаналізувати передатну характеристику для паралельного ДК. Приклад характеристики наведений на рисунку 3.24, внизу;

б. Зняти та проаналізувати залежність вхідної/вихідної напруг від часу паралельного ДК. Приклад характеристики наведений на рисунку 3.24, вгорі .

4) Схема 4. Дослідження передатних та часових характеристик паралельного ДК зі зміщенням:

а. Зняти та проаналізувати передатну характеристику для паралельного ДК зі зміщенням. Приклад характеристики наведений на рисунку 3.26, внизу;

б. Зняти та проаналізувати залежність вхідної/вихідної напруг від часу паралельного ДК зі зміщенням. Приклад характеристики наведений на рисунку 3.26, вгорі.

5) Схема 5. Дослідження часових характеристик ТК на базі  $n-p-n$ -транзистора, який включено за схемою зі спільним емітером, при подачі на вхід різнополярних імпульсів :

а. Зняти та проаналізувати залежність вхідної/вихідної напруг та струму бази від часу для зібраної схеми ТК. Приклад характеристик наведений на рисунку 3.29.

б) Схема 6. Дослідження часових характеристик ТК з прискорюючим конденсатором та без нього на базі  $n-p-n$ -транзистора, який включено за схемою зі спільним емітером:

а. Зняти та проаналізувати залежність вхідної/вихідної напруг та струму бази від часу для зібраної схеми ТК з прискорюючим конденсатором та без нього. Приклад характеристик наведений на рисунках 3.31, 3.32.

7) Схема 7. Дослідити схему транзисторного ключа відкритого у початковому стані:

а. Зняти та проаналізувати залежність вхідної/вихідної напруг від часу для зібраної схеми ТК відкритого у початковому стані. Приклад характеристик наведений на рисунку 3.34.

8) Схема 8. Дослідити схему транзисторного ключа закритого у початковому стані:

а. Зняти та проаналізувати залежність вхідної/вихідної напруг від часу для зібраної схеми ТК закритого у початковому стані. Приклад характеристик наведений на рисунку 3.36

9) Схема 9.1. Дослідити схему транзисторного ключа на польовому транзисторі:

а. Зняти та проаналізувати залежність вхідної/вихідної напруг від часу для зібраної схеми ТК на польовому МОН–транзисторі. Приклад характеристик наведений на рисунку 3.40.

10) Схема 9.2. Дослідити схему для зняття стоко–затворної характеристики польового транзистора:

а. Зняти та проаналізувати стоко–затворну характеристику польового транзистора. Приклад характеристик наведений на рисунку 3.42.

11) Схема 10. Дослідити схему транзисторного ключа на базі діода Шотткі. Приклад характеристик наведений на рисунку 3.44.

### **3.4 Контрольні питання**

- 1) Що таке електронний ключ? Які діоди найчастіше використовують для діодних ключів?
- 2) Наведіть принципову електричну схему послідовного діодного ключа та поясніть відповідну передатну характеристику.
- 3) Яка напруга називається пороговою? Для чого в схеми вводиться джерело напруги зсуву  $E_{зс}$ ?
- 4) Як виконати розрахунок послідовного діодного ключа з урахуванням впливу напруг  $U_{вх}$  та  $E_{зс}$ ?
- 5) Які вимоги пред'являються до співвідношення резисторів послідовного діодного ключа?
- 6) Наведіть принципову електричну схему паралельного діодного ключа та поясніть відповідну передатну характеристику.
- 7) Які вимоги пред'являються до співвідношення резисторів паралельного діодного ключа?
- 8) У чому полягає принцип роботи транзисторних ключів?
- 9) Назвіть стани, в яких перебувають ТК. Чим вони відрізняються?

- 10) Чим відрізняється ключовий режим роботи транзистора від підсилювального?
- 11) Запишіть умову відсічення для закритого стану ТК. Яким чином її можна забезпечити?
- 12) Запишіть умови насичення ТК. Яким чином її можна забезпечити?
- 13) Що таке ступінь насичення ТК?
- 14) Дайте характеристику значенням вхідних та вихідних струмів та напруг для закритого та відкритого станів ТК.
- 15) Поясніть часові діаграми роботи ТК.
- 16) Як можна підвищити швидкодію роботи ТК? Зобразіть оптимальну форму вхідного базового струму ТК.
- 17) Яким чином прискорюючий конденсатор змінює форму базового струму?



## 4 ЛАБОРАТОРНА РОБОТА №4

**Тема:** Дослідження імпульсних тригерів, аналогових компараторів та схем формування рівнів.

**Мета:** Дослідити принцип дії, основні властивості та характеристики імпульсних тригерів (ІТ), аналогових компараторів (АК) та схем формування рівнів (СФР). Ознайомитись із основними параметрами цих пристроїв та областю їх застосування.

### 4.1 Короткі теоретичні відомості

#### 4.1.1 Імпульсні тригери

Тригером називається електронний пристрій, що має два стійких стани рівноваги і здатний під дією керуючих сигналів стрибком переходити з одного стійкого стану в інший [2, 5, 7, 17, 21, 26, 36]. Зазвичай тригер містить два виходи і декілька керуючих входів. На рисунку 4.1 приведено функціональне позначення тригера, що має два виходи і три керуючі входи.

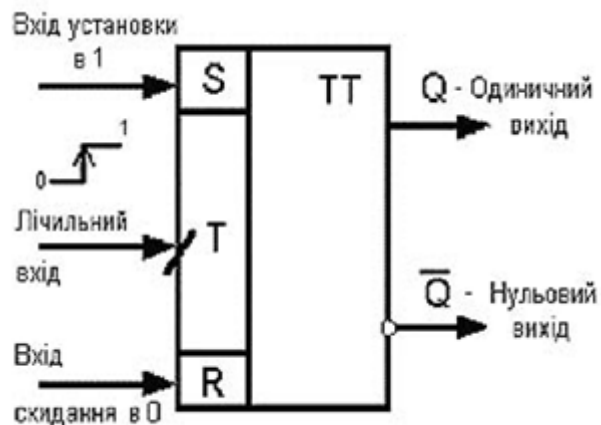


Рисунок 4.1 – Умовне позначення тригера на електричних схемах

Сигнали на виході тригера, один із яких називається прямим (одиничним) і позначається  $Q$ , а інший – інверсним (нульовим) –  $\bar{Q}$ , змінюються в протифазі.

Стійкі стани рівноваги, у яких тригер при відсутності керуючих сигналів може знаходитися як завгодно довго, називають одиничним або нульовим. Якщо тригер знаходиться в нульовому початковому стані, то на виході  $\overline{Q}$ , присутній високий рівень напруги, а на виході  $Q$  – низький. Якщо ж тригер встановлений у протилежний одиничний стан, то з виходу  $\overline{Q}$  знімається низький рівень сигналу, а з виходу  $Q$  – високий. Встановлення тригера в один з початкових станів здійснюється вхідними керуючими сигналами, що надходять на вхід  $S$  (встановлення тригера в одиничний початковий стан) чи на  $R$  (скидання в нульовий). Входи  $S$  і  $R$  є статичними, тому що керуючий вплив подається на них у вигляді високого постійного рівня напруги. Тригер може мати також динамічний вхід, наприклад  $T$  (коли зміна стану тригера на протилежний (переключення) відбувається при переході кожного вхідного сигналу з низького рівня на високий (рисунок 4.1), або навпаки – з високого на низький).

Від включення живлення тригер займає випадковий стан (нульовий чи одиничний), що необхідно враховувати в електронних схемах, де початковий стан схеми має значення. Для завдання початкового стану використовують входи  $S$  і  $R$ .

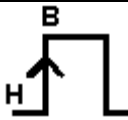


За способом переключення тригери умовно поділяються на:

- асинхронні;
- синхронні.

Так, наприклад, тригер з лічильним входом (рисунок 4.1) має два входи:  $S$  – set і  $R$  – reset для асинхронного встановлення /скидання тригера на початку роботи.

Синхронний тригер містить додатковий синхровхід  $C$ . При надходженні на цей вхід синхросигналу тригер переключається в стан, обумовлений сигналами на входах  $S$  і  $R$ . Вплив керуючих сигналів на стан синхронного RS–тригера представлено в таблиці 4.1.

Таблиця 4.1 – Вплив керуючих сигналів на стан синхронного RS–тригера

Сигнали на керуючих входах тригера			Стан тригера після надходження синхроімпульса $Q^{t+1}$
S	R	Синхровхід C	
Високий	Низький		1 (одиничний)
Низький	Високий		0 (нульовий)
Низький	Низький		$Q^t$ – стан до надходження синхроімпульса
Високий	Високий		Комбінація сигналів заборонена

Тригери широко застосовуються: як елементи пам'яті, які здатні зберігати 1 біт двійкової інформації; у подільниках частоти; лічильниках імпульсів; у формувачах прямокутних імпульсів із сигналів довільної форми і т. ін.

На рисунку 4.2 приведені часові діаграми роботи тригера (рисунок 4.1), що пояснюють його використання як дільник частоти вхідних імпульсів на два. Чотирьом імпульсам на керуючому динамічному вході Т (рисунок 4.1) відповідають два імпульси на одиничному або нульовому виходах тригера.

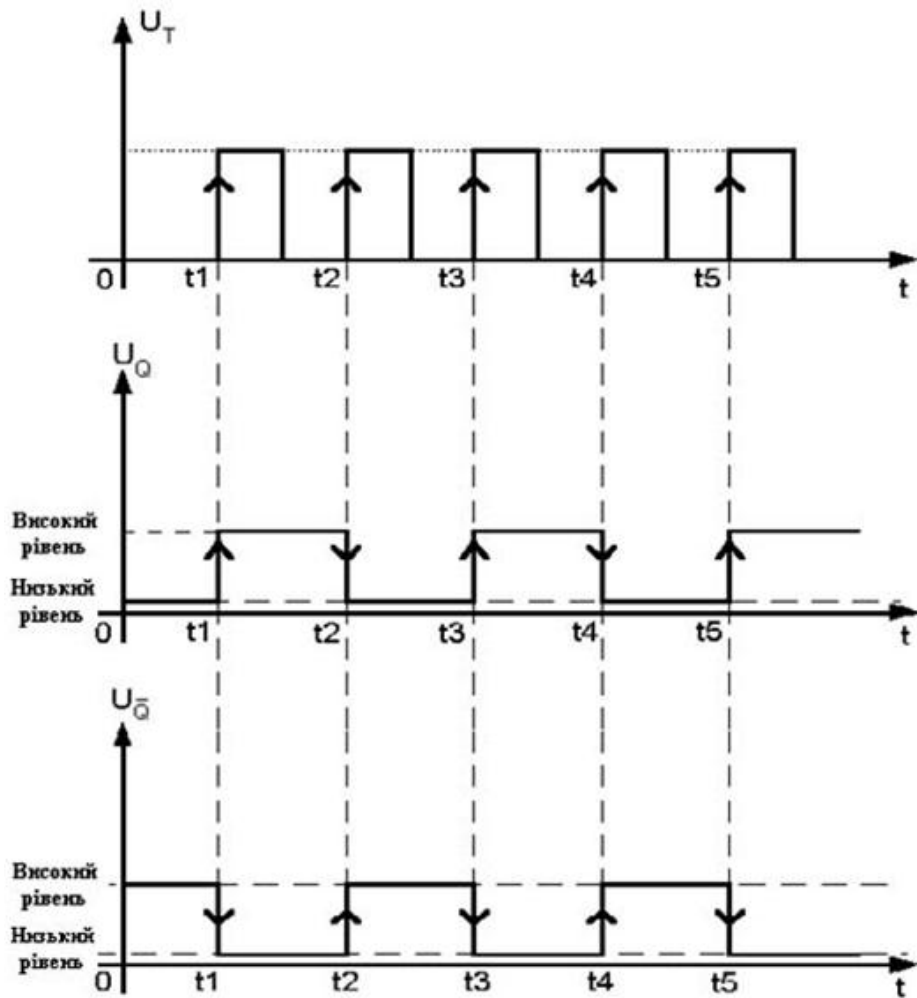


Рисунок 4.2 – Часові діаграми роботи тригера з лічильним входом

Будь-який тригер є регенеративним електронним пристроєм, у якому виконується умова виникнення стрибків: баланс амплітуд і баланс фаз, під дією якої схема при подачі відповідних керуючих сигналів дуже швидко (лавиноподібно) змінює свій стан.

Завдяки цьому на її виходах формуються прямокутні імпульси з крутими фронтами.

Існує кілька варіантів виконання імпульсних тригерів:

- на дискретних компонентах;
- на інтегральних мікросхемах операційних підсилювачів (ІМС ОП);
- на логічних елементах;
- у вигляді спеціалізованої інтегральної мікросхеми.

Тригери на логічних елементах і в інтегральному виконанні будуть розглянуті при вивченні цифрових електронних пристроїв.

Нижче зупинимося на принципах роботи і застосуванні імпульсних тригерів на дискретних компонентах.

#### **4.1.1.1 Тригери на дискретних компонентах**

До основних схем тригерів на дискретних компонентах належать:

- симетричні тригери;
- несиметричні тригери.

#### **4.1.1.2 Симетричні тригери**

Існують два різновиди симетричних тригерів:

- із зовнішнім зміщенням;
- із автоматичним зміщенням.

Схема симетричного асинхронного тригера із зовнішнім зміщенням містить два транзисторних ключі, які виконано, наприклад, на біполярних транзисторах, що включені за схемою з СЕ (рисунок 4.3).

Вихід кожного ключа зв'язаний із входом іншого. Призначення окремих компонентів ТК аналогічне схемі транзисторного ключа з зовнішнім зміщенням.  $R_{K1}$ ,  $R_{K2}$  – навантажувальні резистори транзисторів, що визначають положення навантажувальної прямої на вихідних статичних ВАХ і задають необхідне значення струму насичення транзисторів  $I_{K.H}$ . Резистори  $R_{B1}$ ,  $R_{B2}$  забезпечують запирання одного з транзисторів від зовнішнього джерела зміщення  $E_B$ .

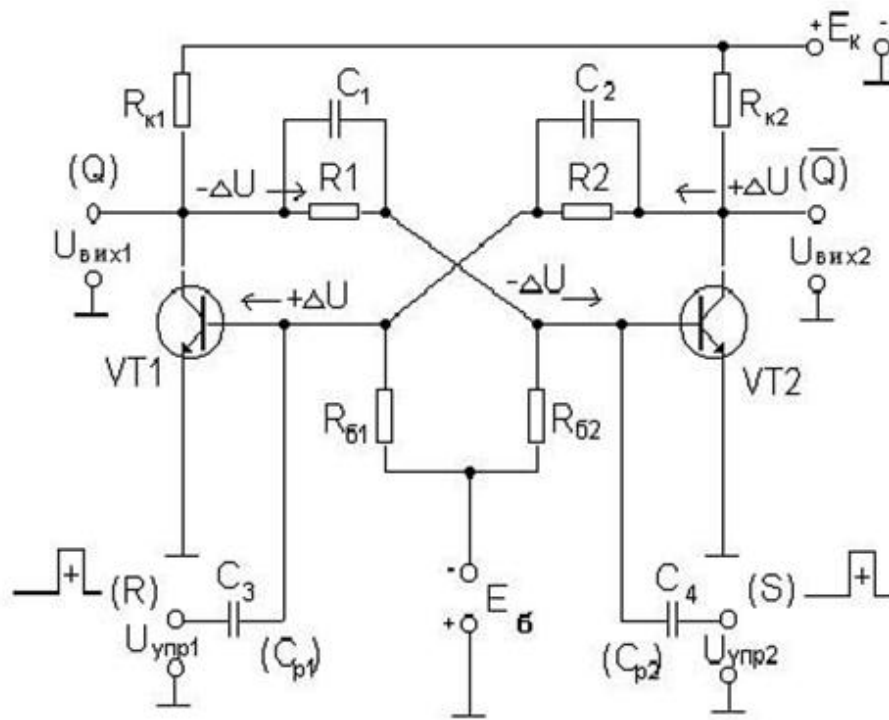


Рисунок 4.3 – Схема асинхронного симетричного тригера з зовнішнім зміщенням

Резистори  $R_1$  і  $R_2$  здійснюють зв'язок між ключами і забезпечують відкривання одного з транзисторів зі ступенем насичення  $S$ , близьким до одиниці.  $C_1$ ,  $C_2$  – прискорюючі конденсатори, які призначені для прискорення переключення тригера. Ємності  $C_3$ ,  $C_4$  забезпечують передачу на бази транзисторів керуючих імпульсів, що здійснюють переключення тригерів. Симетричним даний тригер буде тоді, коли елементи схеми, що відносяться до кожного ключа, однакові:

$C_1=C_2=C$ ;  $R_{K1}=R_{K2}=R_K$ ;  $C_3=C_4$ ;  $R_1=R_2=R$ ; VT1 і VT2 – транзистори одного типу.

Легко встановити, що в даній схемі є додатний зворотний зв'язок (ДЗЗ), тобто виконується перша умова виникнення стрибків – баланс фаз. Коли робочі точки обох транзисторів знаходяться в активній області, у тригері виконується друга умова виникнення стрибків – баланс амплітуд, що

полягає в тому, що сумарне підсилення сигналів ланцюга ДЗЗ перевищує його загасання і їхній добуток більший одиниці.

Схема має два стани стійкої рівноваги:

1-й стан – VT1 – насичений (відкритий); VT2 – закритий;

2-й стан – VT1 – закритий, VT2 – відкритий (насичений).

Один з таких станів випадково встановлюється після включення живлення схеми, через наявність невеликої асиметрії, що практично є навіть при однакових компонентах ключів. Припустимо, що схема зайняла 1-й стан – VT1 відкритий, VT2 закритий. Даний стан тригера умовно є нульовим. А протилежний йому, 2-й стан – одиничним.

На колекторі правого закритого транзистора присутній  $U_{вих2} \approx E_K$ , а на колекторі лівого відкритого:  $U_{вих1} = U_{К.Н} \approx 0$ . Напруга  $U_{вих2}$  через резистор R2 прикладається до бази VT1, забезпечуючи його насичення. А оскільки  $U_{вих1} \approx 0$ , то правий транзистор надійно закритий від джерела зміщення  $(-E_B)$ . Такий стан при відсутності керуючих вхідних сигналів є стійким і при наявності живлення схеми може тривати як завгодно довго.

Для переключення тригера в протилежний одиничний стан необхідно подати на вхід встановлення в одиницю (на базу правого транзистора) додатний керуючий імпульс. Правий транзистор відкривається, на його колекторі з'являється від'ємне змінення напруги, що через конденсатор C2, який шунтує резистор R2, передається на базу лівого транзистора. Під дією цього сигналу лівий транзистор призакривається, на його виході з'являється додатне змінення напруги, що через C1 надходить на базу VT2. Тобто в схемі діє додатний зворотний зв'язок.

Описане явище приводить до того, що робочі точки обох транзисторів опиняються в активній області. У схемі починає виконуватися умова виникнення стрибків і тригер лавиноподібно змінює свій стан (перекидається).

Схема переходить у другий стан рівноваги – одиничний: VT1 – закритий; VT2 – відкритий. Для повернення тригера в нульовий стан необхідно подати додатний керуючий імпульс на вхід скидання в нуль (базу лівого транзистора). При цьому в схемі знову виникає регенеративний процес, який описано вище.

Таким чином, перекидання схеми відбувається в моменти надходження на її входи керуючих сигналів. В інший час схема знаходиться в стані стійкої рівноваги.

При використанні тригерів в електронних пристроях, що переключаються, важливим параметром є їхня швидкодія, обумовлена максимальним числом переключень, що може здійснюватися за визначений проміжок часу. Звичайно швидкодія вимірюється в герцах чи мегагерцах. Швидкодія тригера впливає на мінімально можливий інтервал між двома керуючими імпульсами. Цей інтервал залежить від часу переходу тригера з одного стану в інший. Процес перекидання тригера умовно розділяють на три етапи:

- 1) підготовки;
- 2) лавиноподібного переключення;
- 3) відновлення.

На етапі підготовки робоча точка відкритого транзистора переміщається з області насичення в активну область, а робоча точка закритого транзистора – з області відсічки в активну. У процесі лавиноподібного переключення схема швидко змінює свій стан. Час відновлення є найбільш тривалою частиною переходу тригера з одного стану в інший. Він в першу чергу визначається часом заряду прискорюючого конденсатора через колекторний резистор закритого транзистора. Для зменшення часу відновлення потрібно зменшувати значення прискорюючих конденсаторів і колекторних резисторів транзисторів.



Крім того, необхідний час для розряду конденсатора, приєднаного до колектора відкритого транзистора. Наявність стадії відновлення приводить до того, що період надходження керуючих сигналів повинний бути таким, щоб до приходу чергового імпульсу напруги на конденсаторах вже встановилися. Заряд і розряд прискорюючих конденсаторів, приводять до затягування переднього фронту вихідних імпульсів і до спотворення заднього.

Швидкодія транзисторних тригерів підвищується, якщо в них застосовуються не насичені транзисторні ключі, у яких використовується нелінійний від'ємний зворотний зв'язок, реалізований, наприклад, за допомогою напівпровідникових діодів [1...8, 16...20, 26]. У таких ключах виключається насичення відкритого транзистора і накопичення надлишкового заряду в базі, а, отже, зменшується час розсмоктування при вимиканні ключа.

#### **4.1.1.3 Способи запуску симетричних тригерів**

Існують два види запуску (переключення) симетричних тригерів: роздільний і лічильний.

У першому випадку, перекидання тригера здійснюється керуючими імпульсами однієї полярності, які подаються по черзі на базу кожного з транзисторів (рисунок 4.3), чи імпульсами полярності, що змінюється, які діють на базі одного з транзисторів.

В другому випадку, запускаючі імпульси однієї полярності через ланцюг запуску подаються одночасно на бази (чи колектори) обох транзисторів (рисунок 4.4). Запускаючі імпульси повинні бути короткими з великою крутістю переднього фронту. Як елементи ланцюгів запуску використовуються роздільні конденсатори, діоди і, якщо тривалість керуючих імпульсів велика, – диференціюючі ланцюги.

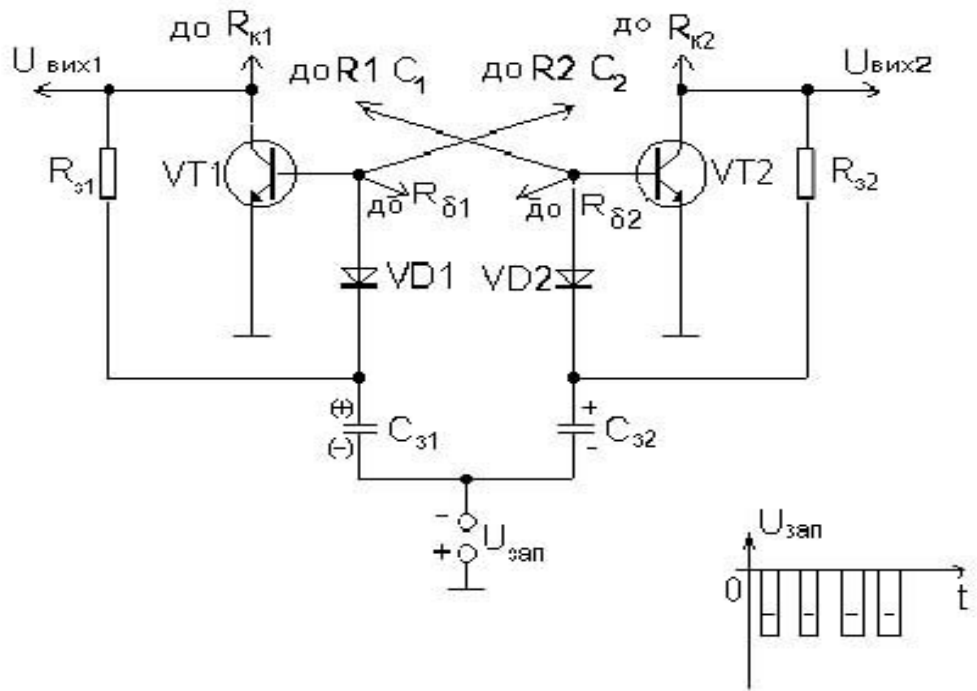


Рисунок 4.4 – Приклад лічильного запуску (переключення) тригера

Розглянемо основні особливості лічильного переключення тригерів (рисунок 4.4). На цьому рисунку для спрощення не зображено:  $R_{k1}$ ,  $R_{k2}$ , джерело живлення  $E_K$ , ланцюги зв'язку між транзисторами  $C1, R1$  та  $C2, R2$ , резистори  $R_{B1}$ ,  $R_{B2}$  та джерело  $E_B$ . Припустимо, у вихідному стані  $U_{зап}=0$ , VT1 – відкритий, а VT2 – закритий. Конденсатор  $C_{з1}$  розряджений, а  $C_{з2}$  – заряджений до напруги, близької до  $+E_K$ .

Перший від'ємний імпульс  $U_{зап}$  через розряджений конденсатор  $C_{з1}$  і відкритий діод VD1 (VD2 – закритий, тому що  $C_{з2}$  – заряджений і не пропускає від'ємний імпульс) надходить на базу відкритого транзистора VT1. Через виконання в схемі умови виникнення стрибків (баланс фаз і баланс амплітуд) тригер швидко (лавиноподібно) переключається в протилежний стан: VT1 – закритий, VT2 – відкритий. Конденсатор  $C_{з2}$  не встигає швидко розрядитися, поки діє перший запускаючий імпульс, тому повторне перекидання схеми не відбувається. До приходу наступного

запускаючого імпульсу конденсатор  $C_{з2}$  розряджається, а  $C_{з1}$  – заряджається. Наступний імпульс знову переключить тригер у протилежний стан і т. д.

#### **4.1.1.4 Несиметричні тригери (тригери Шмітта)**

Тригери Шмітта (ТШ) мають початкову схемну асиметрію і широко застосовуються як:

- порогові пристрої, у яких напруга спрацьовування  $U_{СПР}$  більша за напругу відпускання  $U_{ВДП}$ ;
- формувачі прямокутних імпульсів із вхідних сигналів довільної форми.

Існує кілька варіантів виконання несиметричних тригерів:

- на дискретних компонентах;
- на інтегральних мікросхемах операційних підсилювачів (ІМС ОП);
- у вигляді спеціалізованої інтегральної мікросхеми.

##### **4.1.1.4.1 ТШ на ІМС ОП**

Умовно ТШ на ІМС ОП можна розділити на дві групи:

- ТШ, що не мають пам'яті;
- ТШ, що мають пам'ять.

##### **4.1.1.4.1.1 ТШ на ІМС ОП, що не мають пам'яті**

Основним елементом тригера є мікросхема операційного підсилювача (ІМС ОП), що охоплений додатним зворотним зв'язком (ДЗЗ).

На рисунку 4.5 зображено – ТШ на ІМС ОП, що не має пам'яті:

а – схема ТШ;

б – передатна характеристика ТШ, якщо ІМС ОП – ідеальна;

- в – передатна характеристика реальної ІМС ОП;
- г – передатна характеристика ідеальної ІМС ОП;
- д – передатна характеристика ТШ, якщо ІМС ОП – реальна.

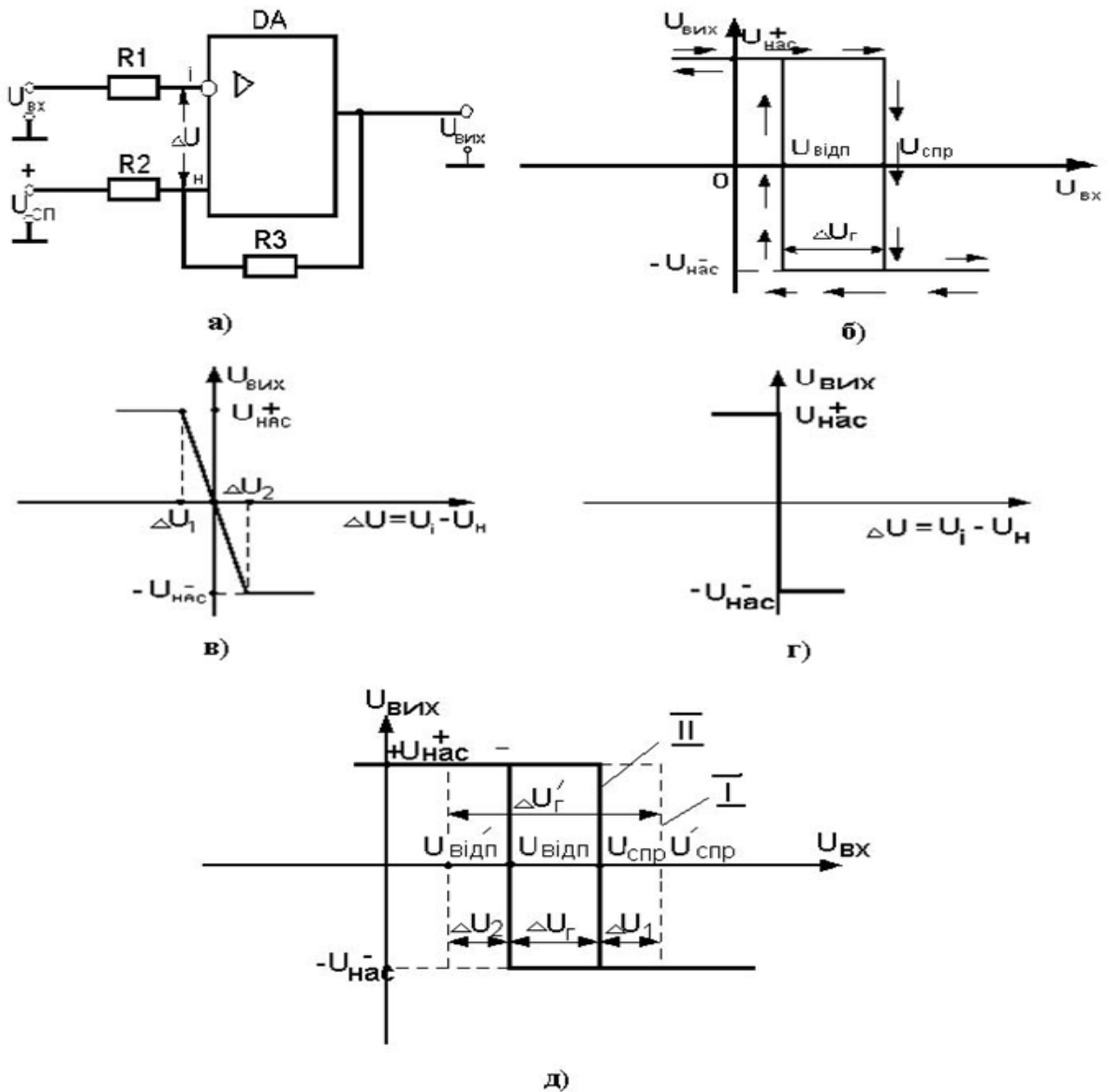


Рисунок 4.5 – ТШ на ІМС ОП, що не має пам'яті

Розглянемо роботу тригера за умови, що ІМС ОП – ідеальна. У цьому випадку  $\Delta U_1 = \Delta U_2 \approx 0$ ; і передатна характеристика ІМС ОП має вигляд, наведений на рисунку 4.5, г.

У початковому стані схеми, коли  $U_{вх} = 0, U_{вих} = +U_{НАС}^+$ . Напруга на вході ІМС ОП, що не інвертує, визначається двома напругами:  $U_{оп}$ ;  $U_{вих}$ . Використовуючи принцип суперпозиції одержимо:

$$U_{н1} = \frac{U_{оп} \cdot R3}{R2 + R3} + \frac{U_{нас}^+ \cdot R2}{R2 + R3} = U_{спр}. \quad (4.1)$$

Коли на вхід тригера подається вхідний сигнал  $U_{вх}$  і його значення менше за  $U_{спр}$ , стан ТШ не змінюється.

Якщо  $U_{вх} \geq U_{спр}$  схема швидко (лавиноподібно) переключається в другий стан, а напруга  $U_{вих} = -U_{НАС}^-$ . Напруга на вході, що не інвертує, при цьому дорівнює:

$$U_{н2} = \frac{U_{оп} \cdot R3}{R2 + R3} - \frac{U_{нас}^- \cdot R2}{R2 + R3} = U_{відн}. \quad (4.2)$$

Поки вхідний сигнал більший за напругу відпускання ( $U_{вх} > U_{відп}$ ), стан ТШ не змінюється.

Якщо  $U_{вх} \leq U_{відп}$ , то тригер швидко переключається у початковий стан.

$U_{спр} \neq U_{відп}$  ( $U_{спр} > U_{відп}$ ) і в схемі є гістерезис. Напруга гістерезису

$$\Delta U_{\Gamma} = U_{спр} - U_{відн} = 2 \cdot \frac{U_{нас} \cdot R2}{R2 + R3}, \quad (4.3)$$

$$\text{якщо } +U_{нас}^+ = |-U_{нас}^-| = U_{нас}.$$

Розглянемо роботу тригера за умови, що ІМС ОП – реальна. У цьому випадку  $\Delta U_1 \neq 0; \Delta U_2 \neq 0$  і передатна характеристика ІМС ОП має вигляд наведений на рисунку 4.5, в. Вирази для визначення  $\Delta U_1$  і  $\Delta U_2$  мають вид:

$$|\Delta U_1| = \frac{|U_{нас}^+|}{K_{U. \text{ ІМС ОП}}}. \quad (4.4)$$

$$\Delta U_2 = \frac{|-U_{нас}^-|}{K_{U. \text{ ІМС ОП}}}. \quad (4.5)$$

Останнє відбивається на формі передатної характеристики ТШ, яку наведено на рисунку 4.5, д. Пунктиром на цьому рисунку наведена передатна характеристика тригера, якщо ІМС ОП – ідеальна. Як видно з рисунка, при збільшенні вхідної напруги тригер спрацьовує раніш і

$$U_{спр} = U'_{спр} - |\Delta U_1|, \quad (4.6)$$

де  $U'_{спр}$  – напруга спрацьовування в ТШ з ідеальною ІМС ОП.

При зменшенні  $U_{вх}$  тригер відпускає також раніш і

$$U_{відп} = U'_{відп} + \Delta U_2, \quad (4.7)$$

де  $U'_{відп}$  – напруга відпускання в ТШ з ідеальною ІМС ОП.

Величина гістерезису зменшується і дорівнює

$$\Delta U_{\Gamma} = \Delta U'_{\Gamma} - 2 \cdot \frac{U_{нас}}{K_{U. \text{ ІМС ОП}}}, \quad (4.8)$$

де  $\Delta U'_{\Gamma}$  – величина гістерезису у ТШ з ідеальною ІМС ОП;

$$+ U_{нас}^+ = |-U_{нас}^-| = U_{нас}.$$

Розглянутий тригер при знятті вхідного сигналу ( $U_{вх}=0$ ) повертається у вихідний стан, тобто не має пам'яті.

В основному такий ТШ застосовується як пороговий пристрій, але може використовуватися як формувач прямокутних імпульсів із сигналу довільної форми (рисунок 4.6).

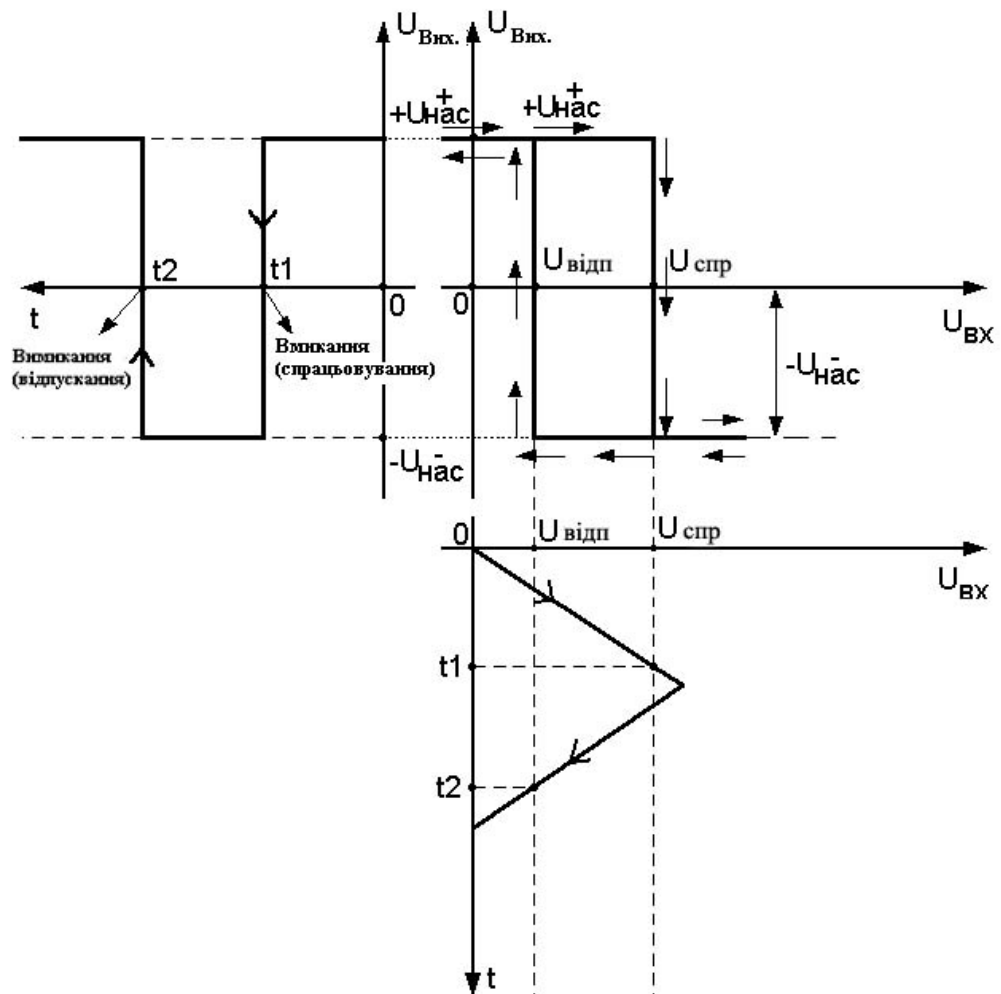


Рисунок 4.6 – Приклад використання ТШ на ІМС ОП, що не має пам'яті, в якості порогового пристрою (формує чача прямокутного імпульсу з сигналу трикутної форми)

#### 4.1.1.4.1.2 ТШ на ІМС ОП, що мають пам'ять

На рисунку 4.7 представлено ТШ на ІМС ОП, що має пам'ять:

а – схема;

б – передатна характеристика ТШ, якщо ІМС ОП – ідеальна;

в – передатна характеристика ТШ, якщо ІМС ОП – реальна.

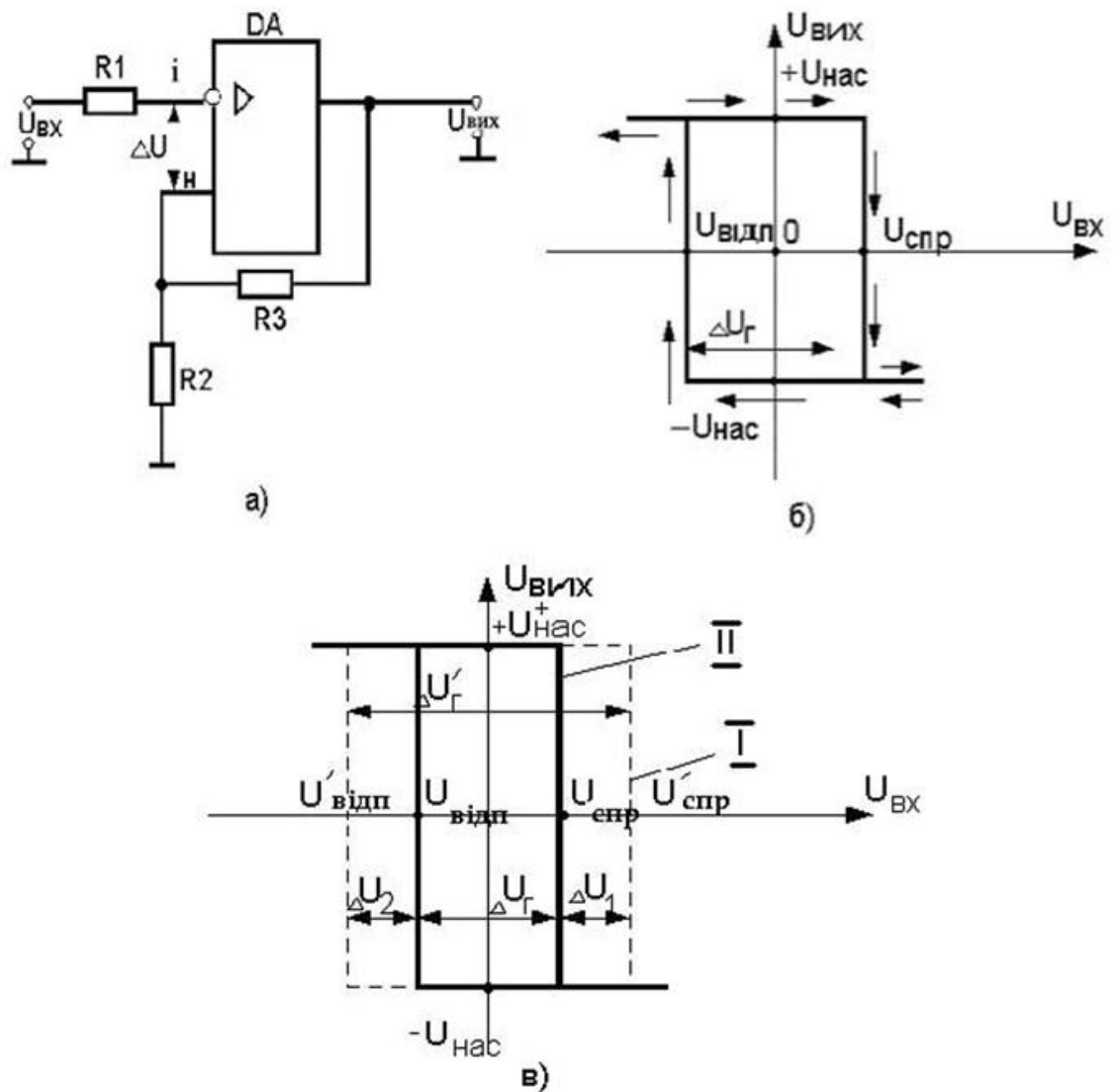


Рисунок 4.7 – ТШ на ІМС ОП, що має пам'ять

Відмінність даного ТШ від попереднього, який розглянуто вище, полягає в тому, що  $U_{он} = 0$  (рисунок 4.7, а). Це змінює характеристики і роботу тригера (рисунок 4.7, б, в).

Основні розрахункові співвідношення для цього випадку можуть бути отримані з виразів 4.1...4.8 шляхом підстановки в них  $U_{он} = 0$ :

$$U'_{спр} = + \frac{U_{нас}^+ \cdot R2}{R2 + R3}; \quad (4.9)$$



$$U'_{відп} = -\frac{U_{нас}^- \cdot R2}{R2 + R3}; \quad (4.10)$$

$$\Delta U'_Г = U'_{спр} - U'_{відп} = 2 \cdot \frac{U_{нас} \cdot R2}{R2 + R3}; \quad (4.11)$$

$$\left( +U_{нас}^+ = |-U_{нас}^-| = U_{нас} \right);$$

$$U_{спр} = \frac{U_{нас}^+ \cdot R2}{R2 + R3} - \frac{U_{нас}^+}{K_{U. \text{ ИМС ОП}}}; \quad (4.12)$$

$$U_{відп} = -\frac{U_{нас}^- \cdot R2}{R2 + R3} + \frac{|-U_{нас}^-|}{K_{U. \text{ ИМС ОП}}}; \quad (4.13)$$

$$\Delta U_Г = \Delta U'_Г - 2 \cdot \frac{U_{нас}}{K_{U. \text{ ИМС ОП}}}; \quad (4.14)$$

$$\left( +U_{нас}^+ = |-U_{нас}^-| = U_{нас} \right).$$

При відсутності вхідного сигналу ( $U_{вх} = 0$ ) тригер займає довільний початковий стан:  $U_{вих} = +U_{НАС}$  чи  $U_{вих} = -U_{НАС}$ , що визначається початковою асиметрією схеми.

Щоб включити тригер, який відключено, ( $U_{вих} = +U_{НАС}^+$ ) необхідно подати вхідний сигнал  $U_{вх} \geq U_{СПР}$ .

При цьому схема швидко змінює свій стан і  $U_{вих} = U_{НАС}^-$ .

Щоб відключити тригер, який включено необхідно подати вхідний сигнал  $|-U_{вх}| \geq |-U_{ВДП}|$ .

Особливістю даного тригера є те, що після зняття керуючого впливу ( $U_{\text{вх}} = 0$ ) схема залишається у включеному чи відключеному стані, тобто має пам'ять.

Тригер може вмикатися додатним імпульсом, а вимикатися – від'ємним.

На рисунку 4.8 показано застосування цього тригера як формувача різнополярних прямокутних імпульсів із вхідного синусоїдального сигналу.

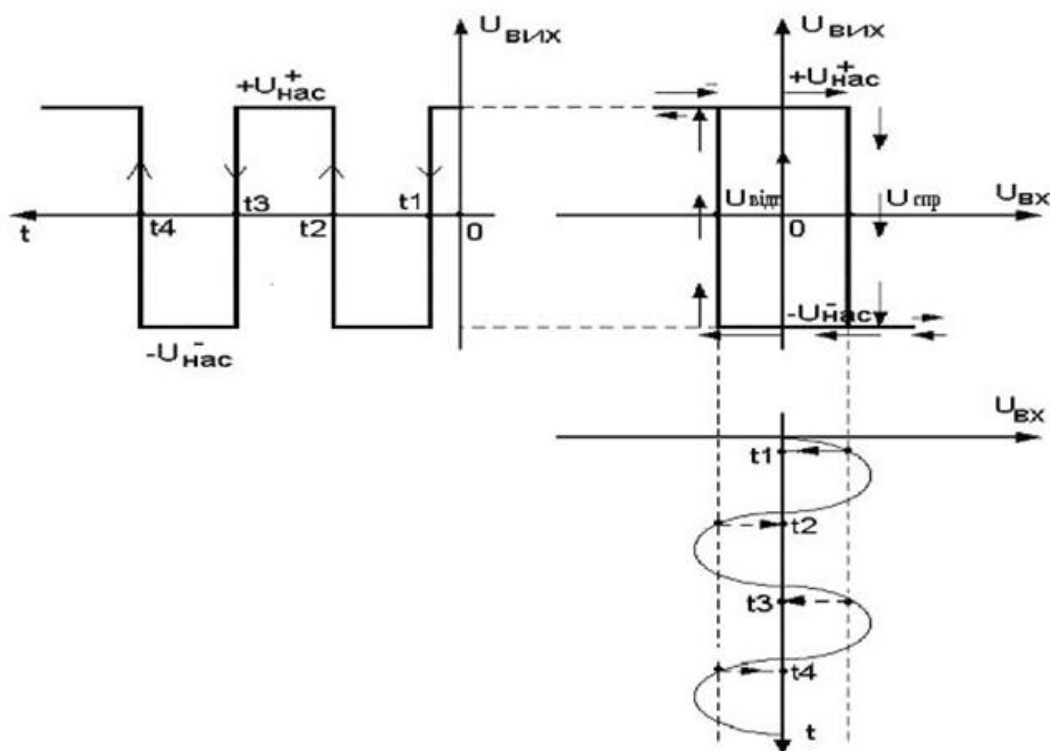


Рисунок 4.8 – Приклад використання ТШ на ІМС ОП, що має пам'ять, у якості формувача різнополярних прямокутних імпульсів із вхідного синусоїдального сигналу

#### 4.1.2 Аналогові компаратори

Компаратором називається електронний пристрій, який призначено для порівняння двох сигналів (напруг). У залежності від форми представлення сигналів, які порівнюються, компаратори поділяються на:

- аналогові компаратори (АК);

– цифрові компаратори (ЦК).

ЦК розглянуті окремо в [1...8, 16...20, 26].

Нижче описуються АК, що призначені для порівняння двох аналогових напруг, одна з яких виконує функцію еталонної:  $U_{ет}$ , а інша порівнюється з еталонною:  $U_x$ .

Звичайно АК включає власне аналоговий компаратор (ВАК) і схему формування рівнів (СФР) (рисунок 4.9).

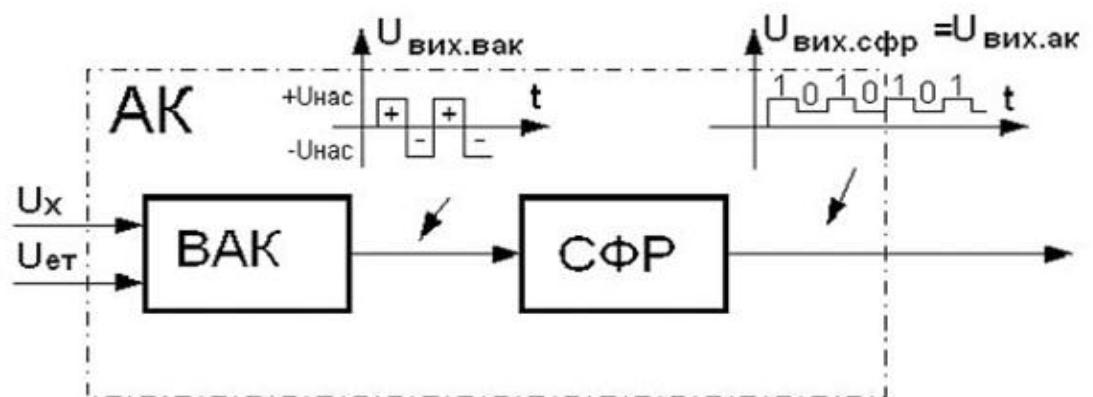


Рисунок 4.9 – Структура аналогового компаратора

ВАК виконує порівняння двох напруг:  $U_{ет}$  і  $U_x$  і формує на виході дискретний сигнал, що приймає одне з двох значень:  $+U_{нас}$ ;  $-U_{нас}$ .

СФР перетворює значення:  $+U_{нас}$ ;  $-U_{нас}$  у рівні цифрових сигналів ТТЛШ/КМОН – схем. Звичайно значення  $+U_{нас}$  перетворюється в рівень логічної одиниці (1), а значення  $(-U_{нас})$  – у рівень логічного нуля (0).

Найбільш широко застосовуються два варіанти схемного виконання АК:

- на інтегральній мікросхемі операційного підсилювача (ІМС ОП);
- на спеціалізованій мікросхемі аналогового компаратора.

#### 4.1.2.1 АК на ІМС ОП

Найпростіший АК може бути виконаний на ІМС ОП без зворотних зв'язків. Вигляд його схеми визначається полярністю напруг, які порівнюються.

##### 4.1.2.1.1 АК на ІМС ОП для порівняння однополярних напруг

Схема АК, що виконує порівняння двох додатних напруг, наведена на рисунку 4.10, а. Одна напруга є еталонною ( $U_{ET} = const$ ), а друга ( $U_X$ ) – повільно змінюється за законом, який представлено на рисунку 4.10, в.

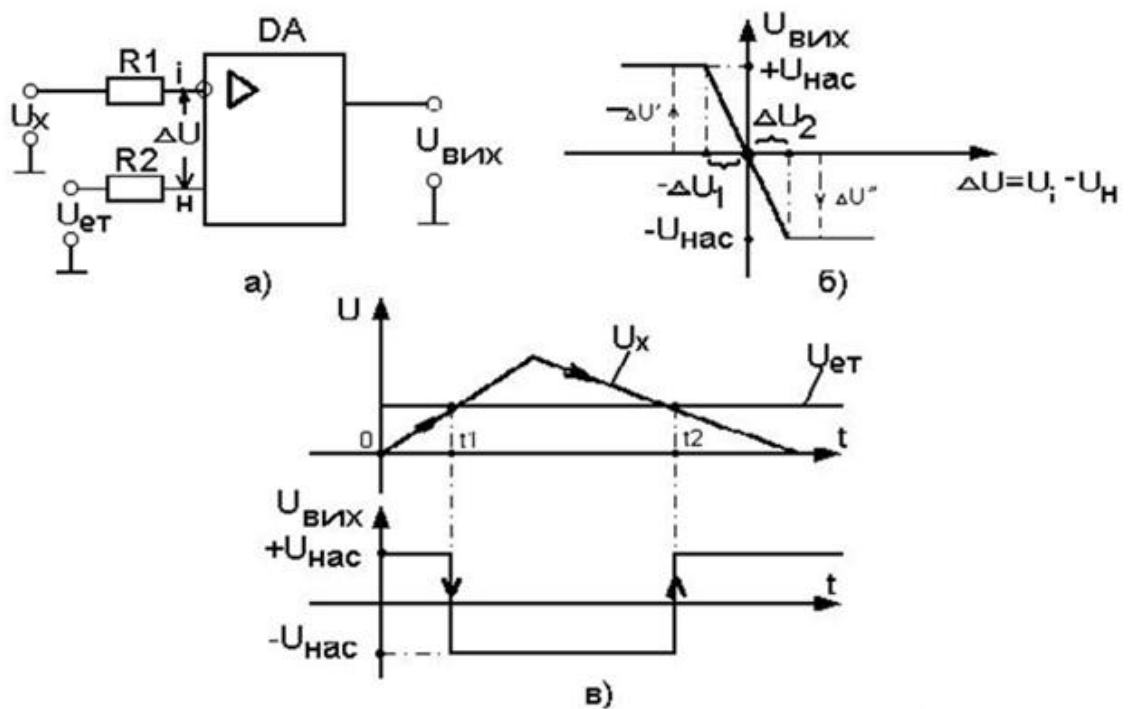


Рисунок 4.10 – АК для порівняння однополярних напруг: а) схема; б) передатна характеристика; в) часові діаграми роботи

До моменту часу  $t = t_1$  напруга  $U_X < U_{ET}$ . Потенціал входу ІМС ОП, який не інвертує, більш додатний, ніж потенціал входу, який інвертує. У цьому випадку різниця напруг між входами

$$|-\Delta U'| = |(U_i - U_n)| > |-\Delta U_1| \quad (4.15)$$

Відповідно до передатної характеристики ІМС ОП (рисунок 4.10, б) у цьому випадку  $U_{вих} = +U_{НАС}$ .

Після моменту часу  $t = t_1$  вхідний сигнал  $U_X \geq U_{ЕТ}$ . З'являється різниця напруг між входами

$$\Delta U'' = (U_i - U_n) > \Delta U_2 \quad (4.16)$$

Відповідно до передатної характеристики ІМС ОП (рисунок 4.10, б) у цьому випадку  $U_{вих} = -U_{НАС}$ .

На рисунку 4.10, в переключення АК відбувається миттєво, що є ідеальним випадком. Реально має місце невелика затримка між моментом досягнення рівності двох сигналів:  $U_X$  і  $U_{ЕТ}$  і моментом, коли вихідний сигнал  $U_{вих}$  починає зменшуватися. Крім того, лінія, що відображає зменшення  $U_{вих}$ , йде не перпендикулярно вісі часу, а під невеликим нахилом.

Після моменту часу  $t = t_2$  напруга  $U_{ЕТ}$  знову стає більшою ніж  $U_X$ , вихідна напруга змінюється і приймає значення:  $+U_{НАС}$ .

#### 4.1.2.1.2 АК на ІМС ОП для порівняння різнополярних напруг

Схема АК, що виконує порівняння різнополярних напруг, наведена на рисунку 4.11, а. Одна напруга ( $U_{ЕТ} = const$ ) є додатною, а друга ( $U_X$  від'ємна) – повільно змінюється за законом, представленим на рисунку 4.11, б.

Значення резисторів схеми вибирається з умови

$$R1 = R2 = R; R3 = \frac{R}{2} \quad (4.17)$$

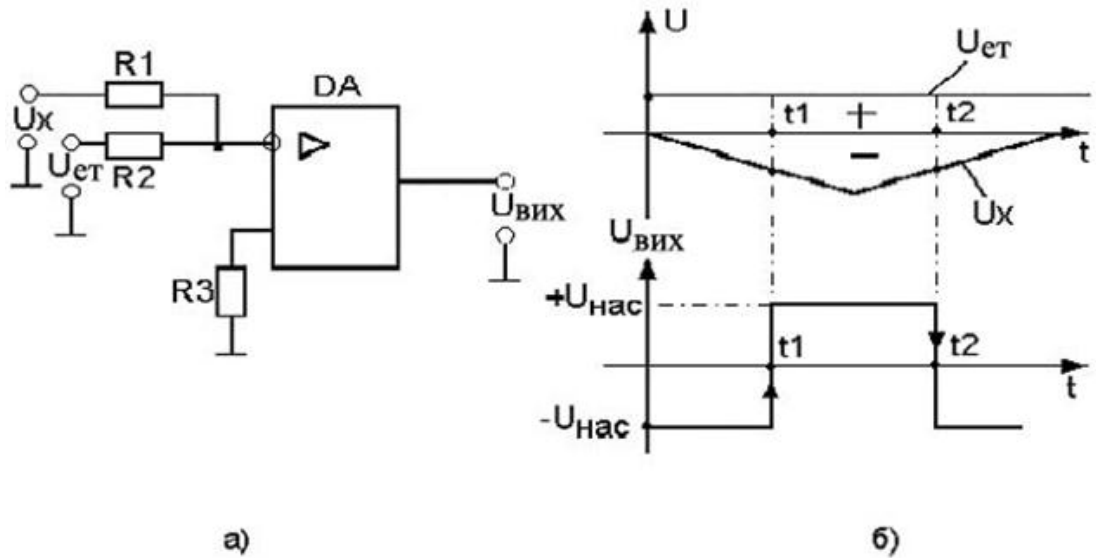


Рисунок 4.11 – АК для порівняння різнополярних напруг: а) схема; б) часові діаграми роботи

До моменту часу  $t = t_1$  (рисунок 4.11, б)  $U_{ET} > |-U_X|$ , тому потенціал входу ІМС ОП, який інвертує,  $(\Delta U'' > \Delta U_2)$  додатний, а  $U_{вих} = -U_{НАС}$ . (рисунок 4.11, б).

Коли  $t \geq t_1$  (рисунок 4.11, б), то  $|-U_X| > U_{ET}$ . Потенціал входу ІМС ОП, який інвертує, стає  $(-|\Delta U'| > -|\Delta U_1|)$  від'ємним, а  $U_{вих} = +U_{НАС}$  (рисунок 4.11, б). Як і в попередньому випадку переключення АК (зміна  $U_{вих}$ ) відбувається з невеликою затримкою щодо моментів часу, коли  $U_X$  стає рівним  $U_{ET}$ , а також зміна  $U_{вих}$  відбувається з невеликим нахилом до вісі часу (на рисунках це не показано).

Якщо в схемах  $U_{ET} = 0$ , то переключення АК відбувається при  $U_X \approx 0$ , а такий компаратор називають детектором нульового рівня.

Особливістю розглянутих схем АК (рисунки 4.10, 4.11) є відсутність зворотних зв'язків. Від'ємний ДЗЗ у компараторі не вводять, тому що він буде гальмувати процес переключення схеми.

Відсутність ДЗЗ з одного боку спрощує схему АК, а з іншого:

- по-перше, збільшує час переключення схеми;
- по-друге, у схемі АК без ДЗЗ напруга спрацьовування  $U_{СПР}$  дорівнює напрузі відпускання  $U_{ВДП}$ , що може призвести до помилкових спрацьовувань, якщо на вхід компаратора надходить сигнал, що спотворений завадою ( $U_{вх} = U_X + U_{ЗАВ}$ ).

При характері зміни  $U_{вх}$ , який показано як приклад на рисунку 4.12, через вплив завади ( $U_{ЗАВ}$ ) при зростанні вхідного сигналу замість одного правильного спрацьовування ( $t = t_5$ ) виникають два помилкових спрацьовування ( $t = t_1; t = t_3$ ); два помилкових відпускання ( $t = t_2; t = t_4$ ). При зменшенні вхідної напруги замість одного правильного відпускання ( $t = t_{10}$ ) виникають два помилкових відпускання ( $t = t_6; t = t_8$ ) і два помилкових спрацьовування ( $t = t_7; t = t_9$ ).

Помилкові переключення небезпечні в тих випадках, коли вихідний сигнал АК обробляється лічильною схемою, що фіксує кількість спрацьовувань і відпускань компаратора. Помилкові переключення будуть фіксуватися лічильною схемою і спотворювати роботу логічного пристрою, що приймає рішення за результатами обробки.

Для боротьби з завадами необхідно застосовувати АК з ДЗЗ (регенеративний компаратор).

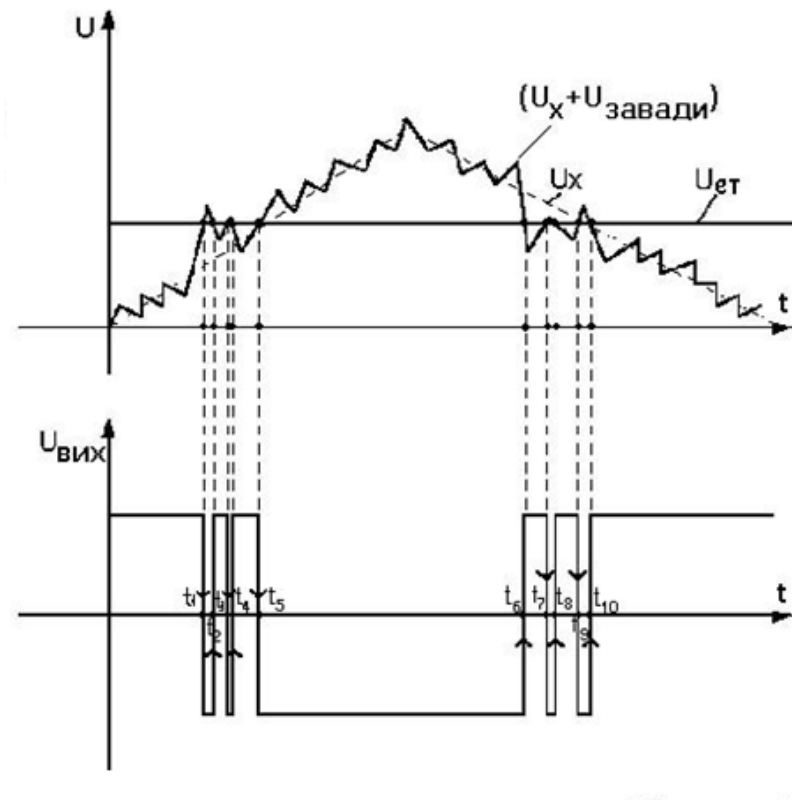


Рисунок 4.12 – Помилкові переключення АК через дію завад

#### 4.1.2.1.3 Регенеративний компаратор

Для підвищення завадостійкості АК, особливо коли сигнал  $U_x$  змінюється з малою швидкістю, у схему АК вводять додатний зворотний зв'язок (ДЗЗ) (рисунок 4.13). Елементами ДЗЗ є резистори R2, R3. Такий АК називається регенеративним, а його схема збігається з тригером Шмітта (ТШ), що не має пам'яті (4.1.1.4.1.1).

Особливістю останньої схеми є те, що в ній є: напруга спрацьовування ( $U_{СПР}$ ) і напруга відпускання ( $U_{ВІДП}$ ), різниця між якими називається напругою гістерезису (рисунок 4.14):

$$\Delta U_{\Gamma} = U_{СПР} - U_{ВІДП}. \quad (4.18)$$



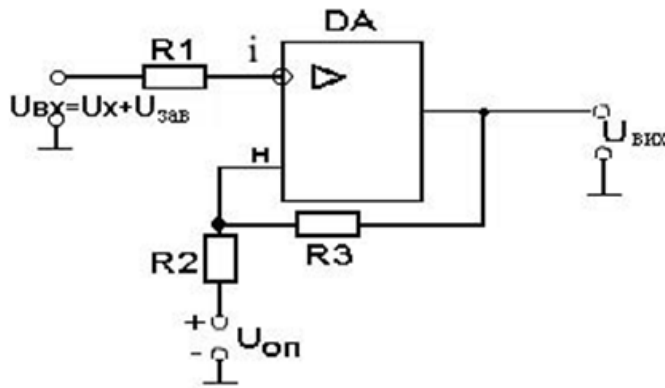


Рисунок 4.13 – Регенеративний АК (АК с ДЗЗ, ТШ, що не має пам'яті)

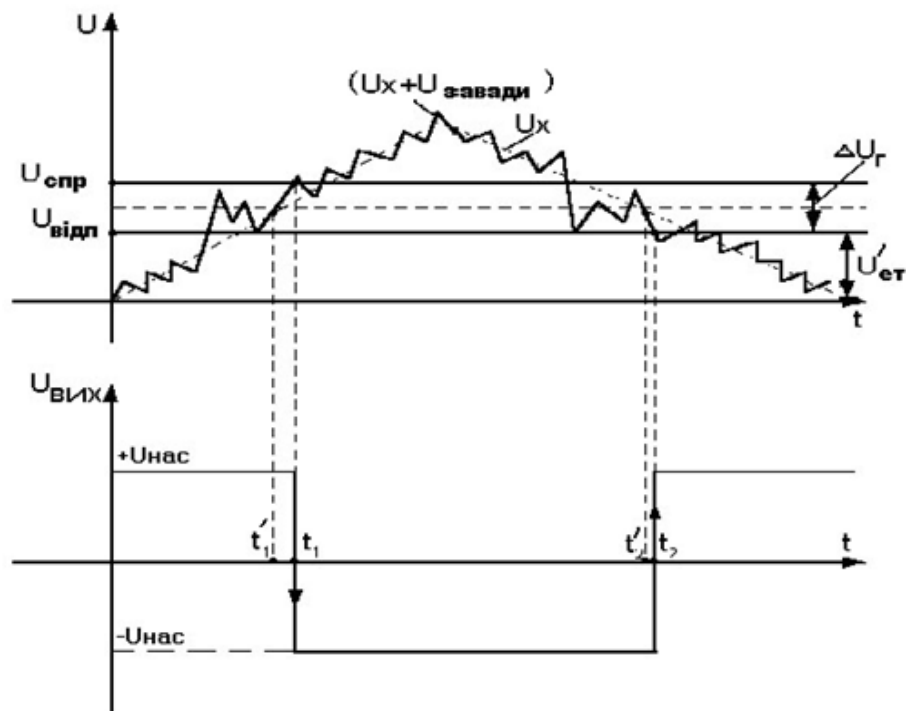


Рисунок 4.14 – Часові діаграми роботи АК

Компаратор спрацьовує, коли вхідний сигнал:  $U_{вх} = U_x + U_{заб}$  стане більший ніж  $U_{спр}$ , і відпускає (переключається у початковий стан), коли  $U_{вх}$  стане менше  $U_{відп}$  (рисунок 4.14).

Якщо в схемі виконується умова

$$\Delta U_{\Gamma} > U_{3AB}, \quad (4.19)$$

то помилкових переключень у компараторі не виникає.

Недоліком регенеративного компаратора в порівнянні з АК без ДЗЗ є те, що погіршується точність порівняння. Так, якщо порівняти часові діаграми роботи двох компараторів (рисунки 4.12 і 4.1), то можна помітити, що при однаковому характері зміни сигналу  $U_x$ , який порівнюється, і завади  $U_{3AB}$  спрацьовування і відпускання регенеративного компаратора відбувається трошки пізніше (у моменти:  $t_1$  замість  $t_1'$  і  $t_2$  замість  $t_2'$ ).

#### 4.1.3 Пристрої формування рівнів

Рівні напруг, що з'являються на виході імпульсних пристроїв, змінюються від мінімального (часто дорівнює нулю) до максимального значення:  $U_{вих.М}$ . З виходу схем, які виконано на ІМС ОП, знімаються напруги, що приймають одне з двох значень:  $+U_{НАС}$ ;  $-U_{НАС}$ . Наприклад, якщо напруги джерела живлення дорівнюють  $\pm 15В$ , тоді  $+U_{НАС} = +11В$ , а  $(-U_{НАС}) = -11В$ .

Вихідні сигнали імпульсних пристроїв часто обробляються цифровими ТТЛШ / КМОН – схемами, у яких діють тільки два значення (рівня) сигналів (напруг), які називаються:

- логічна одиниця (як правило, високий рівень напруги);
- логічний нуль (як правило, низький рівень напруги).

Наприклад, у сучасних ТТЛШ / КМОН – схемах рівні вихідних цифрових сигналів складають:

- вихідна напруга низького рівня (логічний 0): не більш 0,4...0,5В;

- вихідна напруга високого рівня (логічна 1): не менш 2,4В.

Максимальне значення логічної 1, наприклад:  $E_{ЖИВ} = 5В$ .

Виникає задача перетворення рівнів сигналів, що з'являються на виході імпульсних схем, у рівні цифрових сигналів, що діють у цифрових пристроях.

Цю задачу вирішують пристрої/схеми формування (перетворення) рівнів (ПФР/СФР).

Існує багато варіантів схемної реалізації ПФР. Розглянемо деякі з них.

Приклад 1. Найпростіший перетворювач рівнів може бути реалізований на послідовному діодному ключі (рисунки 4.15, а), що виконує функцію обмежника знизу на рівні  $U_{ОБМ} \approx 0,5В$ .

Нижче представлені відповідно:

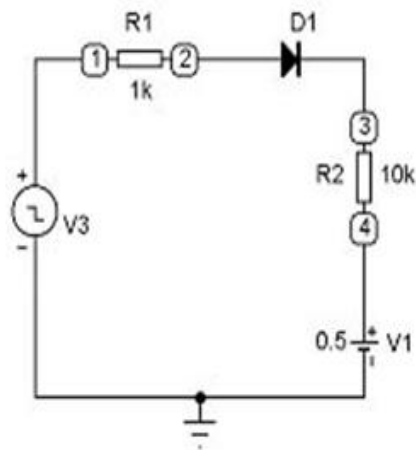
- передатна характеристика (рисунки 4.15, б);
- часові діаграми роботи (рисунки 4.15, в)

цього пристрою, які отримано за допомогою пакета MICRO-CAP 9.

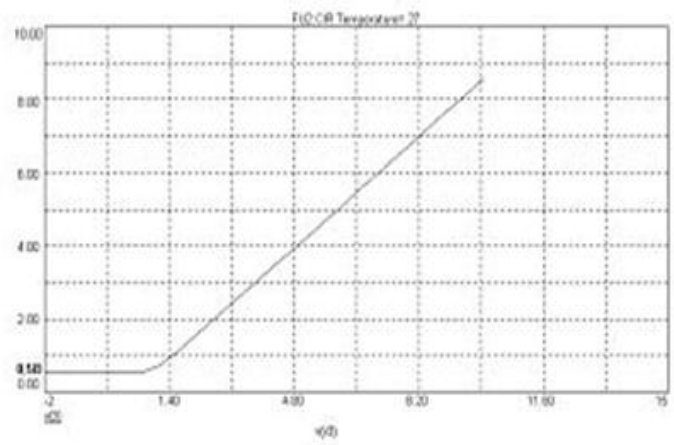
Приклад 2. Як перетворювачі рівнів можуть бути використані двосторонні діодні обмежники, виконані на послідовному і паралельному діодному ключі (рисунки 4.16, 4.17).

Приклад 3. Тут приведений ПФР, який реалізовано на паралельному діодному ключі (рисунки 4.18). Цей пристрій перетворює:

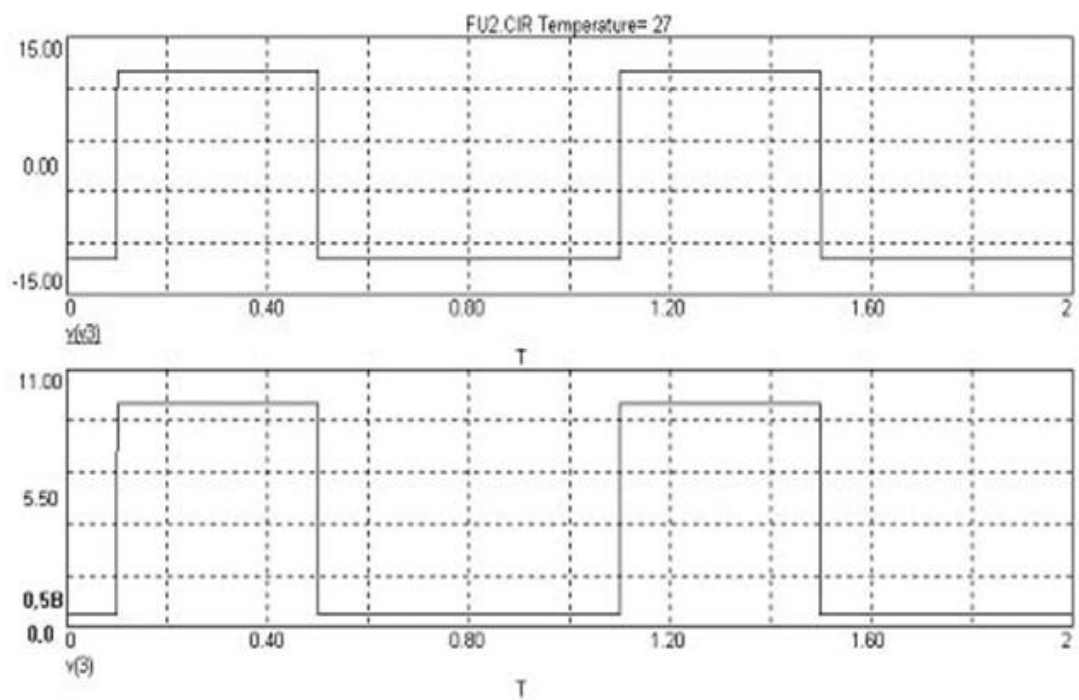
- напругу  $U_{вх} = +U_{НАС}$  у напругу  $U_{вих} = U^1 = U_{VD1.ПР} + E_{ЕТ}$ ;
- напругу  $U_{вх} = -U_{НАС}$  у напругу  $U_{вих} = U^0 = -U_{VD2.ПР}$ .



а)

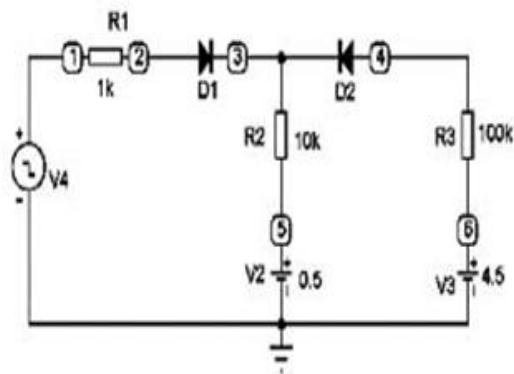


б)

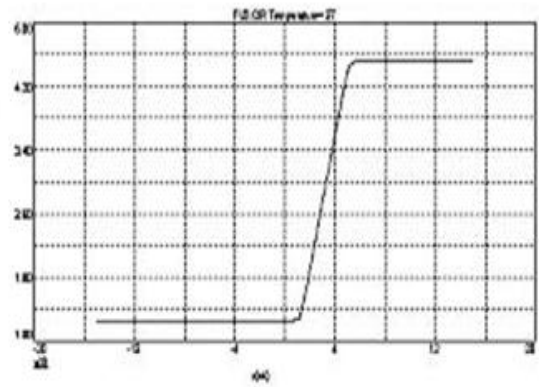


в)

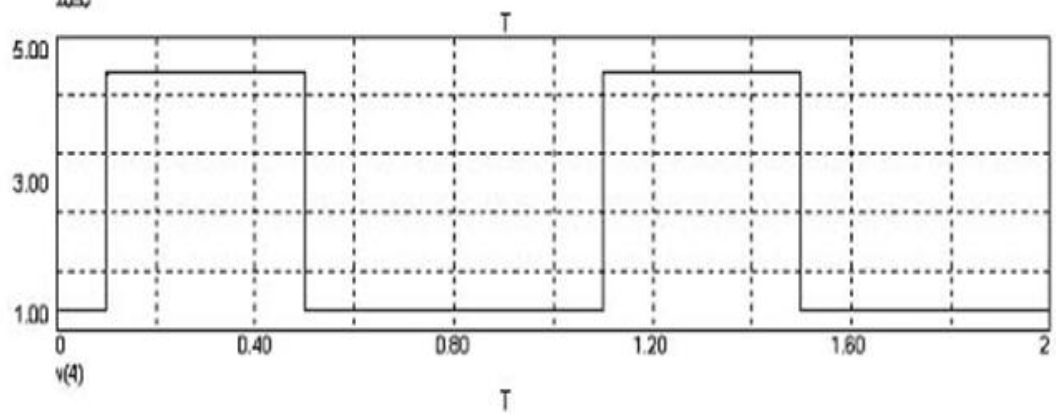
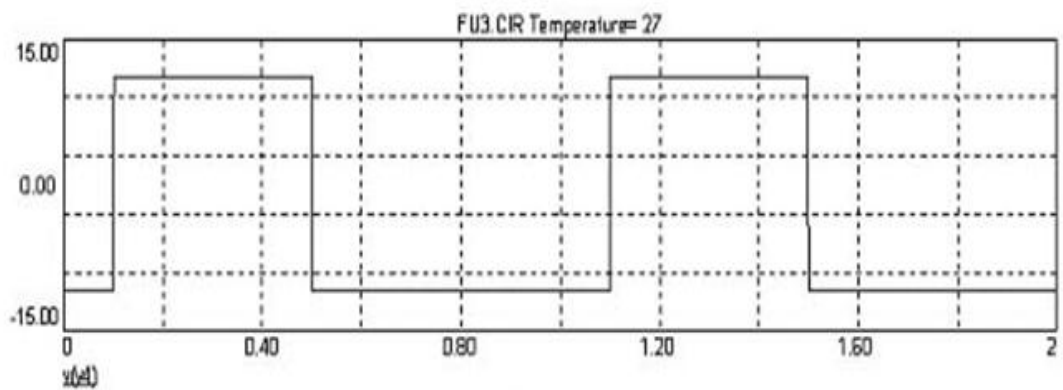
Рисунок 4.15 – Найпростіший ПФР на послідовному діодному ключі:  
а) схема; б) передатна характеристика; в) вхідний і вихідний сигнали схеми



а)



б)



в)

Рисунок 4.16 – ПФР на послідовному двосторонньому діодному обмежнику: а) схема; б) передатна характеристика; в) вхідний і вихідний сигнали схеми

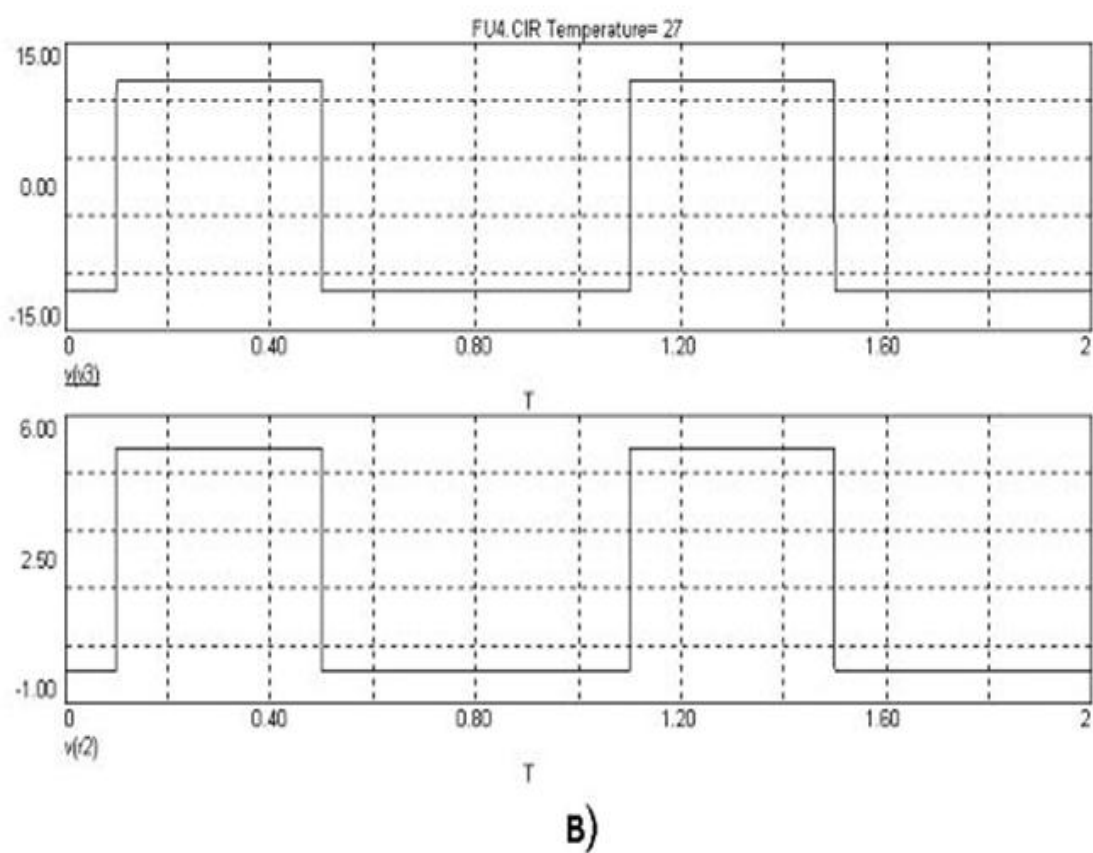
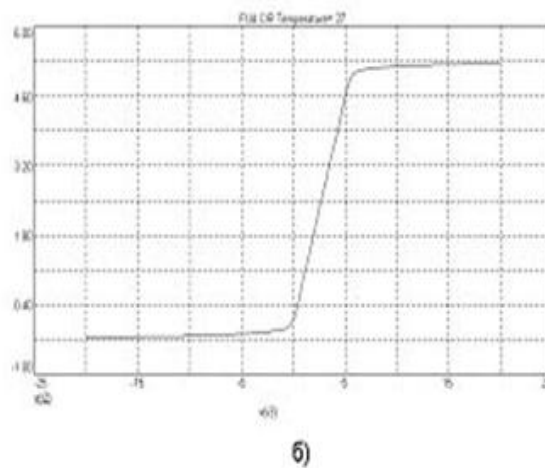
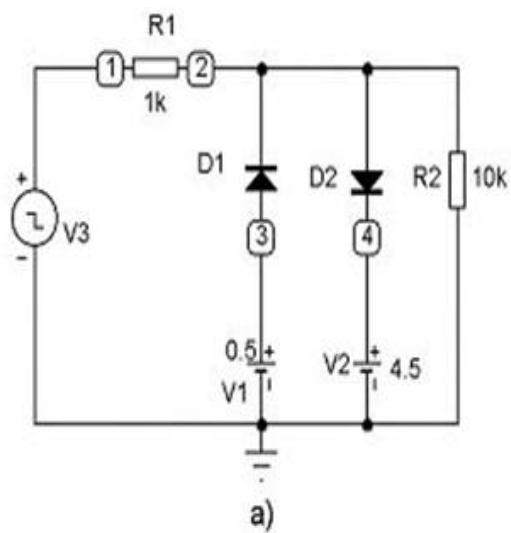


Рисунок 4.17 – ПРФ на паралельному двосторонньому діодному обмежнику: а) схема; б) передатна характеристика; в) вхідний і вихідний сигнали схеми

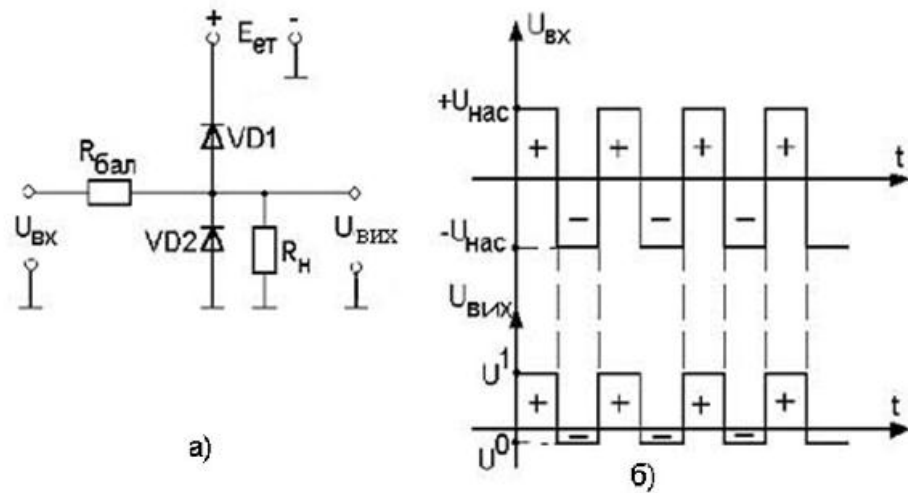


Рисунок 4.18 – ПФР на паралельному діодному ключі: а) схема; б) часові діаграми роботи

Приклад 4. У цьому прикладі розглянутий ПФР, який виконано на послідовному діодному ключі (рисунок 4.19). Цей пристрій перетворює:

- напругу  $U_{вх} = +U_{нас}$  у напругу  $U_{вих} = U^1 = U_{VD2.ПР} + E_{ET}$ ;
- напругу  $U_{вх} = -U_{нас}$  у напругу  $U_{вих} = U^0 = I_{K0.VD2} * R_H$ ,

де  $I_{K0.VD2}$  – зворотний струм насичення закритого діода VD2.

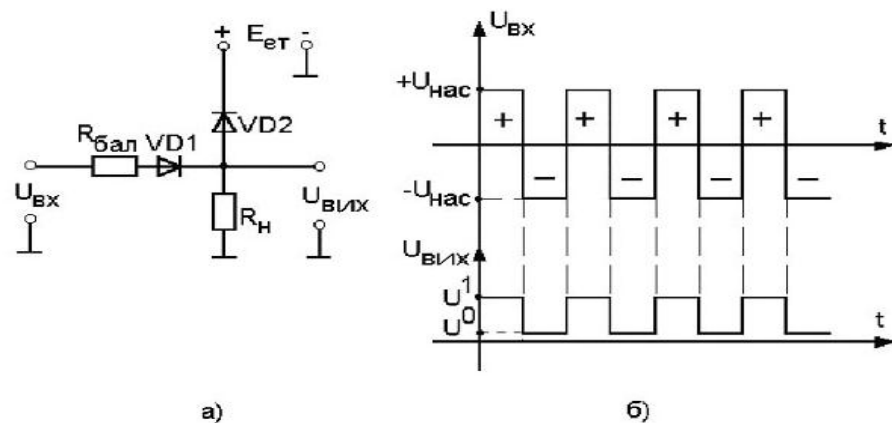


Рисунок 4.19 – ПФР на послідовному діодному ключі: а) схема; б) часові діаграми роботи

Останній приклад найбільш точно відповідає вимогам, які пред'являються до ПФР.

## 4.2 Моделювання окремих пристроїв

### 4.2.1 Схема 1. АК для порівняння однополярних напруг

Нижче наведено приклад схеми АК для порівняння однополярних напруг, яку зібрано у середовищі MicroCap 9: OnePol.cir (рисунок 4.20).

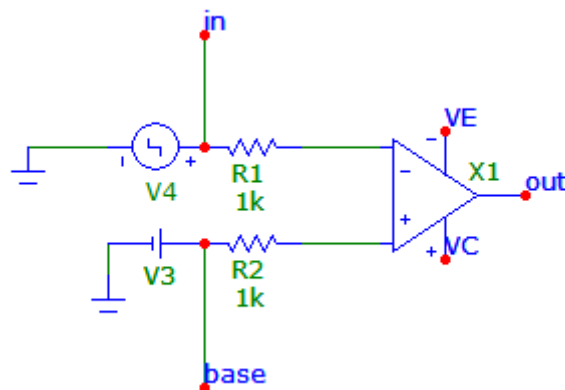


Рисунок 4.20 – Схема АК для порівняння однополярних напруг

#### Параметри схеми:

V3 (Battery):

- 1) Value = 5 [V];

V4 (Pulsesource):

- 2) Model = TRIANGLE;

- 3) VONE = 10 [V];

- 4) VZERO = 0 [V];

- 5) Параметри P1, P2, P3, P4, P5 розрахувати в залежності від номеру бригади так, щоб довжина трикутного імпульсу дорівнювала  $t_i = \text{<номер бригади>} * 10 \text{ [мс]} = \text{<номер бригади>} * 10\text{m [sec]}$ ;

Приклад: Номер бригади = 3  $\rightarrow$  P1 = 0m; P2 = 15m; P3 = 15m; P4 = 30m; P5 = 30m;



R1 (Resistor):

6) Value = 1k [Om];

R2 (Resistor):

7) Value = 1k [Om];

X1 (Opamp):

8) Model = LM358;

VC (Battery) (вкладка PowerSupplies):

9) Value = 15 [V];

VE (Battery) (вкладка PowerSupplies):

10) Value = -15 [V].

### **Результат досліду:**

На рисунку 4.21 наведено передатну характеристику (внизу) та часові діаграми роботи (вгорі) АК для порівняння однополярних напруг, схему якого наведено на рисунку 4.20.

На рисунку 4.21 (вгорі) зображено часові діаграми роботи однополярного АК, який порівнює дві додатні напруги, одна з яких є еталонною, яка не змінюється і дорівнює 5В, а друга змінюється за трикутним законом. Лінія, яка характеризує вихідну напругу, лежить в межах  $-U_{\text{нас}} \leq U_{\text{вих}} \leq +U_{\text{нас}}$ . Її невеликий нахил та невідповідність  $-U_{\text{нас}}$  й  $+U_{\text{нас}}$  на характеристиці пояснюється наявністю затримки між досягненням  $U_{\text{вих}}$  значення еталонної напруги та зміною вихідної напруги.

На схемі АК, щоб врівноважити струми при  $U_{\text{вх}} = 0$  і  $U_{\text{оп}} = 0$  повинно виконуватись співвідношення:  $R1 = R2$ . Робота цієї схеми характеризується величиною напруги  $U_{\text{оп}}$  і точками, в яких  $U_{\text{вх}} = U_{\text{оп}}$ . Тобто в початковий момент часу, крім напруг живлення на підсилювач подаються напруги  $U_{\text{вх}}=0$  і  $U_{\text{оп}} = 5\text{В}$ . Оскільки потенціал на вході, який не інвертує та дорівнює  $U_{\text{оп}}$ , більш додатний, ніж на вході, який інвертує ( $U_{\text{вх}}$ ), то на виході отримуємо  $+U_{\text{нас}}$ . В момент часу  $t_1$ , коли потенціал  $U_{\text{вх}}$  стає більш додатним, ніж  $U_{\text{оп}}$ , то відбувається перемикання компаратора і на виході отримаємо:  $-U_{\text{нас}}$ . Коли

вхідний сигнал стає менш додатним, ніж  $U_{OP}$  (момент часу  $t_2$ ), на виході знову отримаємо  $+U_{HAC}$ . Для побудови графіків будемо використовувати аналіз перехідного процесу. Обирати час аналізу потрібно залежно від часу подачі імпульсів. Наприклад на даному графіку обрано час 30 мілісекунд.

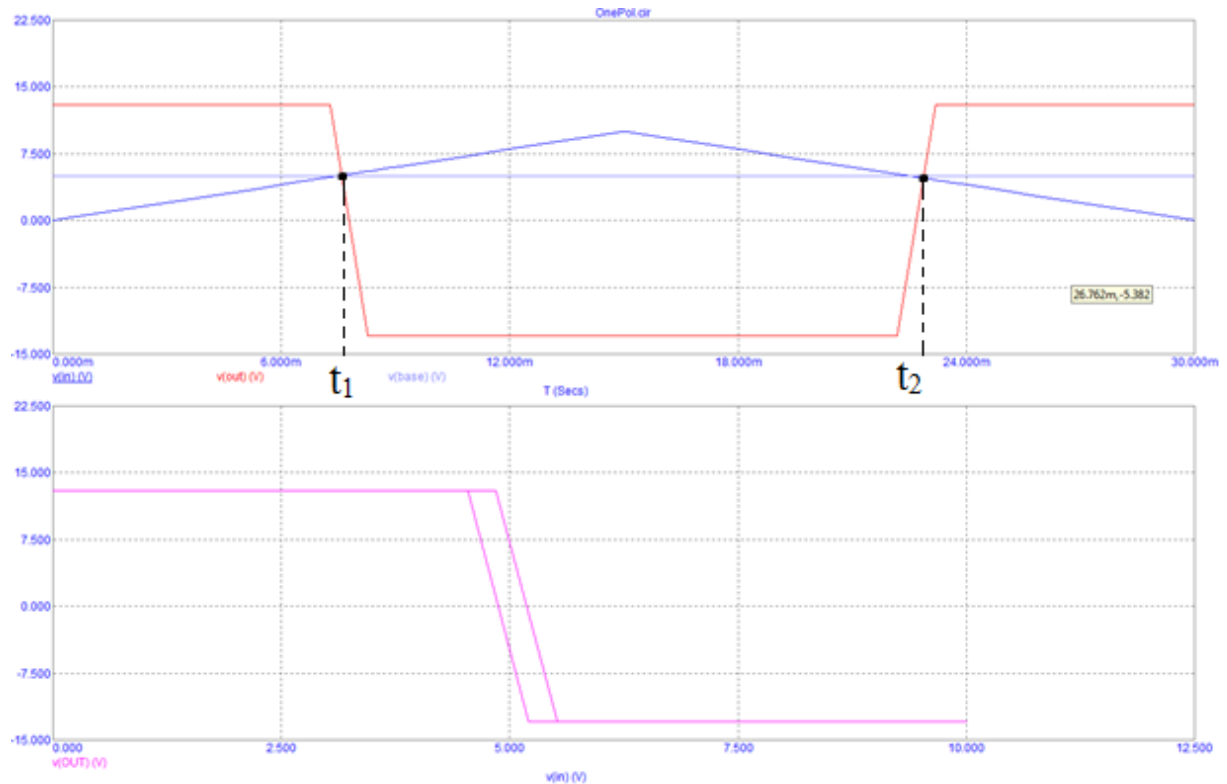


Рисунок 4.21 – Часові діаграми роботи (вгорі) та передатна характеристика (внизу) АК для порівняння однополярних імпульсів, схему якого наведено на рисунку 4.20

#### 4.2.2 Схема 2. АК для порівняння однополярних напруг за умови наявності завад

Нижче наведено приклад схеми АК для порівняння однополярних напруг за умови наявності завад, яку зібрано у середовищі MicroCap 9: MonoPolis.cir (рисунок 4.22).

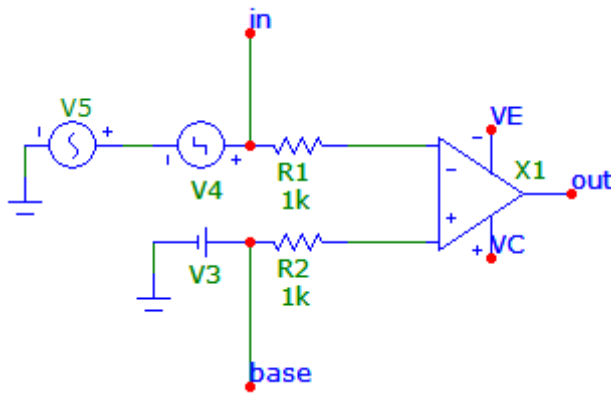


Рисунок 4.22 – Схема АК для порівняння однополярних напруг за умови наявності завад

Параметри схеми:

V3 (Battery):

- 1) Value = 5 [V];

V4 (Pulsesource):

- 2) Model = TRIANGLE;

- 3) VONE = 10 [V];

- 4) VZERO = 0 [V];

5) Параметри P1, P2, P3, P4, P5 розрахувати в залежності від номеру бригади так, щоб довжина трикутного імпульсу дорівнювала  $t_i = \text{<номер бригади>} * 10 \text{ [мс]} = \text{<номер бригади>} * 10\text{m [sec]}$ ;

Приклад: Номер бригади = 3  $\rightarrow$  P1 = 0m; P2 = 15m; P3 = 15m; P4 = 30m; P5 = 30m;

V5 (Sinesource):

- 6) Model = 60HZ;

- 7) F = 1000 [Hz] = 1k [Hz];

- 8) A = 1 [V];

R1 (Resistor):

- 9) Value = 1k [Om];

R2 (Resistor):

10) Value = 1k [Om];

X1 (Opamp):

11) Model = LM358;

VC (Battery) (вкладка PowerSupplies):

12) Value = 15 [V];

VE (Battery) (вкладка PowerSupplies):

13) Value = -15 [V].

### Результат досліджу:

На рисунку 4.23 наведено передатну характеристику, а на рисунку 4.24 – часові діаграми роботи АК, схему якого наведено на рисунку 4.22.

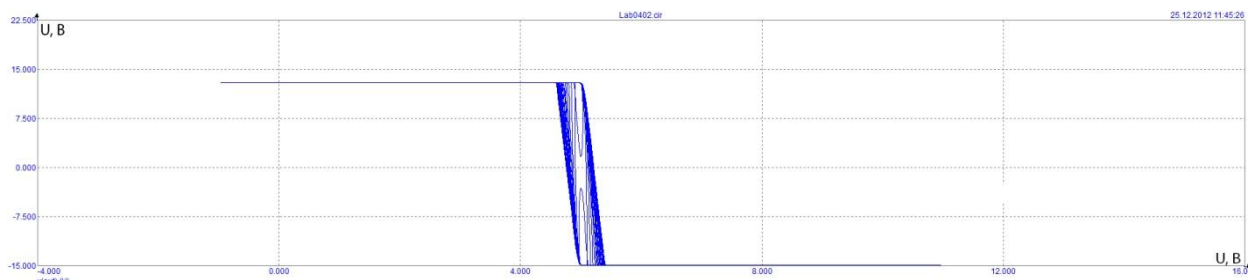


Рисунок 4.23 – Передатна характеристика компаратора

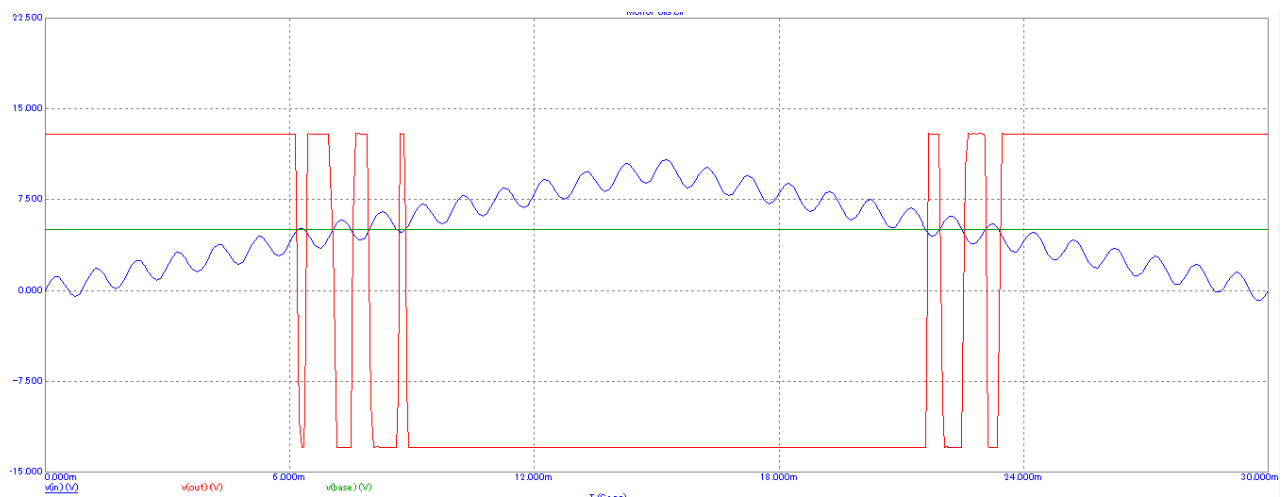


Рисунок 4.24 – Часові діаграми роботи АК

В даному випадку розглядається синусоїдальна завада значно вищої частоти, ніж  $U_{вх}$ . Завада накладається на вхідний трикутний сигнал. Через

наявність завади при повільній зміні вхідної напруги можемо спостерігати швидко та часту зміну вихідної напруги (так званий брязкіт), що приводить до помилкових спрацьовувань логічних лічильних схем, які підраховують кількість спрацювань компаратора.

Щоб врівноважити струми при  $U_{вх} = 0$  і  $U_{оп} = 0$  повинно виконуватись співвідношення:  $R1 = R2$ .

На вході, який інвертує, відбувається підсумовування сигналів від джерела V4 і V5, тобто поки ця сума менше V3, на виході отримуємо:  $+U_{нас}$ . Коли ця сума стає більше V3 – на виході отримуємо:  $-U_{нас}$ . Через наявність завади з'являються помилкові спрацювання компаратора.

Для виправлення цього використовують гістерезис, при якому замість одного значення, при якому здійснюється спрацювання схеми вводять певний діапазон. Це погіршить точність роботи схеми, тобто вона спрацює пізніше, але ми зможемо позбавитися від брязкоту.

Для цього введемо у схему додатний зворотний зв'язок.

#### 4.2.3 Схема 3. АК з додатним зворотним зв'язком для порівняння однополярних напруг за умови наявності завад (регенеративний АК)

Нижче наведено приклад схеми АК з додатним зворотним зв'язком для порівняння однополярних напруг за умови наявності завад (регенеративний АК), яку зібрано у середовищі MicroCap 9: MonoPolis+rev.cir (рисунок 4.25).

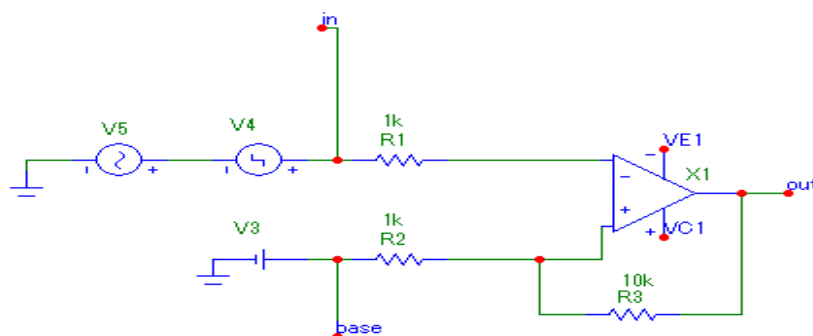


Рисунок 4.25 – Схема регенеративного АК

Параметри схеми:

R3 (Resistor):

1) Value = 10k [Om].

Усі інші елементи схеми залишаються такими ж самими.

На рисунку 4.26 представлено часові діаграми роботи АК, схему якого наведено на рисунку 4.25.

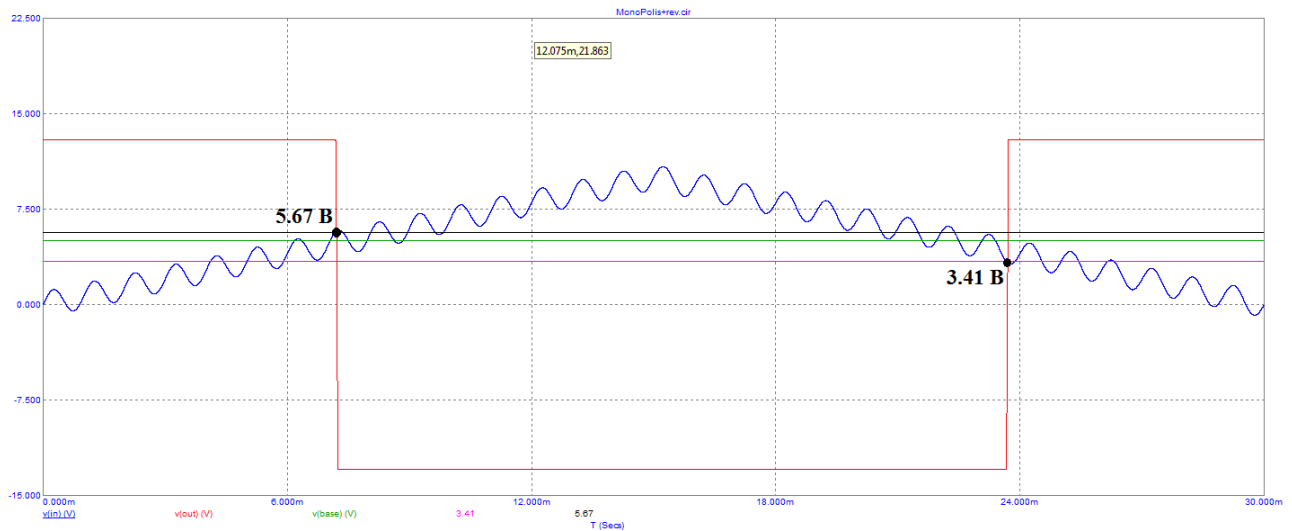


Рисунок 4.26 – Часові діаграми роботи регенеративного АК

Як видно з графіку схема спрацьовує пізніше, але ми змогли позбавитися зайвих спрацювань.

Якщо  $U_{\text{вих}} = +U_{\text{нас}}$ , то

$$U_{\text{H1}} = \frac{U_{\text{оп}} \cdot R3}{R2 + R3} + \frac{U_{\text{нас}} \cdot R2}{R2 + R3} = U_{\text{спр}} = \frac{5 \cdot 10 + 12,4 \cdot 1}{10 + 1} = 5,67 \text{ В.}$$

Якщо  $U_{\text{вих}} = -U_{\text{нас}}$ , то

$$U_{\text{H2}} = \frac{-U_{\text{нас}} \cdot R2}{R2 + R3} + \frac{U_{\text{оп}} \cdot R3}{R2 + R3} = U_{\text{вдп}} = \frac{-12,4 \cdot 1 + 5 \cdot 10}{10 + 1} = 3,41 \text{ В.}$$

Напруга гістерезису  $\Delta U_{\Gamma} = U_{\text{H1}} - U_{\text{H2}} = 5,67 - 3,41 = 2,26 \text{ В.}$

Якщо рівень завади  $U_{ЗАВ}$  менший, ніж  $\Delta U_{Г}$ , то в схемі не відбувається хибних спрацювань. При цьому дещо погіршується точність порівняння. Компаратор спрацьовує трохи пізніше.

#### 4.2.4 Схема 4. АК для порівняння різнополярних напруг

Нижче наведено приклад схеми АК для порівняння різнополярних напруг, яку зібрано у середовищі MicroCap 9: DifPol.cir (рисунок 4.27).

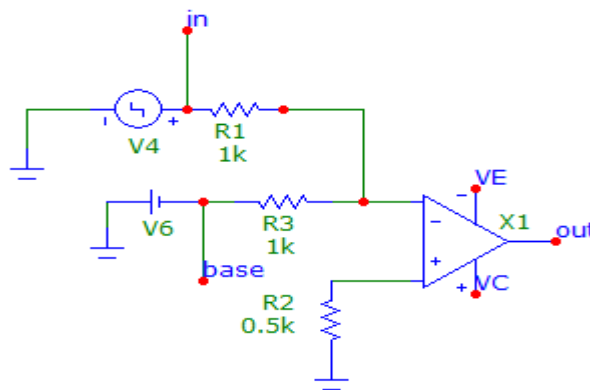


Рисунок 4.27 – Схема АК для порівняння різнополярних напруг

##### Параметри схеми:

V4 (Pulsesource):

- 1) Model = TRIANGLE;
- 2) VONE = 10 [V];
- 3) VZERO = 0 [V];
- 4) Параметри P1, P2, P3, P4, P5 розрахувати в залежності від номеру бригади так, щоб довжина трикутного імпульсу дорівнювала  $t_i = \text{<номер бригади>} * 10 \text{ [мс]} = \text{<номер бригади>} * 10\text{m [sec]}$ ;

Приклад: Номер бригади = 3  $\rightarrow$  P1 = 0m; P2 = 15m; P3 = 15m; P4 = 30m; P5 = 30m;

V6 (Battery):

- 5) Value = 5 [V];

R1 (Resistor):

6) Value = 1k [Om];

R2 (Resistor):

7) Value = 0.5k [Om];

R3 (Resistor):

8) Value = 1k [Om];

X1 (Opamp):

9) Model = LM358;

VC (Battery) (вкладка PowerSupplies):

10) Value = 15 [V];

VE (Battery) (вкладка PowerSupplies):

11) Value = -15 [V].

### Результат досліджу:

На рисунку 4.28 наведено передатну характеристику (внизу) та часові діаграми роботи (вгорі) АК для порівняння різнополярних напруг, схему якого наведено на рисунку 4.27.

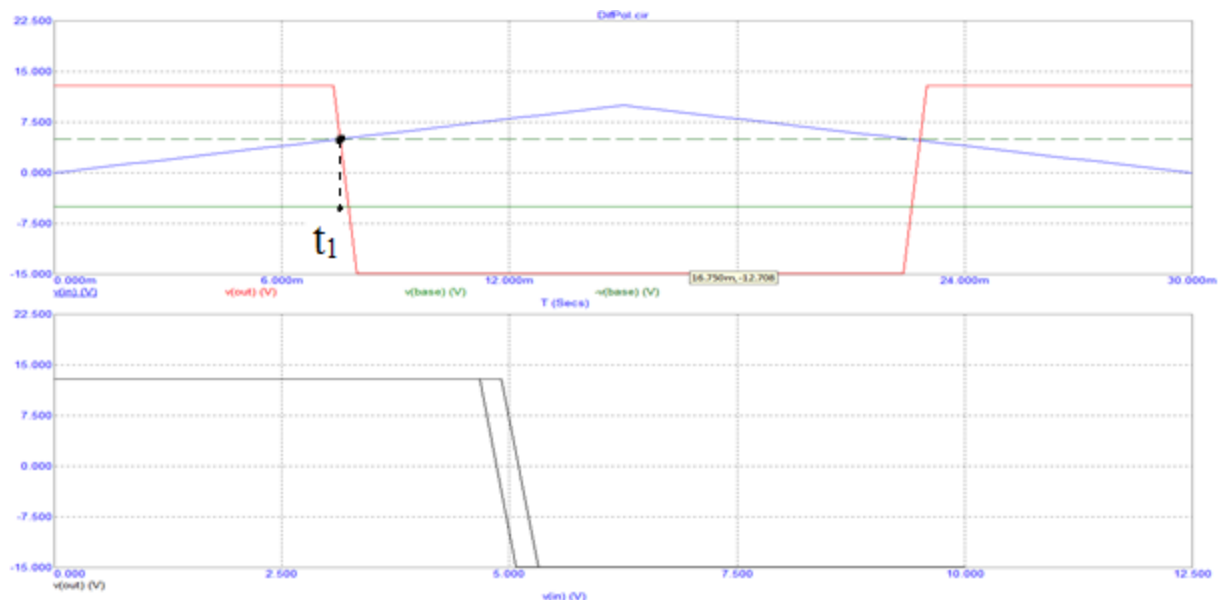


Рисунок 4.28 – Часові діаграми роботи (вгорі) та передатна характеристика (внизу) АК для порівняння різнополярних імпульсів, схему якого наведено на рисунку 4.27



Відмінність часових характеристик різнополярного АК без завад від однополярного АК без завад – наявність від'ємної еталонної напруги 5В та додатної вхідної трикутної напруги, які порівнюються на вході, який інвертує. До моменту  $t_1$  потенціал входу, який інвертує, від'ємний та на виході:  $+U_{НАС}$ . Після моменту  $t_1$  потенціал цього входу стає додатним та схема переключається у:  $-U_{НАС}$ .

#### 4.2.5 Схема 5. ТШ на базі ІМС ОП з пам'яттю

Нижче наведено приклад схеми ТШ на базі ІМС ОП з пам'яттю. яку зібрано у середовищі MicroCap 9: TSH Memory/cir (рисунок 4.29).

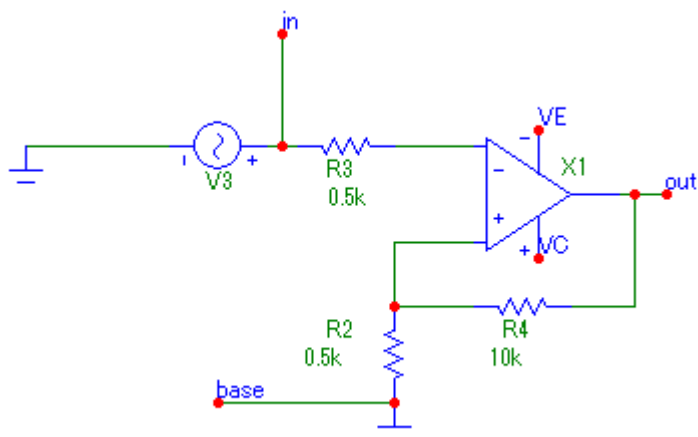


Рисунок 4.29 – Схема ТШ на базі ІМС ОП з пам'яттю

#### Параметри схеми:

V3 (Sinesource):

- 1) Model = 60Hz;
- 2) A = 10;
- 3) DC = 0;
- 4) F = 60;
- 5) PH = 0;
- 6) RP = 0;

7)  $R_S = 1\text{m};$

8)  $\tau = 0;$

R2 (Resistor):

9)  $\text{Value} = 0,5\text{k} [\Omega];$

R3 (Resistor):

10)  $\text{Value} = 0.5\text{k} [\Omega];$

R4 (Resistor):

11)  $\text{Value} = 10\text{k} [\Omega];$

X1 (Opamp):

12)  $\text{Model} = \$\text{GENERIC};$

VCC (Battery):

13)  $\text{Value} = 15 [\text{V}];$

VEE (Battery)

14)  $\text{Value} = -15 [\text{V}];$

VNS (Battery):

15)  $\text{Value} = -13 [\text{V}]$

VSS (Battery):

16)  $\text{Value} = 13 [\text{V}].$

### **Результат дослід:**

На рисунку 4.30 наведено передатну характеристику (внизу) та часові діаграми роботи (вгорі) ТШ на базі ІМС ОП з пам'яттю, схему якого наведено на рисунку 4.29.

Згідно з передатною характеристикою при  $U_{\text{ВХ}} = 0$  на виході схеми може випадково з'явитися напруга  $+U_{\text{НАС}}$  або  $-U_{\text{НАС}}$ . Так, на рисунку 4.30 (вгорі) це напруга:  $-U_{\text{НАС}}$ , тобто схема умовно спрацювала. Коли від'ємна напруга дорівнює:  $-0,62 \text{ В}$  – схема відпустить, та знову спрацює, якщо  $U_{\text{ВХ}} = +0.62 \text{ В}$  і т.д. При  $U_{\text{ВХ}} = 0$  схема не змінює (запам'ятовує) свій попередній стан.

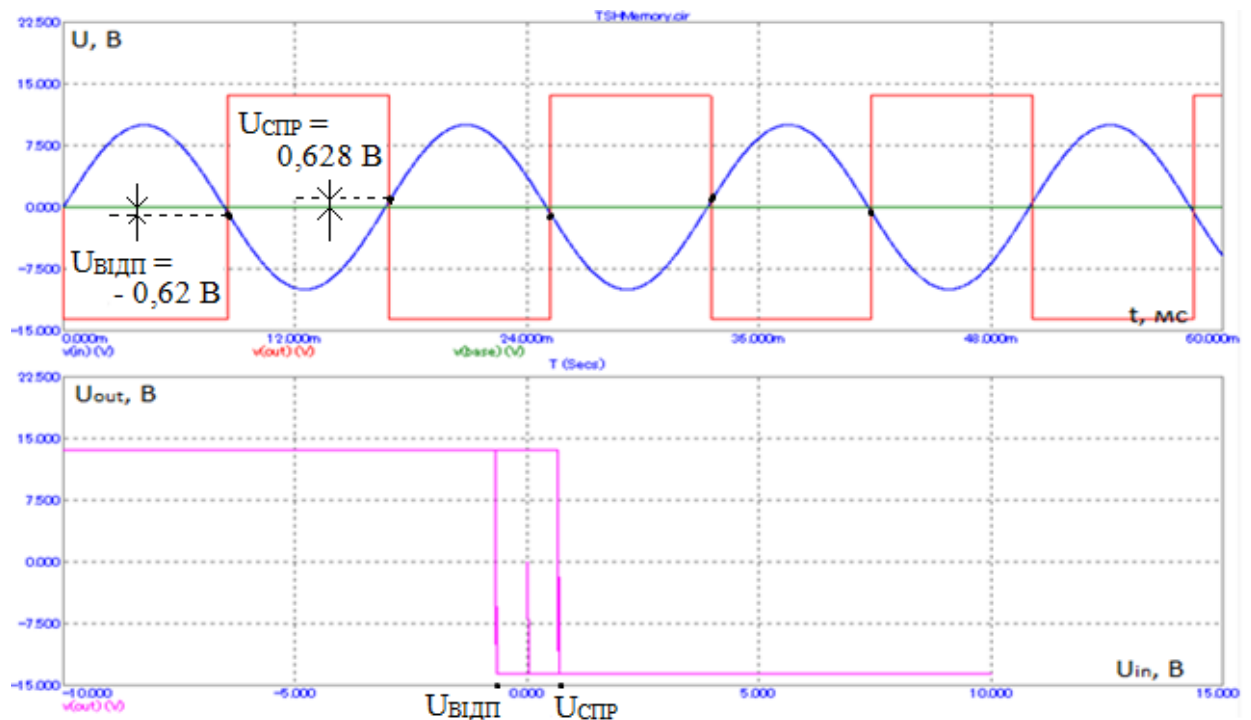


Рисунок 4.30 – Часові діаграми роботи (вгорі) та передатна характеристика (внизу) ТШ на базі ІМС ОП з пам'яттю

На рисунку 4.30 (вгорі) зображена реакція ТШ на базі ІМС ОП з пам'яттю на синусоїдальний сигнал. ТШ кожний раз після спрацьовування запам'ятовує останній стан при  $U_{ВХ} = 0$ , і починає роботу з нього, що свідчить про наявність пам'яті.

$$U_{СПР} = \frac{U_{НАС} \cdot R2}{R2 + R4} - \frac{U_{НАС}}{K_{U.МСОП}} = 0,62 \text{ В},$$

$$U_{ВІДП} = -\frac{U_{НАС} \cdot R2}{R2 + R4} + \frac{|-U_{НАС}|}{K_{U.МСОП}} = -0,62 \text{ В}.$$

Нижче на рисунку 4.31 наведено часові діаграми, на яких нанесено лінії, що відповідають напругам:  $U_{СПР} = 0,62 \text{ В}$ ,  $U_{ВІД} = -0,62 \text{ В}$ .

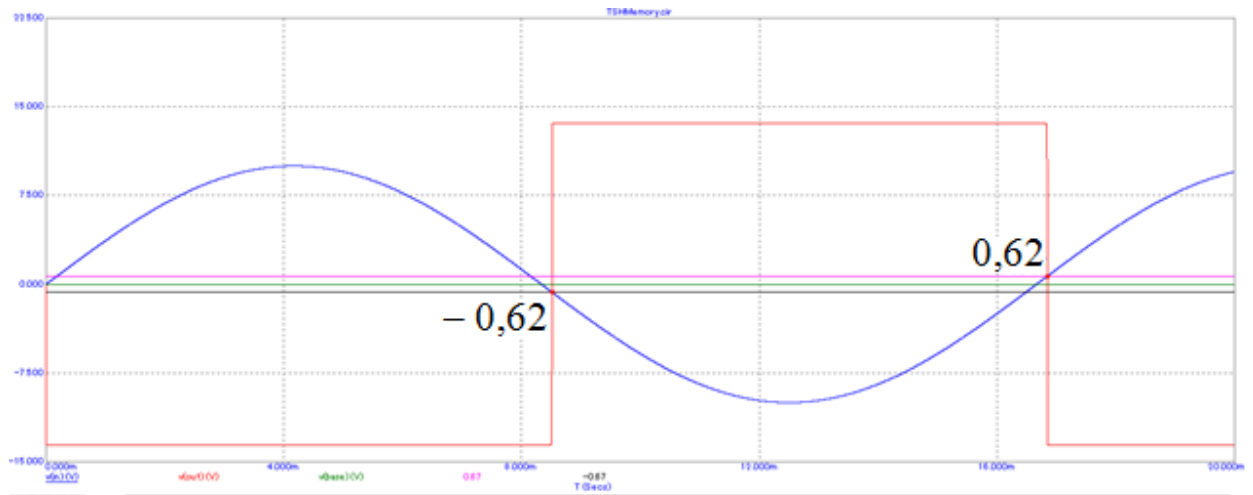


Рисунок 4.31 – Часові діаграми роботи ТШ на базі ІМС ОП з пам'яттю

Аналіз діаграм говорить про те, що результат співпадає з наведеними вище розрахунками.

#### 4.2.6 Схема 6. ТШ на базі ІМС ОП без пам'яті

Нижче наведено приклад схеми ТШ на базі ІМС ОП без пам'яті. яку зібрано у середовищі MicroCap 9: TSH No Memory. cir (рисунок 4.32).

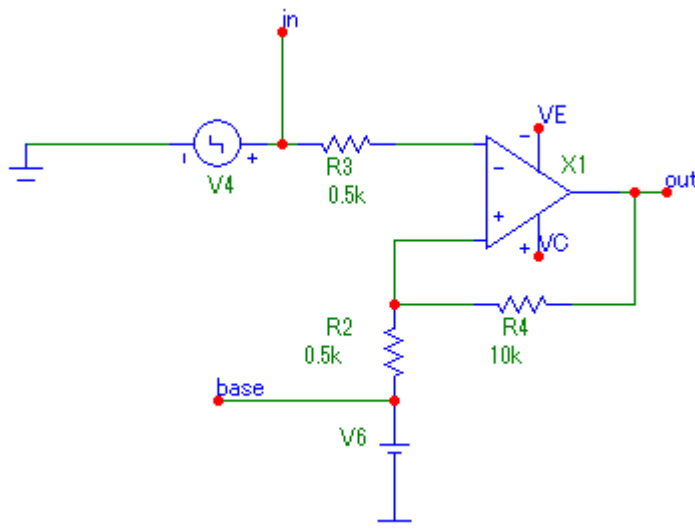


Рисунок 4.32 – Схема ТШ на базі ІМС ОП без пам'яті

Приклад зібраної схеми у середовищі MicroCap 9

Параметри схеми:

V4 (Pulse source):

- 1) Model = TRIANGLE;
- 2) P1 = 0;
- 3) P2 = 15m;
- 4) P3 = 15m;
- 5) P4 = 30m;
- 6) P5 = 30m;
- 7) VONE = 10;
- 8) VZERO = -10;

V6 (Battery):

- 9) Value = 5 [V].

Інші параметри схеми не відрізняються від параметрів попередньої схеми.

### **Результат досліду:**

На рисунку 4.33 наведено передатну характеристику (внизу) та часові діаграми роботи (вгорі) ТШ на базі ІМС ОП без пам'яті, схему якого наведено на рисунку 4.32.

Згідно з передатною характеристикою, при  $U_{ВХ} = 0$  на виході з'являється напруга:  $+U_{НАС}$ . Коли  $U_{ВХ} > U_{СПР}$ , схема переключається у:  $-U_{НАС}$ . При  $U_{ВХ} < U_{ВІДП}$  схема повертається у початковий стан. Тобто, схема не має пам'яті і працює, як пороговий пристрій.

На рисунку 4.33 (вгорі) зображена реакція ТШ на базі ІМС ОП без пам'яті на послідовність трикутних імпульсів. ТШ кожний раз після спрацьовування, коли рівень вхідної напруги стане менше  $U_{ВІДП}$ , повертається у початковий стан, що свідчить про відсутність пам'яті.

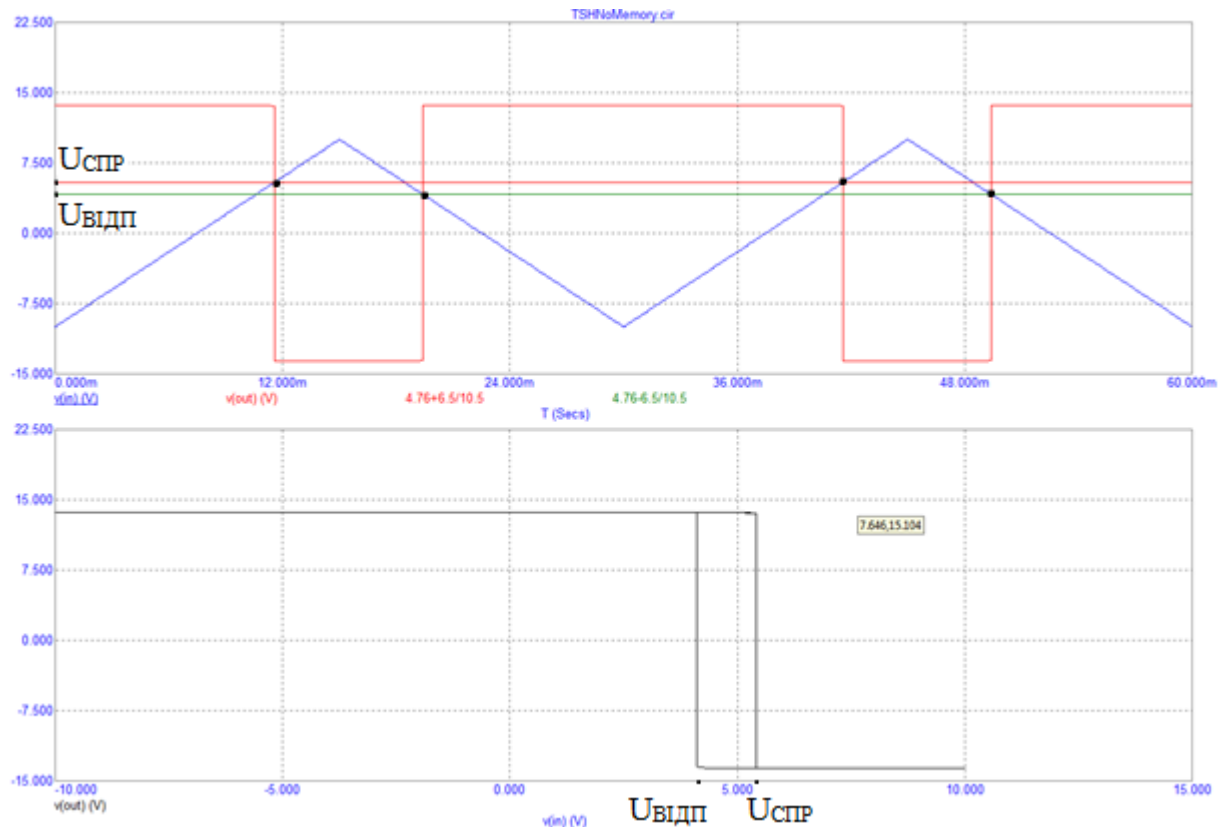


Рисунок 4.33 – Часові діаграми роботи (вгорі) та передатна характеристика (внизу) ТШ на базі ІМС ОП без пам’яті

Використовуючи принцип суперпозиції одержимо:

$$U_{H1} = \frac{U_{OP} \cdot R3}{R2 + R4} + \frac{U_{HAC} \cdot R2}{R2 + R4} = U_{СПР}.$$

$$U_{спр} = 5 \cdot 10 / (0.5 + 10) + 13 \cdot 0.5 / (0.5 + 10) = 4.76 + 0.61 = 5.38 \text{ В.}$$

$$U_{H2} = \frac{U_{OP} \cdot R3}{R2 + R4} - \frac{U_{HAC} \cdot R2}{R2 + R4} = U_{ВІДП}.$$

$$U_{відп} = 4.76 - 0.61 = 4.14 \text{ В.}$$

#### 4.2.7 Схема 7. Формувач рівня. Паралельна схема

Нижче наведено приклад паралельної схеми формувача рівнів, яку зібрано у середовищі MicroCap 9: PFRParal.cir (рисунок 4.34).

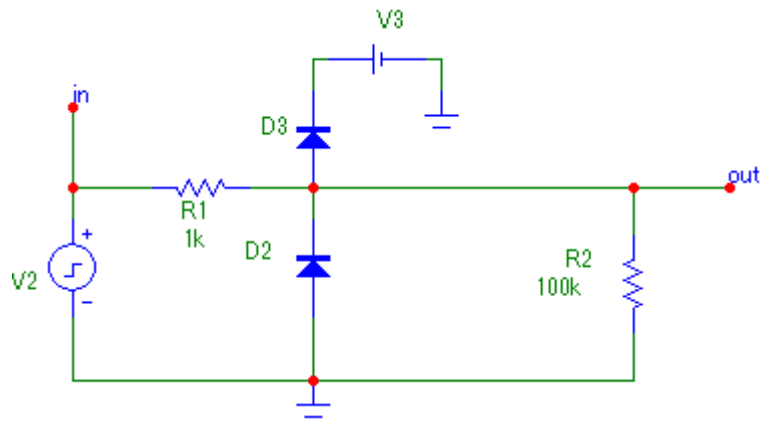


Рисунок 4.34 – Паралельна схема пристрою формувача рівнів

Параметри схеми:

D2 (Diode):

- 1) Model = \$GENERIC;

D3 (Diode):

- 2) Model = \$GENERIC;

V2 (Pulseshource):

- 3) Model = SQUARE;
- 4) VONE = 11 [V];
- 5) VZERO = -11 [V];
- 6) P1 = 0 [sec], P2 = 1u [sec], P3 = 500u [sec], P4 = 501u [sec], P5 = 1m [sec];

R1 (Resistor):

- 7) Value = 1k [Om];

R2 (Resistor):

- 8) Value = 100k [Om];

V3 (Battery):

- 9) Value = 5 [V].

**Результат досліджу:**

На рисунку 4.35 наведено часові діаграми роботи паралельної схеми формувача рівнів.

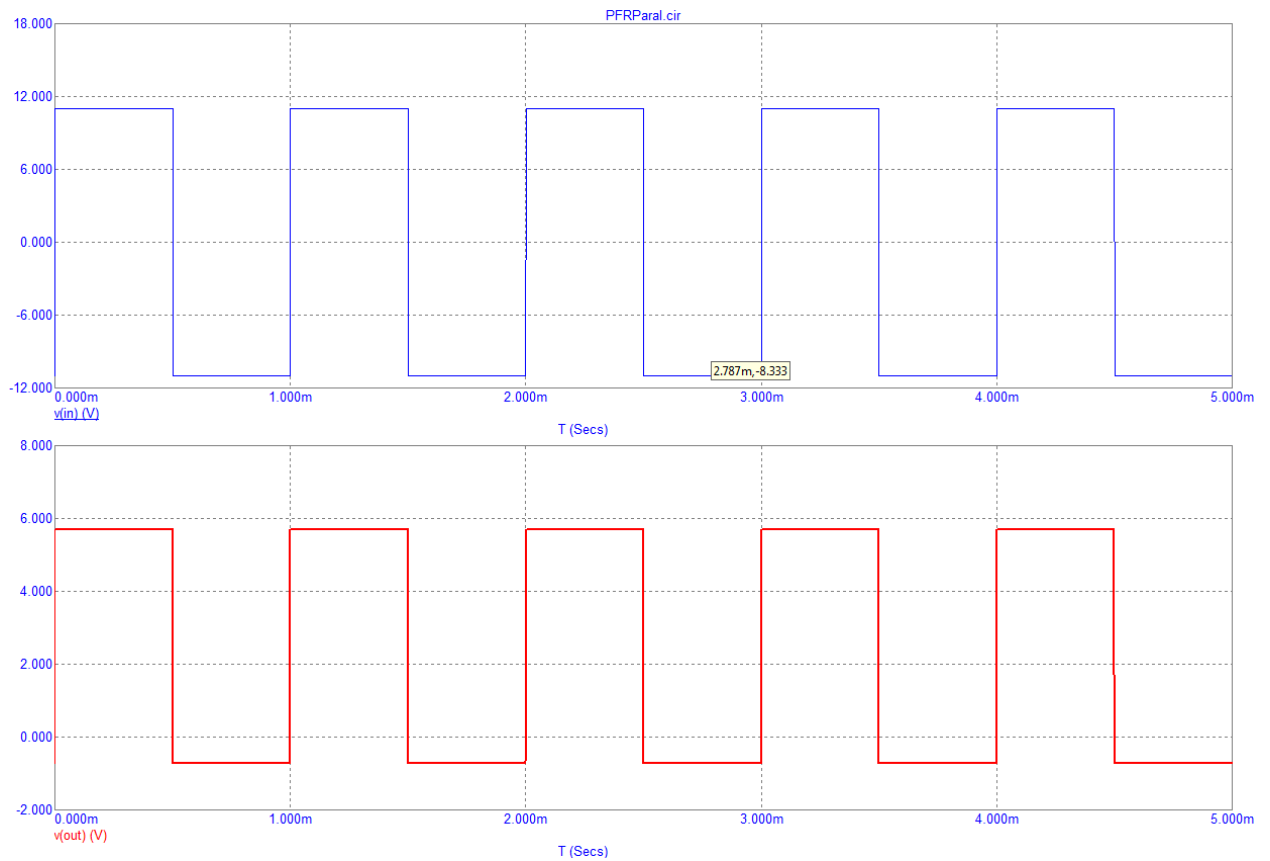


Рисунок 4.35 – Часові діаграми роботи паралельної схеми пристрою формувача рівнів, яку наведено на рисунку 4.34

При подачі додатного імпульсу діод D2 закритий, а D3 відкритий. Коли подається від’ємний імпульс, то D3 буде закритий, а D2 відкритий

Цей пристрій перетворює:

– напругу  $U_{\text{BX}} = +U_{\text{НАС}}$  у напругу  $U_{\text{ВИХ}} = U^1 = U_{\text{VD3.пр}} + V3 = 0,7 + 5 = 5,7;$

– напругу  $U_{\text{BX}} = -U_{\text{НАС}}$  у напругу  $U_{\text{ВИХ}} = U^0 = -U_{\text{VD2.пр}} = -0,7.$

Резистор R1 – баластний. На ньому падає різниця між вхідною та вихідною напругами.



#### 4.2.8 Схема 8. Формувач рівня. Послідовна схема

Нижче наведено приклад послідовної схеми формувача рівнів, яку зібрано у середовищі MicroCap 9: PFRPosl.cir (рисунок 4.36).

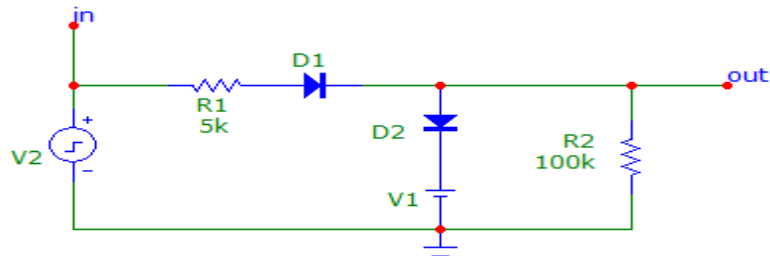


Рисунок 4.36 – Послідовна схема пристрою формувача рівнів

Параметри схеми:

D2 (Diode):

1) Model = \$GENERIC;

D3 (Diode):

2) Model = \$GENERIC;

V2 (Pulsesource):

3) Model = SQUARE;

4) VONE = 11 [V];

5) VZERO = -11 [V];

6) P1 = 0, P2 = 1u, P3 = 500u, P4 = 501u, P5 = 1m ;

R1 (Resistor):

7) Value = 5k [Om];

R2 (Resistor):

8) Value = 100k [Om];

V1 (Battery):

9) Value = 4 [V].

**Результат дослід:**

На рисунку 4.37 наведено часові діаграми роботи послідовної схеми формувача рівнів.

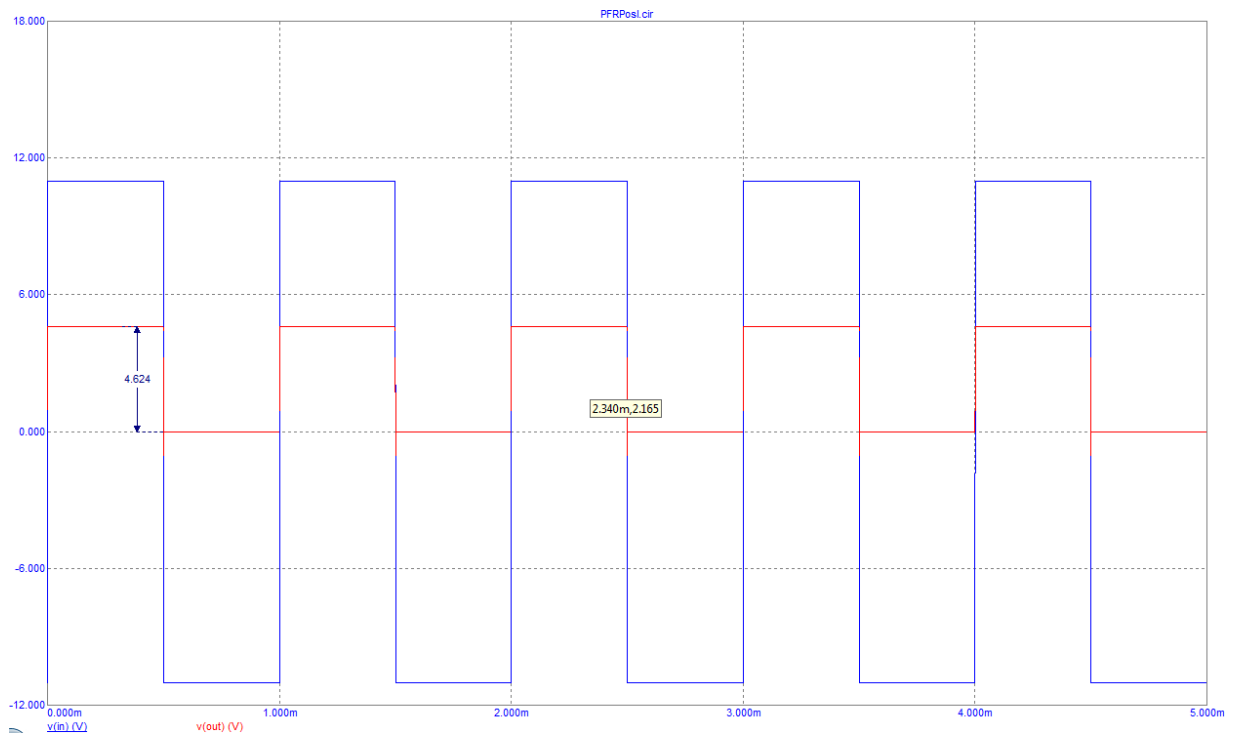


Рисунок 4.37 – Часові діаграми роботи послідовної схеми пристрою формувача рівнів, яку наведено на рисунку 4.36.

Цей пристрій перетворює:

- напругу  $U_{BX} = +U_{HACy}$  напругу  $U_{BIX} = U^1 = U_{VD2.PP} + V1$ ;  
 $U_{BIX} = 0,6 + 4 = 4,6 \text{ В}$ ;
- напругу  $U_{BX} = -U_{HACy}$  напругу  $U_{BIX} = U^0 = I_{0.VD2} \cdot R2$ ,  
 $U_{BIX} = 0,6 \cdot 10^{-6} \cdot 10^5 = 0,06 \text{ В}$ .

де  $I_{0.VD2}$  – зворотний струм насичення закритого діода VD2.

#### 4.2.9 Схема 9. Асинхронний RS–тригер із зовнішнім зміщенням

Нижче наведено приклад асинхронного RS–тригера із зовнішнім зміщенням, яку зібрано у середовищі MicroCap 9: RS\_Triger.cir (рисунк 4.38)

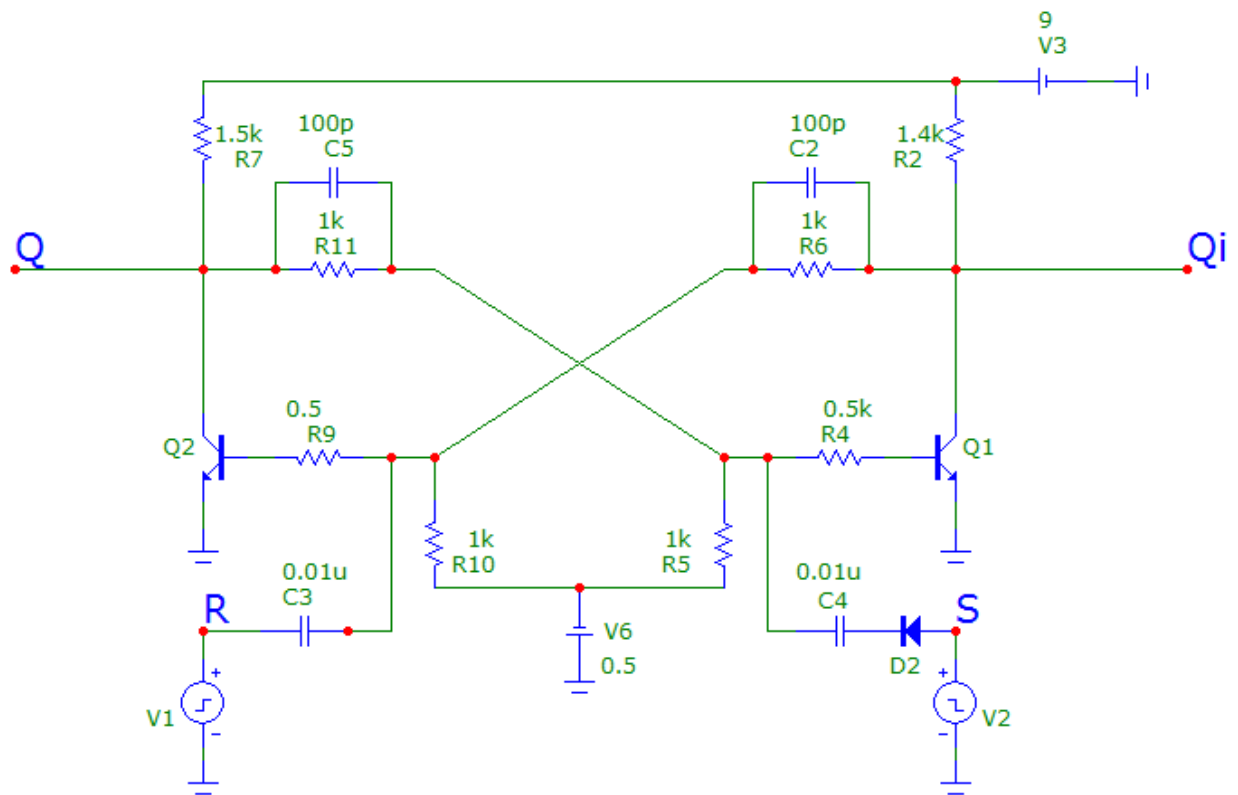


Рисунок 4.38 – Асинхронний RS–тригер із зовнішнім зміщенням

Параметри схеми:

- 1) V3(Battery) = 9;
- 2) V6(Battery) = 0.5;
- 3) C2,C5(Capacitor) = 100p;
- 4) C3,C4(Capacitor) = 0,04u;
- 5) V1(Pulse source SQUARE);
- 6) V2(Pulse source Pulse);
- 7) R6,R11,R5,R10(Resistor) = 1k;
- 8) R9,R4(Resistor) = 0.5k;
- 9) R2(Resistor) = 1.4k;
- 10) R7(Resistor) = 1.5k;
- 11) D2(Diode 1N456);
- 12) Q1,Q2(NPN BC547);

## Результати досліджу:

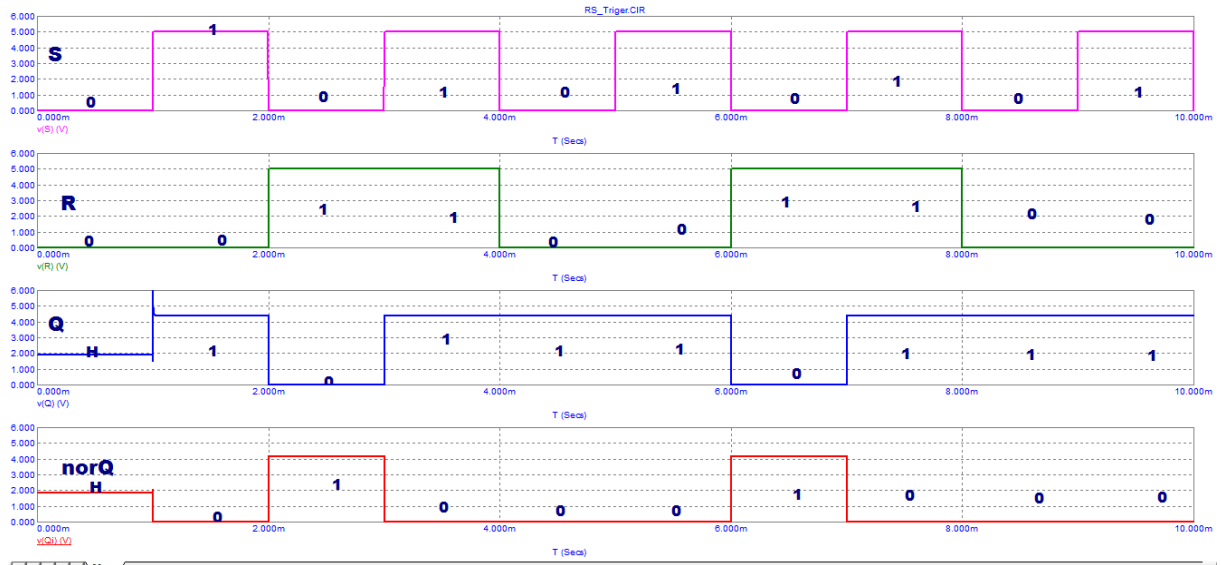


Рисунок 4.39 – Часові діаграми роботи асинхронного RS–тригера із зовнішнім зміщенням.

Як добре видно на часовій діаграмі, при  $S=0$  та  $R=0$ , схема займає стан нестійкої невизначеності; при  $S=1$ ,  $R=0$  – стан  $Q=1$ ,  $\bar{Q} = 0$ , тригер перемкнувся в 1; при  $S=0$ ,  $R=1$  –  $Q=0$ ,  $\bar{Q}=1$ , тригер перемкнувся в 0; при  $S=1$ ,  $R=1$  – забороненій комбінації – виходи тригера інвертуються на основі попередніх значень, що є похибкою моделювання.

### 4.2.10 Схема 10. Тригер з лічильним входом

Нижче наведено приклад тригера із лічильним входом, яку зібрано у середовищі MicroCap 9: T\_Triger.cir (рисунок 4.40)

#### Параметри схеми:

- 1)  $V2(\text{Battery}) = 9$ ;
- 2)  $V3(\text{Battery}) = 0.5$ ;
- 3)  $C1, C2(\text{Capacitor}) = 100\text{p}$ ;
- 4)  $C3, C4(\text{Capacitor}) = 1\text{n}$ ;
- 5)  $V1(\text{Pulse source SQUARE})$ ;
- 6)  $V2(\text{Pulse source Pulse})$ ;
- 7)  $R3, R4, R6, R7(\text{Resistor}) = 1\text{k}$ ;

- 8) R5,R8(Resistor) = 60k;
- 9) R2(Resistor) = 1.6k;
- 10) R1(Resistor) = 1.5k;
- 11) D1,D2(Diode 1N456);
- 12) Q1,Q2(NPN BC547).

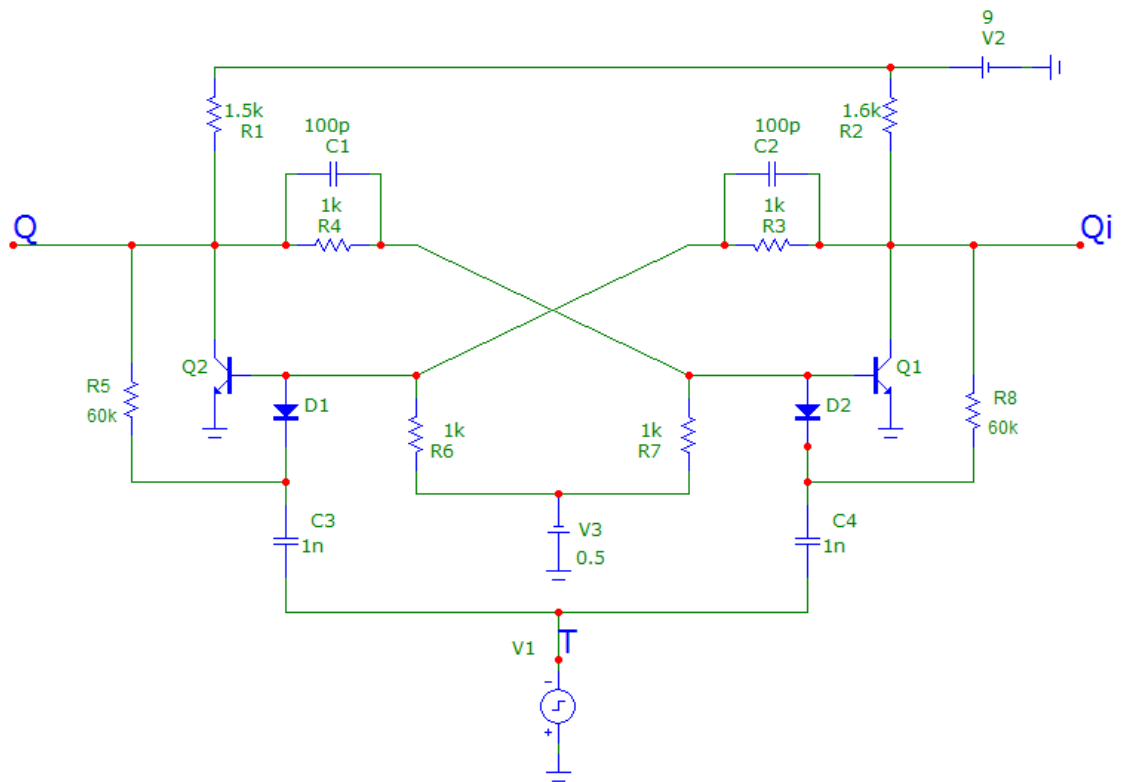


Рисунок 4.40 – Тригер з лічильним входом

### Результати дослідів:

Як видно з рисунку 4.41, тригер змінює свій стан на протилежний при кожному від'ємному імпульсі на вході T, який лічить.

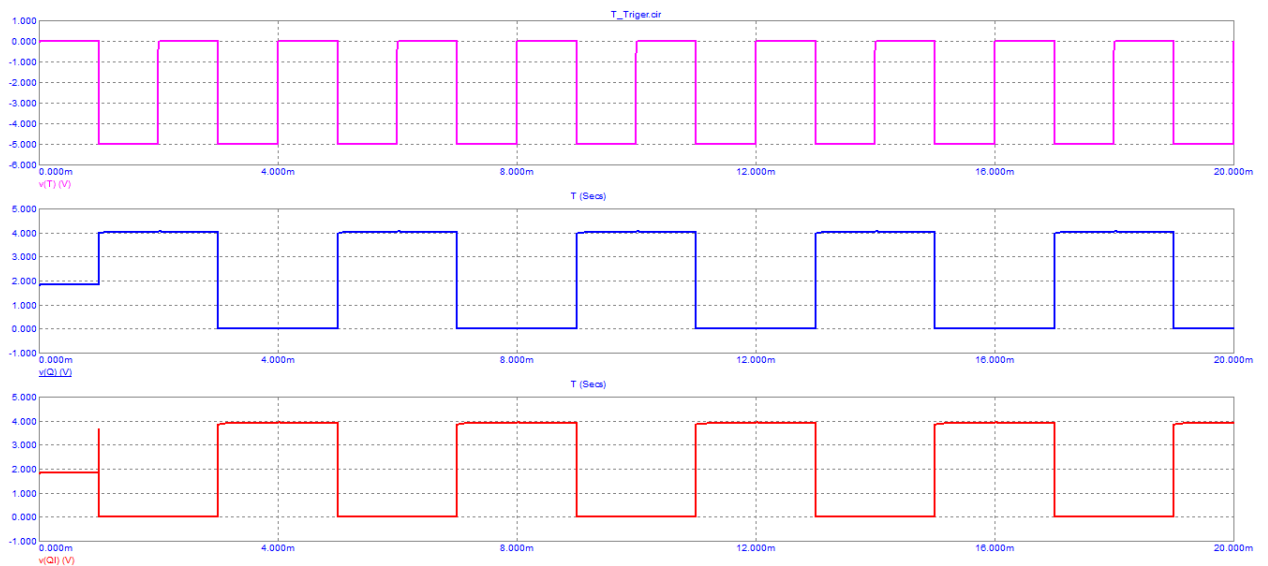


Рисунок 4.41 – Часові діаграми тригера з лічильним входом

### 4.3 Порядок виконання роботи

1) Схема 1. Дослідження перехідних та часових характеристик однополярного АК:

а. Зняти та проаналізувати передатну характеристику для однополярного АК. Приклад характеристики наведений на рисунку 4.20 (внизу);

б. Зняти та проаналізувати залежність вхідної/вихідної та опорної напруг від часу однополярного АК. Приклад характеристики наведений на рисунку 4.20 (вгорі) .

2) Схема 2. Дослідження передатних та часових характеристик однополярного АК при наявності завад:

а. Зняти та проаналізувати передатну характеристику АК. Приклад характеристики наведений на рисунку 4.23;

б. Зняти та проаналізувати залежність вхідної/вихідної та опорної напруг від часу. Приклад характеристики наведений на рисунку 4.24.

3) Схема 3. АК з додатним зворотним зв'язком для порівняння однополярних імпульсів за умови наявності завад (регенеративний АК):

a. Зняти та проаналізувати залежність вхідної/вихідної та опорної напруг від часу. Приклад характеристики наведений на рисунку 4.26.

4) Схема 4. Дослідження перехідних та часових характеристик АК для порівняння різнополярних імпульсів:

a. Зняти та проаналізувати передатну характеристику. Приклад характеристики наведений на рисунку 4.28 (внизу);

b. Зняти та проаналізувати залежність вхідної/вихідної та опорної напруг від часу різнополярного АК. Приклад характеристики наведений на рисунку 4.28 (вгорі).

5) Схеми 5, 6. Дослідження передатних та часових характеристик ТШ на базі ІМСОП із пам'яттю та без:

a. Зібрати схему ТШ з пам'яттю на базі ІМСОП;

b. Зняти та проаналізувати передатну характеристику для ТШ з пам'яттю. Приклад характеристики наведений на рисунку 4.30 (внизу);

c. Зняти та проаналізувати залежність вхідної/вихідної та опорної напруг від часу ТШ з пам'яттю. Приклад характеристик наведений на рисунках 4.30 (вгорі);

d. Зняти та проаналізувати передатну характеристику для ТШ без пам'яті. Приклад характеристики наведений на рисунку 4.33 (внизу);

e. Зняти та проаналізувати залежність вхідної/вихідної та опорної напруг від часу ТШ без пам'яті. Приклад характеристики наведений на рисунку 4.33 (вгорі).

6) Схема 7. Дослідження формувача рівня (паралельна схема):

a. Зняти та проаналізувати залежність вхідної/вихідної напруг від часу формувача рівня. Приклад характеристики наведений на рисунку 4.34.

7) Схема 8. Дослідження формувача рівня (послідовна схема):

a. Зняти та проаналізувати залежність вхідної/вихідної напруг від часу формувача рівня. Приклад характеристики наведений на рисунку 4.36

8) Схема 9. Дослідження асинхронного RS-тригера із зовнішнім зміщенням:

а. Зняти та проаналізувати часові діаграми роботи асинхронного RS-тригера із зовнішнім зміщенням. Приклад діаграм наведений на рисунку 4.39.

9) Схема 9. Дослідження тригера з лічильним входом:

а. Зняти та проаналізувати часові діаграми роботи тригера з лічильним входом. Приклад діаграм наведений на рисунку 4.41.

#### **4.4 Контрольні питання**

1) Який прилад називається тригером? У яких станах може знаходитись тригер? Назвіть способи переключення тригера.

2) Поясніть процес переключення асинхронного симетричного тригера .

3) На які 3 етапи умовно розділяють процес переключення тригера?

4) Опишіть два види запуску (переключення) симетричних тригерів.

5) У який стан встановиться тригер при підключенні до нього напруги живлення?

6) Як змінюється частота імпульсів на виході тригера із лічильним входом?

7) Чим відрізняються синхронний та асинхронний RS – тригери?

8) Назвіть та поясніть умову швидкого переключення тригера під дією керуючих вхідних сигналів.

9) Який тригер називається тригером Шмітта? Назвіть дві групи, на які умовно поділяють тригери Шмітта на ІМС ОП.

10) Зобразіть та поясніть принципову електричну схему тригера Шмітта, що не має пам'яті, на інтегральній мікросхемі операційного підсилювача, а також реальні та ідеальні характеристики операційного підсилювача та самого тригера.



11) Зобразіть принципову електричну схему та передатні характеристики (ідеальну та реальну) тригера Шмітта, що має пам'ять, на інтегральній мікросхемі операційного підсилювача.

12) Який пристрій називається компаратором? Назвіть два види компараторів у залежності від форми представлення порівнюваних сигналів.

13) Опишіть структуру аналогового компаратора.

14) Наведіть принципову електричну схему та часові діаграми аналогового компаратора для порівняння одно—чи двополярних напруг.

15) Яка причина помилкових спрацювань аналогового компаратора та як з нею боротися?

16) Наведіть принципову електричну схему регенеративного аналогового компаратора та назвіть його переваги та недоліки.

17) Яку задачу вирішують пристрої формування рівнів?

18) Наведіть принципові електричні схеми пристроїв формування рівнів та поясніть їх роботу.

## 5 ЛАБОРАТОРНА РОБОТА №5

**Тема:** Дослідження мультивібраторів та генераторів лінійно змінюваної напруги (ГЛЗН).

**Мета:** Дослідити принцип дії, основні властивості та характеристики мультивібраторів та генераторів лінійнозмінюваної напруги (ГЛЗН).

Ознайомитись із основними параметрами та характеристиками цих пристроїв та областю їх застосування.

### 5.1 Короткі теоретичні відомості

#### 5.1.1 Генератори прямокутних імпульсів (мультивібратори)

В імпульсній техніці широко застосовуються генератори прямокутних імпульсів, що відносяться до класу релаксаційних генераторів [1...8, 16...20, 26]. Коливання, у яких повільні зміни чергуються зі стрибкоподібними, називають релаксаційними. Такими коливаннями є, зокрема, прямокутні і пилкоподібні імпульси.

Подібно генераторам синусоїдальних (гармонійних) напруг, релаксаційні перетворюють енергію джерела постійного струму в енергію електричних коливань.

Підсилювальний елемент працює в даному випадку в ключовому режимі, переключаючи конденсатор із зарядження на розрядження і у зворотньому напрямку.

Релаксаційні генератори можуть працювати в автоколивальному та у чекаючому режимах.

Генератор в автоколивальному режимі після включення живлення генерує коливання безперервно (рисунок 5.1, а).

Чекаючий (загальмований) генератор (одновібратор – ОВ) формує на виході одиночний імпульс заданої тривалості при подачі на вхід короткого імпульсу, що запускає (рисунок 5.1, б).

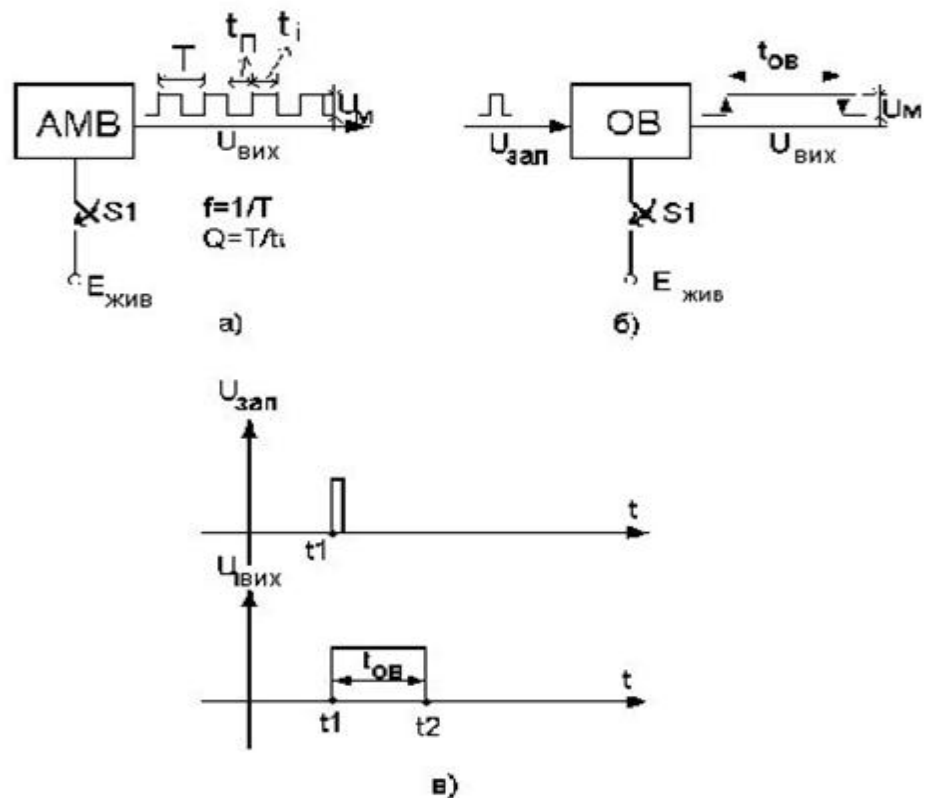


Рисунок 5.1 – Мультивібратори: а) АВМ (автоколебательный);  
б) ОВ (одновибратор); в) часові діаграми роботи ОВ

Генератор прямокутних імпульсів часто називають мультивібратором (МВ), тому що спектр вихідних сигналів містить багато гармонік. МВ застосовується для отримання одиночних імпульсів прямокутної форми і як задаючі генератори різних пристроїв промислової електроніки.

Існує кілька варіантів схемного виконання МВ:

- на дискретних елементах;
- на логічних елементах;
- на інтегральній мікросхемі операційного підсилювача (ІМС ОП);
- у виді спеціалізованої ІМС.

Нижче більш докладно зупинимося на МВ, які виконано на ІМС ОП.

### 5.1.1.1 Мультивібратори на операційних підсилювачах

Робота найпростіших МВ на інтегральних мікросхемах операційних підсилювачів (ІМС ОП) заснована на спільному використанні додатного (ДЗЗ) і від'ємного (ВЗЗ) зворотних зв'язків. При цьому ДЗЗ повинен бути більш сильним (глибоким), ніж ВЗЗ. Ланцюг ДЗЗ забезпечує лавиноподібний перехід МВ з одного стану квазірівноваги у другий, а ланцюг ВЗЗ – для завдання тривалості квазістійких станів (тривалості вихідних імпульсів). На ІМС ОП можуть виконуватися автоколивальні та чекаючі МВ.

#### 5.1.1.1.1 Автоколивальний МВ на ІМС ОП

МВ (рисунок 5.2) є автогенератором і при включенні живлення працює без подачі вхідного сигналу.

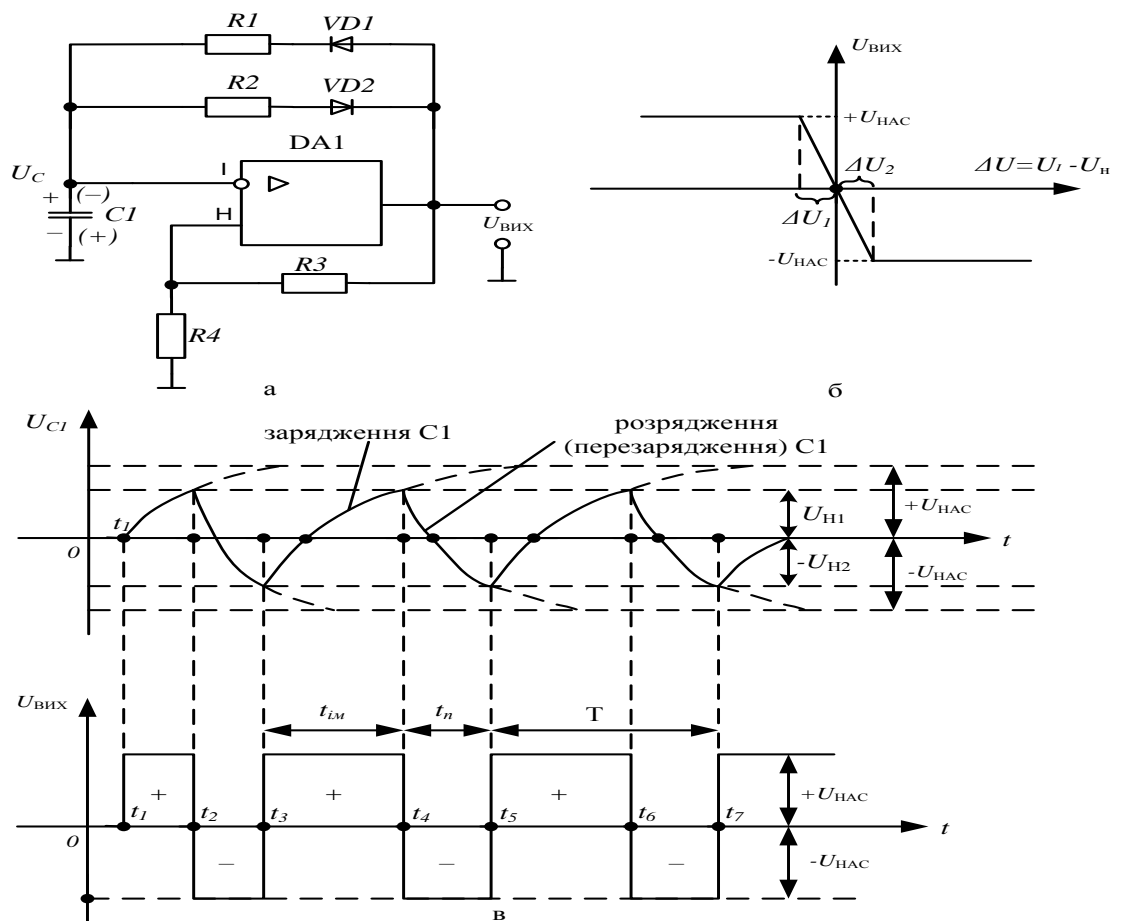


Рисунок 5.2 – Автоколивальний МВ на ІМС ОП: а – схема; б – передатна характеристика ІМС ОП; в – часові діаграми роботи

Конденсатор С та резистори R1, R2 є ВЗЗ і утворюють інтегруючий RC – ланцюг, джерелом вхідної напруги для якого є напруга  $U_{\text{вих}}$  ІМС ОП. Операційний підсилювач у даній схемі працює у нелінійному режимі і його вихідна напруга приймає одне з двох постійних значень:  $+U_{\text{НАС}}$  чи  $(-U_{\text{НАС}})$ , рисунок 5.2, б.

Якщо  $U_{\text{вих}} = +U_{\text{НАС}}$ , відкрито діод VD1 і конденсатор С заряджається через резистор R1. При  $U_{\text{вих}} = -U_{\text{НАС}}$  відкрито діод VD2 і ємність С перезаряджається через R2. На вхід ІМС ОП, що не інвертує, надходить напруга ДЗЗ  $U_{\text{ПР}}(U_{\text{Н}})$ , що знімається з ділянки вихідної напруги, який виконано на резисторах R3, R4.

У залежності від величини вихідної напруги ІМС ОП, напруга  $U_{\text{ПР}}(U_{\text{Н}})$  приймає значення:

$$U_{\text{Н1}} = U_{\text{ПР1}} = \frac{+U_{\text{НАС}} \cdot R4}{R3 + R4}, \quad (5.1)$$

якщо  $U_{\text{ВИХ}} = +U_{\text{НАС}}$ ;

$$U_{\text{Н2}} = U_{\text{ПР2}} = \frac{-U_{\text{НАС}} \cdot R4}{R3 + R4}, \quad (5.2)$$

якщо  $U_{\text{ВИХ}} = -U_{\text{НАС}}$ .

При високому значенні коефіцієнта підсилення напруги ІМС ОП ( $K_{\text{У ІМС ОП}}$ ) величини  $\Delta U1, \Delta U2$  (рисунок 5.2, б) наближаються до нуля.

Тому при  $\Delta U = U_{\text{І}} - U_{\text{Н}} \approx 0$  вихідна напруга підсилювача за рахунок виконання умови виникнення стрибків: балансу фаз (ДЗЗ) і балансу амплітуд швидко (лавиноподібно) змінює своє значення від  $+U_{\text{НАС}}$  до  $-U_{\text{НАС}}$  і навпаки. Отже, під час перезарядження конденсатора ІМС ОП порівнює напруги на інвертуючому (І) і неінвертуючому (Н) входах і при їхній приблизній рівності стрибкоподібно змінює своє вихідне значення.

Розглянемо роботу МВ (рисунок 5.2, в).

При відключеній напрузі живлення підсилювача конденсатор С1 розряджений. При підключенні напруги живлення ІМС ОП ( $t = t_1$ ) за рахунок асиметрії схеми підсилювача і наявності ДЗЗ випадковим чином на виході встановиться значення  $+U_{HAC}$  чи  $-U_{HAC}$ . Припустимо, наприклад, що  $U_{ВИХ} = +U_{HAC}$ . Діод VD1 відкривається, а VD2 – закритий. Конденсатор заряджається цією напругою через резистор R1. Наростаюча за експонентою напруга  $U_{C1}$  зі сталою часу  $\tau_{зар} = R1 \cdot C1$  подається на інвертуючий вхід ІМС ОП. Через ланцюг R3, R4 на неінвертуючий вхід, подається напруга  $U_{H1}$ . У момент  $t = t_2$  напруга  $U_{C1} = U_{H1}$  та відбувається переключення підсилювача і на його виході встановлюється напруга  $U_{ВИХ} = -U_{HAC}$ . Діод VD2 – відкривається, а VD1 – закривається. Через резистор R2 конденсатор С1 перезаряджається напругою:  $-U_{HAC}$  зі сталою часу  $\tau_{пер} = R2 \cdot C1$ .

У момент часу  $t = t_3$  модуль від'ємної напруги  $U_{C1}$  дорівнює модулю від'ємної напруги  $U_{H2}$ . Підсилювач знову переключається і на його виході встановлюється напруга  $+U_{HAC}$ . Далі описаний процес повторюється.

Інтервал  $t_3 \dots t_4$  визначає тривалість вихідного імпульсу МВ ( $t_{im}$ ), а інтервал  $t_4 \dots t_5$  – тривалість паузи ( $t_n$ ).

#### **5.1.1.1.2 Виведення співвідношень, що визначають тривалість**

**імпульсу  $t_{im}$  та паузи  $t_n$  автоколивальних мультівібраторів**

Скористаємося відомостями з дисципліни ТЕМК, що описують роботу пасивного RC – ланцюга (рисунок 5.3).

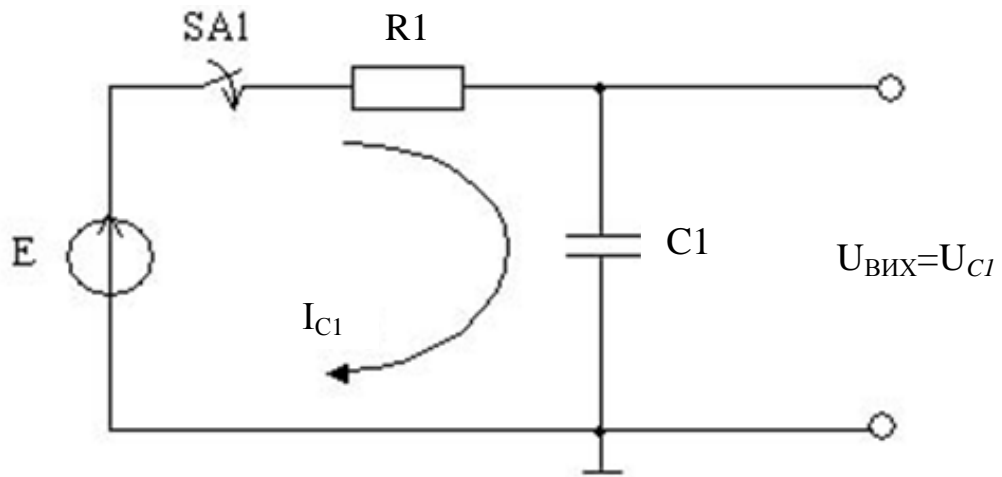


Рисунок 5.3 – Пасивний RC – ланцюг

$$I_{C1} = C1 \cdot \frac{dU_{C1}}{dt},$$

$$R1 \cdot C1 \cdot \frac{dU_{C1}}{dt} + U_{C1} = E. \quad (5.3)$$

Розв'язання останнього диференціального рівняння можна представити у вигляді

$$U_{C1}(t) = E - [E - U_{C1}(0)]e^{-t/\tau_{int}}, \quad (5.4)$$

де  $\tau_{int} = R1 \cdot C1$  – стала часу інтегруючого ланцюга;  $U_c(0)$  – початкова напруга на конденсаторі у момент замикання ключа SA1.

У розглянутій вище схемі МВ (рисунок 5.2) у момент  $t = t_3$  (початок формування імпульсу):

$$U_{C1}(0) = U_{C1}(t_3) = -U_{H2} = \frac{-U_{HAC} \cdot R4}{R3 + R4},$$

$$E = +U_{HAC}, \quad \tau_{int} = R1 \cdot C1. \quad (5.5)$$

У момент закінчення формування імпульсу ( $t = t_4$ )

$$U_{C1}(t_4) = U_{H1} = \frac{U_{HAC} \cdot R4}{R3 + R4}. \quad (5.6)$$

Якщо в рівняння (5.4) замість  $t$  підставити  $t = t_4 - t_3 = t_{im}$ , то  $U_{c1}(t_{im}) = U_{H1}$ , а (5.4) прийме вид:

$$U_{c1}(t_{im}) = U_{H1} = U_{HAC} - [U_{HAC} - (-U_{H2})]e^{-t_{im}/\tau_{im}}. \quad (5.7)$$

Підставимо в (5.7) значення  $U_{H1}$  і  $U_{H2}$  з (5.1), (5.2) отримаємо

$$\frac{U_{HAC} \cdot R4}{R3 + R4} = U_{HAC} - (U_{HAC} + \frac{U_{HAC} \cdot R4}{R3 + R4})e^{-t_{im}/\tau_{im}}. \quad (5.8)$$

Розділивши ліву і праву частини (5.8) на  $U_{HAC}$ , запишемо

$$\begin{aligned} \frac{R4}{R3 + R4} &= 1 - (1 + \frac{R4}{R3 + R4}) \cdot e^{-t_{im}/\tau_{im}}; \\ -\frac{R3}{R3 + R4} &= -\left(\frac{R3 + 2R4}{R3 + R4}\right) \cdot e^{-t_{im}/\tau_{im}}; \\ R3 &= (R3 + 2R4) \cdot e^{-t_{im}/\tau_{im}}; \\ 1 &= (1 + \frac{2R4}{R3}) \cdot e^{-t_{im}/\tau_{im}}; \\ 1 &= (1 + \frac{2R4}{R3}) \cdot \frac{1}{e^{t_{im}/\tau_{im}}}; \\ e^{t_{im}/\tau_{im}} &= (1 + 2R4 / R3). \end{aligned} \quad (5.9)$$

Логарифмуючи ліву і праву частини (5.9) отримаємо вираз для визначення тривалості імпульсу

$$t_{im} = \tau_{im} \cdot \ln (1 + \frac{2R4}{R3}) = R1 \cdot C1 \cdot \ln (1 + \frac{2R4}{R3}). \quad (5.10)$$

Аналогічно виведемо вираз для визначення тривалості паузи

$$t_n = t_5 - t_4.$$

У момент початку формування паузи ( $t = t_4$ )



$$U_{c1}(0) = U_{c1}(t_4) = U_{H1} = \frac{U_{HAC} \cdot R4}{R3 + R4},$$

$$E = -U_{HAC}, \tau_{им} = R2 \cdot C1. \quad (5.11)$$

У момент закінчення формування паузи ( $t = t_5$ )

$$U_{c1}(t_5) = -U_{H2} = -\frac{U_{HAC} \cdot R4}{R3 + R4}. \quad (5.12)$$

Якщо в рівняння (5.4) замість  $t$  підставити  $t = t_5 - t_4 = t_n$ , то  $U_{c1}(t_n) = -U_{H2}$ , а (5.4) прийме вид

$$U_{c1}(t_n) = -U_{H2} = -U_{HAC} - (-U_{HAC} - U_{H1}) \cdot e^{-t_n/\tau_{им}}. \quad (5.13)$$

Підставивши в (5.13) значення  $U_{H1}$  і  $U_{H2}$  з (5.11) і (5.12) отримаємо

$$-\frac{U_{HAC} \cdot R4}{R3 + R4} = -U_{HAC} - (-U_{HAC} - \frac{U_{HAC} \cdot R4}{R3 + R4}) \cdot e^{-t_n/\tau_{им}}. \quad (5.14)$$

Розділивши ліву і праву частини (5.14) на  $U_{HAC}$ , запишемо

$$-\frac{R4}{R3 + R4} = -1 - (-1 - \frac{R4}{R3 + R4}) \cdot e^{-t_n/\tau_{им}};$$

$$-\frac{R4}{R3 + R4} = -1 + (1 + \frac{R4}{R3 + R4}) \cdot e^{-t_n/\tau_{им}};$$

$$-\frac{R4}{R3 + R4} = -1 + (\frac{R3 + 2R4}{R3 + R4}) \cdot e^{-t_n/\tau_{им}};$$

$$1 - \frac{R4}{R3 + R4} = (\frac{R3 + 2R4}{R3 + R4}) \cdot e^{-t_n/\tau_{им}};$$

$$\frac{R3}{R3 + R4} = (\frac{R3 + 2R4}{R3 + R4}) \cdot e^{-t_n/\tau_{им}};$$

$$1 = (1 + \frac{2R4}{R3}) \cdot e^{-t_n/\tau_{им}};$$

$$e^{t_n/\tau_{im}} = (1 + \frac{2R4}{R3}). \quad (5.15)$$

Логарифмуючи ліву і праву частини (5.15) отримаємо вираз для визначення тривалості паузи:

$$t_n = \tau_{im} \cdot \ln (1 + \frac{2R4}{R3}) = R2 \cdot C1 \cdot \ln (1 + \frac{2R4}{R3}). \quad (5.16)$$

Період слідування вихідних імпульсів

$$T = t_{im} + t_n = (R1 + R2) \cdot C1 \cdot \ln (1 + \frac{2R4}{R3}), \quad (5.17)$$

а шпаруватість

$$Q = \frac{T}{t_{im}} = \frac{R1 + R2}{R1}. \quad (5.18)$$

З виразів (5.10; 5.16...5.18) видно, що значення  $t_{im}$ ,  $t_n$ ,  $T$ ,  $Q$  не залежать від параметрів ІМС ОП, якщо останні близькі до ідеальних.

Отже, стабільність частоти  $F$  і шпаруватості  $Q$  вихідних імпульсів МВ визначається стабільністю параметрів резисторів і конденсатора.

В реальних схемах МВ на ІМС ОП потрібно враховувати те, що  $+U_{HAC} \neq |-U_{HAC}|$ ; на виході підсилювача є напруга зсуву нуля; стрибкоподібна зміна вихідного сигналу відбувається не при нульовій різниці напруг між входами ІМС ОП, а трошки раніше і т. ін.

Усе це дещо знижує стабільність параметрів схеми.

#### 5.1.1.1.3 Регулювання параметрів схеми

Для регулювання частоти слідування вихідних імпульсів при незмінній шпаруватості варто змінювати співвідношення резисторів  $R3$ ,  $R4$ . Наприклад, якщо  $R3 = \text{const}$ , а  $R4$  збільшується, то частота  $F$  зменшується (див. підрозділ 5.1.1.1.2).

Для регулювання шпаруватості вихідних імпульсів при незмінній частоті можна скористатися схемою, яка зображена на рисунку 5.4, а.

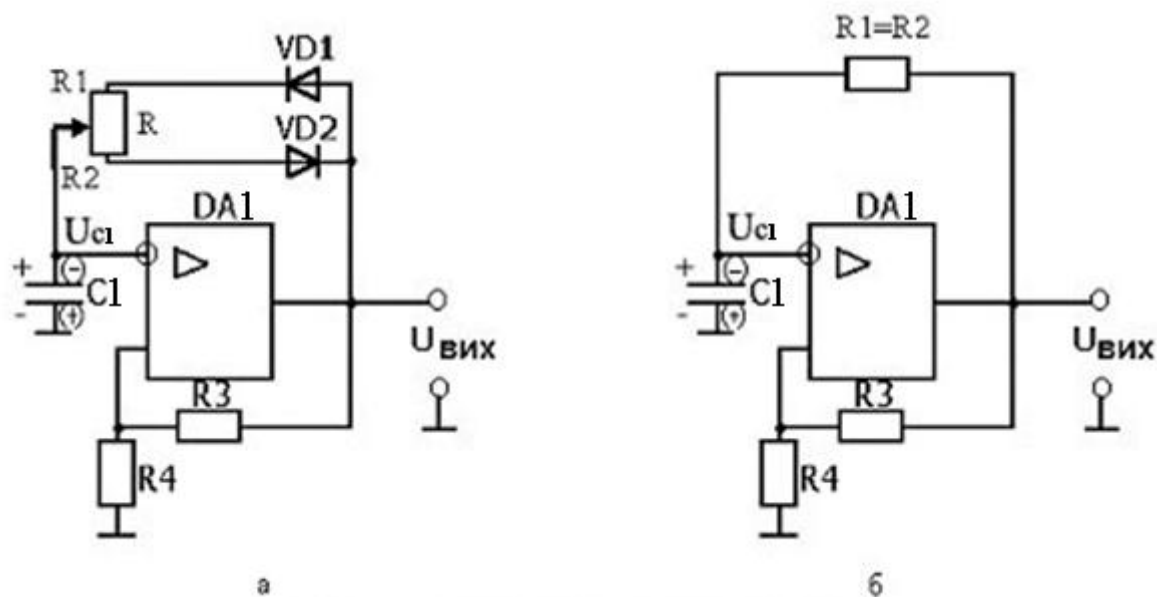


Рисунок 5.4 – Автоколивальний МВ на ІМС ОП: а – з резистором для регулювання шпаруватості; б – зі шпаруватістю  $Q=2$

Пересуванням повзуна змінного резистора  $R$  змінюється значення резистора  $R1$ , що впливає на шпаруватість  $Q$ , а сума  $R1+R2=R=\text{const}$ , тобто період  $T$  і частота не змінюються (див. підрозділ 5.1.1.1.2).

Для формування на виході розглянутого МВ послідовності імпульсів зі шпаруватістю  $Q=2$  значення резисторів у ланцюзі ВЗЗ повинні бути однакові ( $R1=R2$ ). У цьому випадку діоди  $VD1$ ,  $VD2$  не потрібні і схема МВ має вид, приведений на рисунку 5.4, б.

#### 5.1.1.1.4 Чекаючий МВ на ІМС ОП

МВ, приведений на рисунку 5.5, а, називається чекаючим і формує на виході одиночний прямокутний імпульс заданої тривалості при надходженні на вхід схеми короткого запускаючого імпульсу.

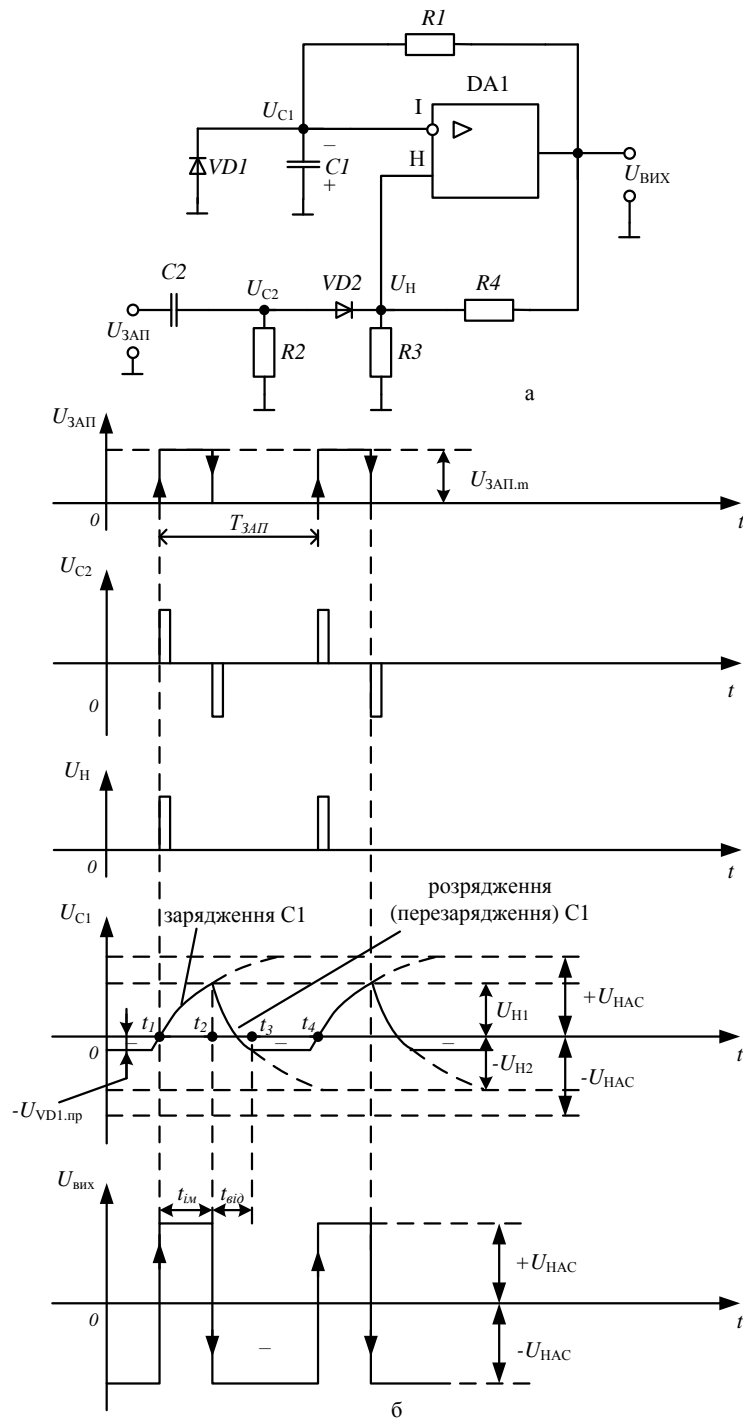


Рисунок 5.5 – Чекаючий МВ на ІМС ОП (одновібратор):

а – схема; б – часові діаграми роботи

При включенні напруги живлення та відсутності вхідного запускаючого імпульсу, на виході схеми встановлюється напруга  $U_{вих} = -U_{HAC}$ . Діод  $VD1$  – відкритий і напруга на конденсаторі  $U_C = U_{VD1,пр}$ .

Такий стан схеми є стійким. На рисунку 5.5, б приведені часові діаграми роботи пристрою при надходженні на його вхід запускаючих імпульсів.

У початковому стані  $U_{ЗАП} = 0$ ;  $U_{ВИХ} = -U_{НАС}$ ;  $U_I = -U_{VD1.ПП} = -U_{C1}$ . VD2 – відкритий, тому напруга на неінвертуючому вході:

$$U_{H2} = U_{ПП2} = -U_{НАС} \cdot \frac{\frac{R2 \cdot R3}{R2 + R3}}{R4 + \frac{R2 \cdot R3}{R2 + R3}}. \quad (5.19)$$

При надходженні вхідного додатного запускаючого імпульсу, амплітудою  $U_{ЗАП.m} > |U_{ПП2}|$  потенціал неінвертуючого входу ІМС ОП стає додатним. За рахунок дії ДЗЗ (резистори R3, R4) схема швидко (лавиноподібно) змінює свій стан і вихідна напруга стає рівною  $+U_{НАС}$ .

Діод VD2 закритий, а напруга на неінвертуючому вході:

$$U_{H1} = U_{ПП1} = U_{НАС} \cdot \frac{R3}{R3 + R4}. \quad (5.20)$$

Конденсатор C1 заряджається. Коли напруга на ньому досягне значення  $U_{H1}$ , схема швидко переключиться (повернеться) у початковий стан ( $U_{ВИХ} = -U_{НАС}$ ).

Ємність C1 перезаряджається. Коли від'ємна напруга на конденсаторі за модулем стає більше, ніж  $|U_{VD1.ПП}|$ , діод VD1 відкривається, шунтує C1 і його подальше перезарядження припиняється. Напруга на конденсаторі фіксується на рівні  $U_{C1} = -U_{VD.ПП}$  (частки вольт). Цієї напруги не достатньо, щоб схема знов переключилася у стан  $+U_{НАС}$  на виході. Таким чином, у відповідь на подачу вхідного короткого запускаючого імпульсу, на виході МВ формується одиночний імпульс, тривалістю  $t_{ім} = t_2 - t_1$ .

Час перезарядження ємності  $C1$  від величини  $+U_{H1}$  до  $-U_{VD1.ПР}$  називається часом відновлення  $t_{від} = t_3 - t_2$ .

Ланцюжок  $C2, R2$  (рисунок 5.5, а) є диференціюючим. Діод  $VD2$  виконує функцію вентиля.

Період зовнішніх запускаючих імпульсів,  $T_{зап}$  повинний бути більше  $(t_{ім} + t_{від})$ .

$$T_{зап} \geq (t_{ім} + t_{від}). \quad (5.21)$$

#### 5.1.1.1.5 Виведення виразів, що визначають тривалість вихідного імпульсу $t_{ім}$ і часу відновлення $t_{від}$ чекаючих мультівібраторів

При виведенні виразів для визначення  $t_{ім}$  та  $t_{від}$  скористаємося відомостями з дисципліни ТЕМК, наведеними у підрозділі 5.1.1.1.2.

##### **Визначення $t_{ім}$**

У момент часу  $t = t_1$  (початок формування вихідного імпульсу) вихідна напруга

$$U_{вих} = E = +U_{HAC}; U_{C1}(0) = U_{C1}(t_1) = -U_{VD1.ПР} \approx 0; \tau_{им} = R1 \cdot C1.$$

У момент закінчення формування вихідного імпульсу  $(t = t_2)$

$$U_{C1}(t_2) = \frac{+U_{HAC} \cdot R4}{R3 + R4}.$$

Якщо в рівняння (5.4) замість  $t$  підставити  $t = t_2 - t_1 = t_{ім}$ , то це рівняння буде мати вигляд

$$U_{C1}(t_{ім}) = U_{H1} = U_{HAC} - (U_{HAC} - 0) \cdot e^{-t_{ім}/\tau_{им}}. \quad (5.22)$$

Підставивши в (5.22) значення  $U_{H1}$  з (5.20) отримаємо

$$\frac{U_{HAC} \cdot R3}{R3 + R4} = U_{HAC} - (U_{HAC} - 0) \cdot e^{-t_{im}/\tau_{im}}. \quad (5.23)$$

Розділивши ліву і праву частини (5.23) на  $U_{HAC}$ , запишемо

$$\begin{aligned} \frac{R3}{R3 + R4} &= 1 - e^{-t_{im}/\tau_{im}}; \\ e^{-t_{im}/\tau_{im}} &= 1 - \frac{R3}{R3 + R4} = \frac{R4}{R3 + R4}; \\ e^{t_{im}/\tau_{im}} &= \frac{R3 + R4}{R4} = 1 + \frac{R3}{R4}. \end{aligned} \quad (5.24)$$

Прологарифмувавши ліву і праву частини (5.24) отримаємо вираз для визначення тривалості імпульсу

$$t_{im} = \tau_{im} \cdot \ln \left( 1 + \frac{R3}{R4} \right) = R1 \cdot C1 \cdot \ln \left( 1 + \frac{R3}{R4} \right). \quad (5.25)$$

**Визначення  $t_{від}$**

У момент часу  $t = t_2$  (початок часу відновлення)

$$U_{ВНХ} = E = -U_{HAC}; U_{C1}(0) = U_{H1} = \frac{U_{HAC} \cdot R3}{R3 + R4}; \tau_{im} = R1 \cdot C1.$$

Наприкінці часу відновлення  $(t = t_3)$  напруга на ємності  $U_{C1}(t_3) = -U_{VD1.ПП} \approx 0$ .

Якщо в рівняння (5.4) замість  $t$  підставити  $t = t_3 - t_2 = t_{від}$ , то це рівняння буде мати вигляд

$$U_{C1}(t_{від}) = 0 = -U_{HAC} - \left[ -U_{HAC} - \frac{U_{HAC} \cdot R3}{R3 + R4} \right] \cdot e^{-t_{від}/\tau_{im}}. \quad (5.26)$$

Розділивши ліву і праву частини (5.27) на  $U_{\text{НАС}}$ , запишемо

$$\begin{aligned} 0 &= -1 + \left[ 1 + \frac{R3}{R3 + R4} \right] \cdot e^{-t_{\text{від}}/\tau_{\text{им}}} ; \\ 1 &= \left( \frac{2R3 + R4}{R3 + R4} \right) \cdot e^{-t_{\text{від}}/\tau_{\text{им}}} ; \\ e^{t_{\text{від}}/\tau_{\text{им}}} &= \left( \frac{2R3 + R4}{R3 + R4} \right) ; \end{aligned} \quad (5.27)$$

Прологарифмувавши ліву і праву частини (5.27) отримаємо вираз для визначення часу відновлення

$$t_{\text{від}} = R1 \cdot C1 \cdot \ln \left( \frac{2R3 + R4}{R3 + R4} \right). \quad (5.28)$$

Регулювання тривалості імпульсу одновібратора  $t_{\text{им}}$  можуть здійснюватися такими способами:

- змінням  $R1$  чи  $C1$  (останнє звичайно не застосовується, тому що конденсатор зі змінною ємністю має великі габарити і масу), при цьому змінюється швидкість зарядження конденсатора  $C1$ ;

- зміною співвідношення  $R3$ ,  $R4$ . При цьому змінюється напруга спрацьовування компаратора  $U_{\text{Н1}}$ , а разом з ним і час, під час якого напруга на конденсаторі наростає до величини  $U_{\text{Н1}}$ .

При використанні одновібратора не слід забувати, що схеми з ДЗЗ мають низьку завадостійкість. У вихідному стані напруга на прямому вході ІМС ОП  $U_{\text{пп}} = U_{\text{Н2}}$  повинна бути набагато більше рівня завад. Природно, що й амплітуда вхідного сигналу при цьому повинна бути великою, щоб забезпечити переключення компаратора на початку стадії формування імпульсу.



### 5.1.2 Генератори лінійно змінюваної напруги

Генератори лінійно змінюваної напруги (ГЛЗН) формують на виході напругу, форма якої нагадує зуби пилки (рисунок 5.6). Тому ці генератори часто називають генераторами пилкоподібної напруги (ГПН). Фронт і зріз вихідного сигналу ГЛЗН (ГПН) змінюється за законом, близьким до лінійного.

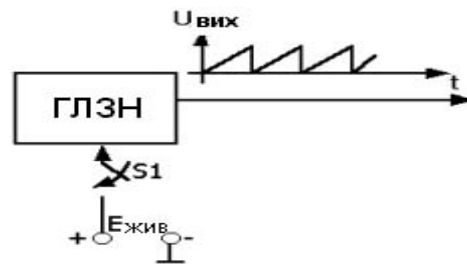


Рисунок 5.6 – Сигнал на виході автоколивального ГЛЗН

Для створення лінійної (чи близької до лінійної) залежності напруги від часу часто використовують зарядження (чи розрядження) конденсатора постійним струмом. Найпростіша схема ГЛЗН приведена на рисунку 5.7, а, часова діаграма – на рисунку 5.7, б.

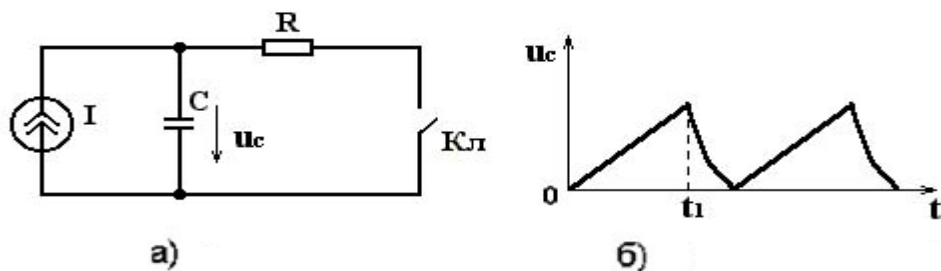


Рисунок 5.7 – Найпростіша схема для формування лінійно змінюваної напруги

При розімкненому ключі  $K_{\text{л}}$  конденсатор  $C$  заряджається від джерела постійного струму  $I$  і напруга на ньому наростає:

$$U_c = \frac{1}{C} \int_0^t I dt + U_c(0) = \frac{I t}{C} + U_c(0), \quad (5.29)$$

де  $t = 0$  – момент початку зарядження.

У момент  $t = t_1$  замикається ключ Кл і конденсатор експоненціально розряджається через ключ і резистор R, що введений у схему для обмеження розрядного струму. Після розрядження конденсатора до напруги  $U_c(0) = 0$  ключ Кл може бути розімкнутим, тоді почнеться знову процес формування напруги, що лінійно наростає.

Відомі чисельні варіанти реалізації схеми, яку приведено на рисунку 5.7, що відрізняються способами побудови джерела струму  $I$  та ключового елемента [1...8, 16...20, 26].

#### 5.1.2.1 ГЛЗН на біполярному транзисторі

На рисунку 5.8 приведені схема і часові діаграми роботи найпростішого ГЛЗН на біполярному транзисторі (БТ) типу n–p–n.

У початковому стані  $U_{KEP} = 0$ . Додатною напругою, що знімається з подільника напруги:  $+E_K(R_{B1}, R_{B2})$ , транзистор VT1 відкритий.

Конденсатор C1 майже цілком розряджений, а з виходу схеми знімається невелика напруга  $U_{C1} = U_{ВИХ} = U_{KE.H}$ .

У момент часу  $t = t_1$  на вхід схеми подається від'ємний імпульс, що закриває транзистор VT1. Конденсатор C1 заряджається за ланцюжком:  $+E_K; R_K; C1; GND$  (земля).

У момент часу  $t = t_2$  вхідний імпульс закінчується, знову  $U_{KEP} = 0$  і VT1 – відкривається. Конденсатор C1 розряджається через відкритий транзистор до напруги  $U_{KE.H}$ , за величиною близькою до нуля.

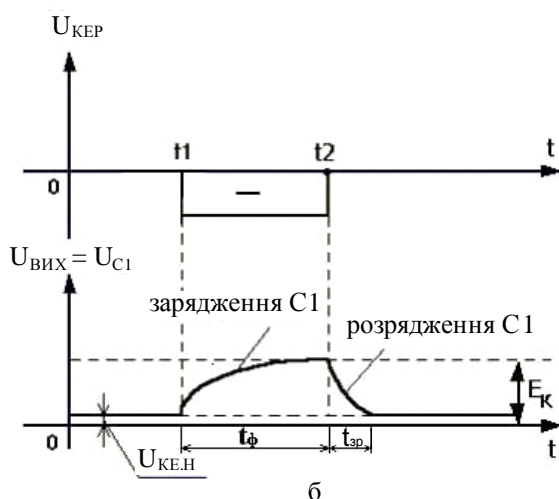
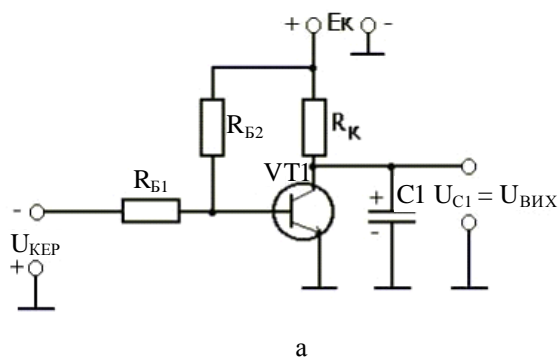


Рисунок 5.8 – Найпростіший ГНЗЛ із зовнішнім запуском на БТ:

а – схема; б – часові діаграми роботи

З виходу знімається експоненціальний імпульс, що лише в першому наближенні можна вважати лінійним. Тривалість фронту цього імпульсу значно більша тривалості зрізу ( $t_{\phi} \gg t_{зр}$ ), тому що стала зарядження  $C1$  значно більша сталої розрядження ( $\tau_{зар} \gg \tau_{розр}$ ).

Великі техніко–економічні переваги мають схеми ГНЗЛ, які побудовані на ІМС. Серед них широке поширення отримали схеми на ІМС ОП.

#### 5.1.2.2 ГЛЗН на ІМС ОП

ГЛЗН на ІМС ОП поділяються на два види:

- із зовнішнім запуском;
- автоколивальні.

### 5.1.2.2.1 Генератори напруги, що змінюється лінійно, на інтегральній мікросхемі операційного підсилювача із зовнішнім запуском

Схема ГНЗЛ на ІМС ОП із зовнішнім запуском (рисунок 5.9, а) містить аналоговий компаратор (АК) і активний інтегратор (АІ).

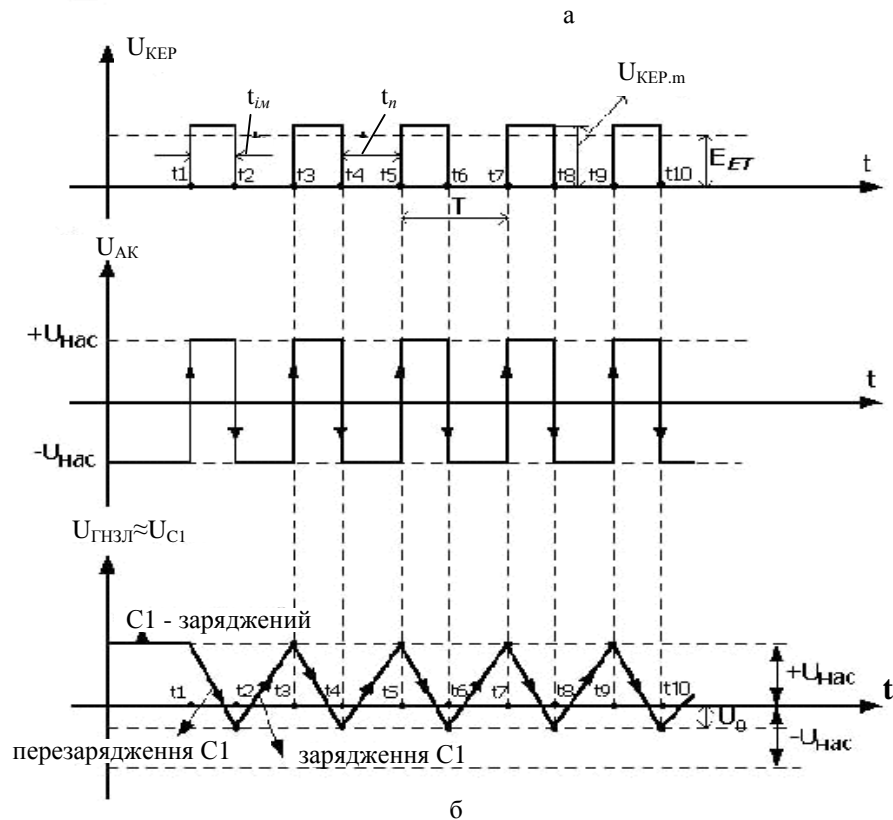
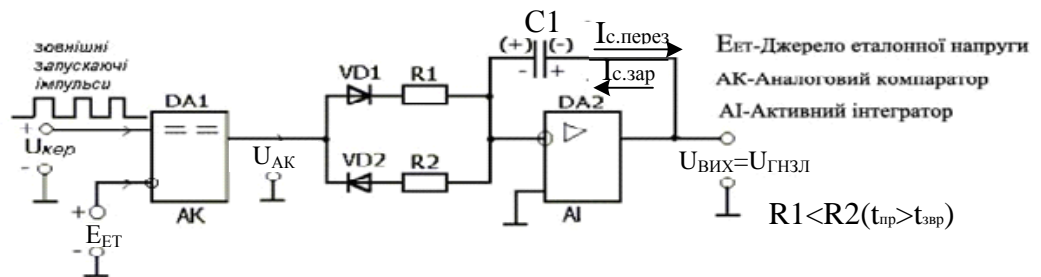


Рисунок 5.9 – Чекаючий ГНЗЛ: а – схема; б – часові діаграми роботи

Зовнішні імпульси, що запускають, подаються на неінвертуючий вхід АК, який виконано на ІМС ОП (DA1). На інвертуючому вході АК постійно присутня додатна (еталонна) напруга  $+E_{\text{ЕТ}} = \text{const}$ .

Коли запускаючий імпульс відсутній, то  $U_{AK} = -U_{HAC}$ . При надходженні на вхід компаратора керуючого імпульсу, з амплітудою  $U_{KEP.m} > U_{ET}$  напруга на виході АК стрибком переключається і приймає значення  $U_{AK} = +U_{HAC}$ .

Таким чином, на вхід активного інтегратора, виконаного на ІМС ОП (DA2), надходять різнополярні імпульси, що знімаються з виходу АК.

Коли  $U_{AK} = +U_{HAC}$ , то діод VD1 – відкритий, а VD2 – закритий і інтегруючий ланцюг утворюють резистор R1 і конденсатор C1, включений у ланцюг від’ємного зворотного зв’язку (B33) мікросхеми DA2.

Якщо  $U_{AK} = -U_{HAC}$ , то VD1 – закритий, VD2 – відкритий і до інтегруючого ланцюга входять резистор R2 і конденсатор C1.

Відомо, що при подачі на вхід АІ стрибка постійної напруги, його вихідний сигнал змінюється за законом, близьким до лінійного:

$$U_{ВИХ} = -\frac{1}{RC} \int_0^t U_{ВХ} dt + U_{ВИХ}(0) = -\frac{U_{ВХ} \cdot t}{RC} + U_{ВИХ}(0), \quad (5.30)$$

де  $RC = \tau_{int}$  – стала часу АІ;

$U_{ВХ}$  – значення постійної вхідної напруги;  $U_{ВИХ}(0)$  – початкове значення постійного вихідного сигналу в момент подачі стрибка на вході.

#### 5.1.2.2.2 Виведення основних розрахункових співвідношень

У початковому стані  $U_{KEP} = 0$ ;  $U_{AK} = -U_{HAC}$ ;  $U_{ВИХ} = U_{ГНЗЛ} = +U_{HAC}$ , конденсатор C1 заряджений за ланцюжком:

$$U_{ВИХ} = +U_{HAC}; C1; R2; VD2; GND.$$

Якщо  $U_{KEP} \neq 0$ ;  $t = t_1$ ;  $U_{KEP} > 0$  (на вході – імпульс), то  $U_{AK} = +U_{HAC}$ .

Конденсатор C1 перезаряджається (розряджається) за ланцюжком:

$+U_{HAC}; VD1; R1; C1; GND$ . Вихідна напруга змінюється за лінійним законом:

$$U_{ГНЗЛ} = -\frac{1}{R1 \cdot C1} \int_0^t U_{HAC} dt + U_{ВИХ}(0), \quad (5.31)$$

де  $U_{ВИХ}(0) = +U_{HAC}$ . Тоді

$$U_{ГНЗЛ} = -\frac{U_{HAC} \cdot t_{iM}}{R1 \cdot C1} + U_{HAC} = U_0, \quad (5.32)$$

де  $U_0$  – напруга, до якого ємність  $C1$  перезарядиться за час вхідного імпульсу ( $t_{iM}$ ) (рисунок 5.9, б).

Якщо  $U_{КЕР} = 0$  ( $t = t_2$ ), то  $U_{AK} = -U_{HAC}$ . Конденсатор  $C1$  заряджається за ланцюжком:  $U_{ВИХ}; C1; R2; VD2; GND$ .

Вихідна напруга змінюється за лінійним законом:

$$U_{ГНЗЛ} = \frac{1}{R2 \cdot C1} \int_0^t U_{HAC} dt + U_{ВИХ}(0), \quad (5.33)$$

де  $U_{ВИХ}(0) = U_0$ . Тоді

$$U_{ГНЗЛ} = \frac{U_{HAC} \cdot t_{II}}{R2 \cdot C1} + U_0. \quad (5.34)$$

#### 5.1.2.2.3 Умова нормальної роботи схеми

Для нормального функціонування описаної схеми необхідно, щоб зміна напруги на конденсаторі (вихідної напруги) за час вхідного керуючого імпульсу ( $\Delta U_{C.розр}$ ) дорівнювала зміні напруги на конденсаторі (вихідної напруги) за час паузи вхідного сигналу ( $\Delta U_{C.зар}$ )

$$\Delta U_{C.розр} (\Delta t = t_{iM}) = \Delta U_{C.зар} (\Delta t = t_{II}). \quad (5.35)$$

Якщо ввести поняття крутизни (швидкості зміни) вихідного сигналу

$$S = \frac{dU_{ГНЗЛ}}{dt}, \quad (5.36)$$

то вираз (5.35) можна записати у виді

$$\left. \begin{aligned} -t_{im} \cdot S_{спад} &= t_{п} \cdot S_{нар}; \\ -t_{im} \left( -\frac{U_{НАС}}{R1 \cdot C1} \right) &= t_{п} \cdot \frac{U_{НАС}}{R2 \cdot C1}. \end{aligned} \right\} \quad (5.37)$$

Звідкіля отримаємо умову нормального функціонування схеми

$$\frac{t_{im}}{t_{п}} = \frac{R1}{R2}. \quad (5.38)$$

#### 5.1.2.2.4 Два основних варіанти співвідношення параметрів схеми ГЛЗН і вхідних керуючих імпульсів

Якщо забезпечити виконання співвідношень

$$t_{im} = R1 \cdot C1; \quad t_{п} = R2 \cdot C1, \quad (5.39)$$

то з виразу 5.32 одержимо

$$U_{ГНЗЛ} = -\frac{U_{НАС} \cdot R1 \cdot C1}{R1 \cdot C1} + U_{НАС} = U_0 = 0. \quad (5.40)$$

Підставивши  $t_{п} = R2 \cdot C1$  і  $U_0 = 0$  у (5.34), одержимо:

$$U_{ГНЗЛ} = \frac{U_{НАС} \cdot R2 \cdot C1}{R2 \cdot C1} + 0 = U_{НАС}. \quad (5.41)$$

Форма зміни вихідного сигналу в цьому випадку приведена на рисунку 5.10.

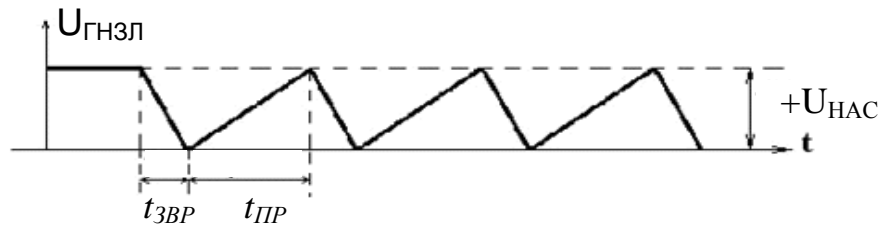


Рисунок 5.10 – Форма зміни вихідного сигналу при

$$t_{iM} = R1 \cdot C1; \quad t_{II} = R2 \cdot C1$$

На рисунку 5.10 прийняті позначення:

$t_{ПР}$  – тривалість наростаючої ділянки пилки (прямого ходу);

$t_{ЗВР}$  – тривалість спадаючої ділянки пилки (зворотного ходу).

Очевидно, що якщо  $t_{ПР} = t_{II}$ , а  $t_{ЗВР} = t_{iM}$ , то  $R2 > R1$ , тому що  $t_{ПР}(t_{II}) > t_{ЗВР}(t_{iM})$ .

Якщо забезпечити виконання співвідношень

$$t_{iM} = 2R1 \cdot C1; \quad t_{II} = 2R2 \cdot C1, \quad (5.42)$$

то з виразу 5.32 отримаємо

$$U_{ГНЗЛ} = -\frac{U_{НАС} \cdot 2R1 \cdot C1}{R1 \cdot C1} + U_{НАС} = -U_{НАС} = U_0. \quad (5.43)$$

Підставивши  $t_{II} = 2R2 \cdot C1$  і  $U_0 = -U_{НАС}$  у (5.34), отримаємо

$$U_{ГНЗЛ} = \frac{U_{НАС} \cdot 2R2 \cdot C1}{R2 \cdot C1} - U_{НАС} = U_{НАС}. \quad (5.44)$$

Форма зміни вихідного сигналу в цьому випадку приведена на рисунку 5.11.



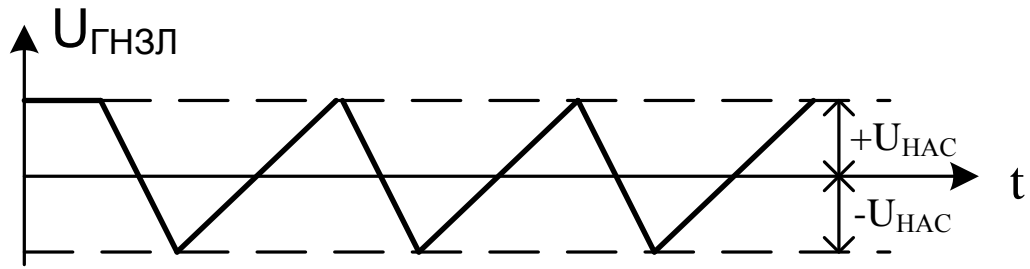


Рисунок 5.11 – Форма зміни вихідного сигналу при

$$t_{IM} = 2R1 \cdot C1; \quad t_{II} = 2R2 \cdot C1$$

#### 5.1.2.2.5 Генератори напруги, що змінюється лінійно, із зовнішнім запуском і стабілітронами у ланцюзі від'ємного зворотного зв'язку

З огляду на можливу нестабільність крутизни і тривалості  $t_{im}$  і  $t_n$ , орієнтуватися на виконання умови (5.38) у схемі (рисунок 5.9, а) не реально.

У практичних схемах максимальне і мінімальне значення напруги  $U_{ГНЗЛ}$  обмежуються. У схемі на рисунку 5.12, а для обмеження  $U_{ГНЗЛ}$  введені стабілітрони  $VD3$  і  $VD4$ .

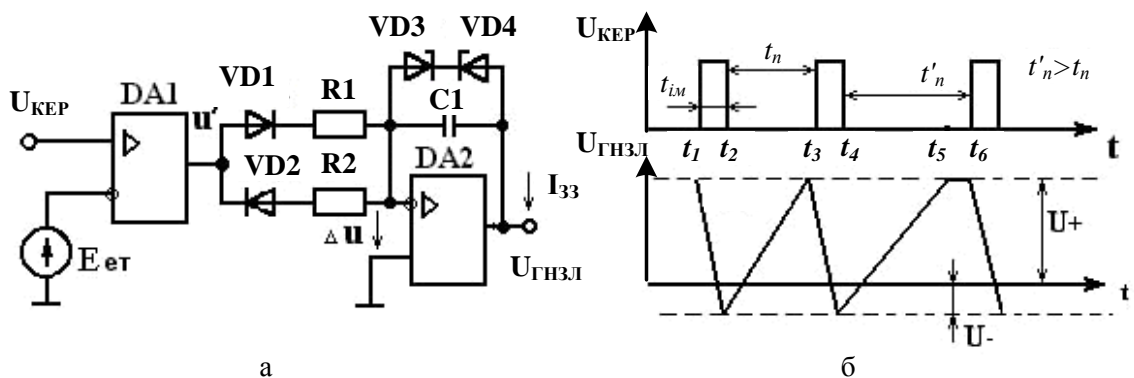


Рисунок 5.12 – ГНЗЛ з зовнішнім запуском і стабілітронами в ланцюзі ВЗЗ:

а – схема; б – часові діаграми роботи

Як показано раніше, напруга між входами ОП інтегратора  $\Delta U \approx 0$ .

При  $0 < U_{ГНЗЛ} < U_+$  на стабілітроні  $VD4$  діє пряма напруга ( $U_{VD4} > 0$ ), а

стабілітрон  $VD3$  зміщений у зворотному напрямку і через ланцюг стабілітронів проходить малий струм  $I_0 \approx 0$ . Таким чином, стабілітрони в цьому випадку практично не впливають на процес зарядження конденсатора.

При досягненні  $U_{ГНЗЛ} = U_+ = |U_{CT.VD3}|$  ( $U_{CT.VD3}$  – напруга стабілізації  $VD3$ , який працює в режимі електричного пробою), зарядження конденсатора  $C1$  припиняється і струм  $I_{33} = U' / R2$  переходить з конденсатора на ланцюжок стабілітронів. Таким чином, напруга  $U_{ГНЗЛ}$  зверху обмежена значенням  $U_+$ . Аналогічно знизу напруга  $U_{ГНЗЛ}$  обмежена значенням

$$U_- = |U_{CT.VD4}|, \text{ де } U_{CT.VD4} \text{ – напруга стабілізації } VD4.$$

На рисунку 5.12, б показана робота стабілітронного обмежувача в момент  $t_5$ . Інтервал паузи  $t_4 \dots t_6$  заданий досить великим ( $t'_n > t_n$ ), тому в момент  $t_5$  напруга ГНЗЛ досягає значення  $U_+$  і до моменту  $t = t_6$  утримується на цьому рівні. З приходом чергового імпульсу  $U_{КЕР}$  починається процес формування спаду  $U_{ГНЗЛ}$ .

#### 5.1.2.2.6 Автоколивальний ГЛЗН на ІМС ОП

Крім ГЛЗН із зовнішнім керуванням часто застосовуються ГЛЗН, що працюють в автоколивальному (автогенераторному) режимі, тобто без керуючого сигналу (рисунк 5.13). Ця схема відрізняється від розглянутої вище ГЛЗН (рисунк 5.9) наявністю ланцюга зворотного зв'язку (ЗЗ), що зв'язує прямий (неінвертуючий) вхід компаратора з виходами компаратора та інтегратора.

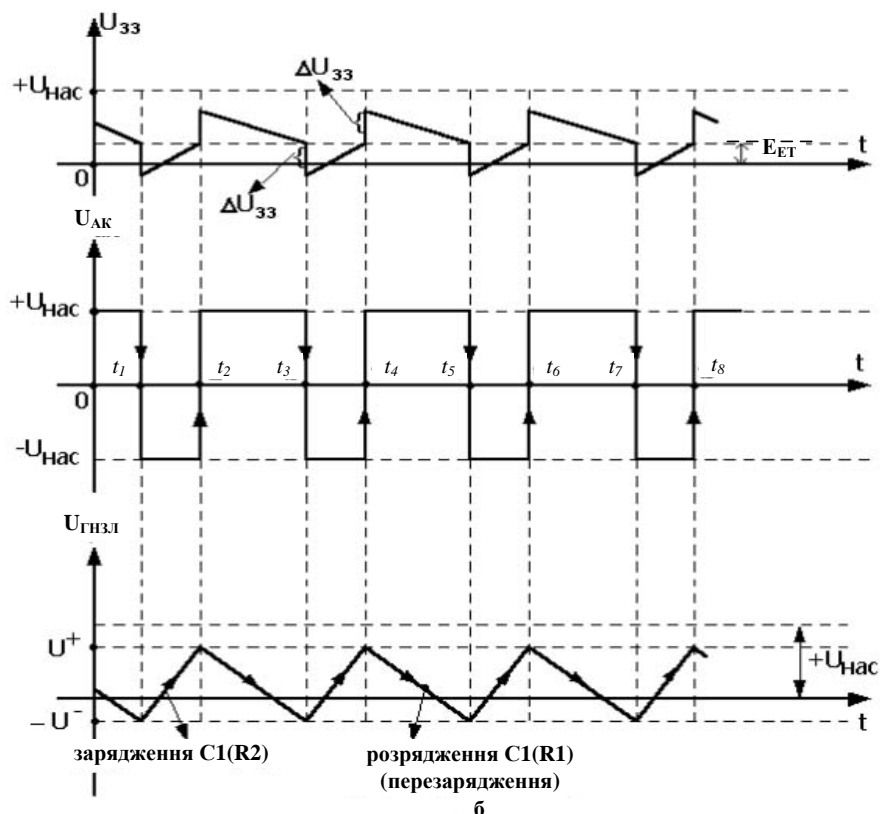
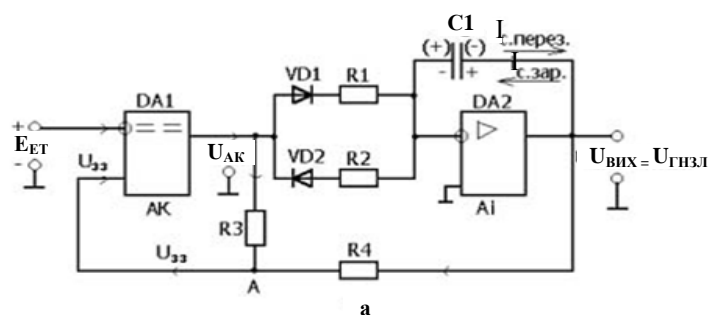


Рисунок 5.13 – Автоколивальний ГНЗЛ: а – схема;  
б – часові діаграми роботи

Напруга зворотного зв'язку  $U_{33}$  порівнюється з еталонною напругою  $E_{ET}$ , що подається на інвертуючий вхід АК. Спрацьовування компаратора відбувається, коли  $U_{33} \approx E_{ET}$  (рисунок 5.13, б). При цьому на виході АК з'являється стрибок напруги, рівний  $2U_{НАС}$ , що приводить до стрибка напруги на прямому вході АК:

$$\Delta U_{33} = \frac{2U_{НАС} \cdot R4}{R3 + R4}. \quad (5.45)$$

Оскільки напруга  $U_{33}$  залежить від двох сигналів:  $U_{AK}$  і  $U_{ВНХ} = U_{ГНЗЛ}$ , то її значення може бути визначене за методом суперпозиції (накладення):

$$U_{33} = \frac{U_{AK} \cdot R4}{R3 + R4} + \frac{U_{ГНЗЛ} \cdot R3}{R3 + R4}. \quad (5.46)$$

#### 5.1.2.2.7 Виведення основних розрахункових співвідношень автоколивального генератора напруги, що змінюється лінійно, на інтегральній мікросхемі операційного підсилювача

У момент часу  $t = t_2$  (рисунок 5.13) наприкінці зарядження  $C1$  до переключення компаратора  $U_{AK} = -U_{HAC}$ , а  $U_{ГНЗЛ} = U^+$ . З огляду на те, що в момент переключення  $U_{33} \approx E_{ET}$ , а також скориставшись виразом (5.46) запишемо

$$U_{33}(t_2) = -\frac{U_{HAC} \cdot R4}{R3 + R4} + U^+ \cdot \frac{R3}{R3 + R4} = E_{ET}. \quad (5.47)$$

У момент часу  $t = t_3$  наприкінці перезарядження  $C1$  до переключення компаратора  $U_{AK} = +U_{HAC}$ ,  $U_{ГНЗЛ} = -U^-$ . З огляду на те, що в момент переключення  $U_{33} \approx E_{ET}$ , а також скориставшись виразом (5.46) запишемо

$$U_{33}(t_3) = \frac{U_{HAC} \cdot R4}{R3 + R4} - U^- \cdot \frac{R3}{R3 + R4} = E_{ET}. \quad (5.48)$$

#### 5.1.2.2.8 Вплив параметрів схеми на форму вихідного сигналу

Припустимо, що необхідно сформувати вихідну напругу за формою, що представлена на рисунку 5.14.

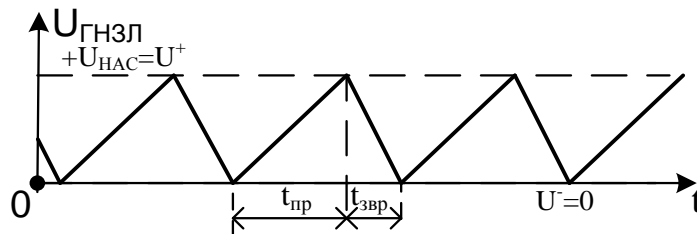


Рисунок 5.14 – Напруга на виході ГНЗЛ, у якого  $U^- = 0$ , а  $U^+ = +U_{\text{нас}}$

Напруга на виході такого ГНЗЛ змінюється від  $U^- = 0$  до  $U^+ = +U_{\text{нас}}$ .

Якщо у вираз 5.48 підставити  $U^- = 0$ , то отримаємо:

$$\frac{U_{\text{нас}} \cdot R4}{R3 + R4} = E_{\text{ЕТ}}. \quad (5.49)$$

Якщо у вираз 5.47 підставити  $E_{\text{ЕТ}}$  з (5.49), то отримаємо

$$\frac{U_{\text{нас}} \cdot R4}{R3 + R4} = -\frac{U_{\text{нас}} \cdot R4}{R3 + R4} + \frac{U^+ \cdot R3}{R3 + R4}, \quad (5.50)$$

звідки

$$U^+ = \frac{2U_{\text{нас}} \cdot R4}{R3}. \quad (5.51)$$

Якщо  $R3 = 2R4$ , то  $U^+ = +U_{\text{нас}}$ , а  $U^- = 0$ , тобто вихідна напруга має вид, представлений на рисунку 5.14.

#### 5.1.2.2.9 Зв'язок параметрів вихідного сигналу генератора

напруги, що змінюється лінійно:  $t_{\text{пр}}$ ,  $t_{\text{звр}}$  зі значеннями резисторів  $R1$ ,  $R2$

Аналогічно чекаючому ГНЗЛ, розглянутому вище, величина зміни вихідної напруги в процесі розрядження конденсатора в автоколивальному ГНЗЛ (рисунок 5.13) дорівнює зміні  $U_{\text{ГНЗЛ}}$  у процесі зарядження  $CI$

$$-S_{\text{спаду}} \cdot t_{\text{звр}} = S_{\text{нар}} \cdot t_{\text{пр}}. \quad (5.52)$$

При розрядженні  $CI$  на вхід АІ подається напруга  $+U_{\text{нас}}$ . Тоді

$$U_{ГНЗЛ} = -\frac{1}{R1 \cdot C1} \int_0^t U_{НАС} dt + U^+$$

Крутизна на падаючій ділянці

$$S_{спаду} = \frac{dU_{ГНЗЛ}}{dt} = -\frac{U_{НАС}}{R1 \cdot C1} \quad (5.53)$$

При зарядженні C1 на вхід АІ надходить напруга  $-U_{НАС}$ .

Тоді

$$U_{ГНЗЛ} = -\frac{1}{R2 \cdot C1} \int_0^t (-U_{НАС}) dt - U^-$$

Крутизна на наростаючій ділянці

$$S_{нар} = \frac{dU_{ГНЗЛ}}{dt} = \frac{U_{НАС}}{R2 \cdot C1} \quad (5.54)$$

Підставивши (5.53), (5.54) у (5.52) отримаємо

$$-\left(-\frac{U_{НАС}}{R1 \cdot C1}\right) \cdot t_{ЗВР} = \frac{U_{НАС}}{R2 \cdot C1} \cdot t_{ПР} \quad (5.55)$$

звідки

$$\frac{t_{ПР}}{t_{ЗВР}} = \frac{R2}{R1} \quad (5.56)$$

#### 5.1.2.2.10 Застосування ГЛЗН

Схема, яка приведена на рисунку 5.9 може бути використана також і як мультівібратор. У цьому випадку вихідна напруга знімається з виходу компаратора.

ГНЗЛ широко застосовується в техніці. На їхній основі будуються системи розгортки електронно–променевих трубок. ГНЗЛ використовуються в широтно–імпульсних тиристорних перетворювачах і т. ін.

Дуже велику роль у сучасній техніці відіграють перетворювачі різних фізичних величин в електричні сигнали, наприклад перетворювачі напруги в часовий інтервал, у число імпульсів, у зсув за фазою.

Як приклад подібних пристроїв розглянемо імпульсний пристрій, структурна схема якого приведена на рисунку 5.15, а; а часові діаграми роботи приведені на рисунку 5.15, б.

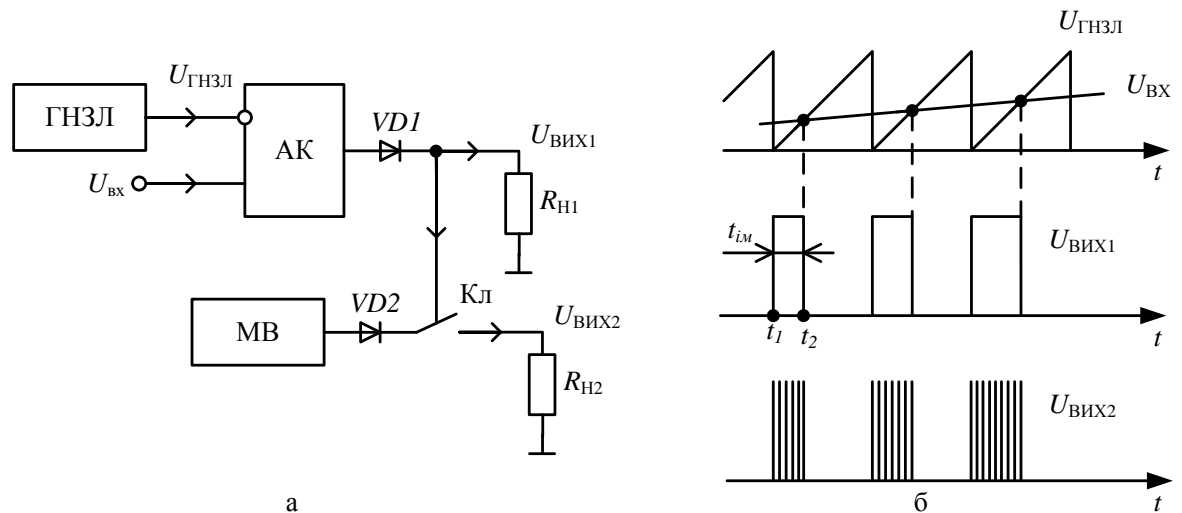


Рисунок 5.15 – Перетворювач напруги в ширину та число імпульсів:

а – структурна схема; б – часові діаграми роботи

Пристрій складається з ГНЗЛ, зв'язаного з інвертуючим входом компаратора АК, на другий вхід якого подається вхідний (перетворюваний) сигнал  $U_{ВХ}$ . Вихід компаратора через діод VD1 зв'язаний з першим виходом схеми ( $R_{H1}$ ) і з керуючим ланцюгом ключа Кл, що підключає мультивібратор МВ до другого виходу  $R_{H2}$ .

Компаратор АК фіксує рівність  $U_{ГНЗЛ}(t) = U_{ВХ}(t)$ . У момент  $t_2$  (рисунок 5.15, б)  $U_{ГНЗЛ} = S_H(t_2 - t_1) = U_{ВХ}$ , де  $(t_2 - t_1) = t_{ім}$ ,  $S_H$  – крутість наростаючої ділянки  $U_{ГНЗЛ}$ , звідси  $t_{ім} = U_{ВХ} / S_H$ .

При переключеннях компаратора на його виході формуються прямокутні імпульси, тривалість яких прямо пропорційна поточному значенню  $U_{BX}$ . При  $U_{ВІХ1} > 0$  замикається ключ Кл і в навантаження  $R_{H2}$  надходить пачка імпульсів з виходу мультивібратора, число яких прямо пропорційне тривалості  $t_{ім}$  і, отже, напрузі  $U_{BX}$ . Таким чином, пристрій є перетворювачем напруги в ширину та число імпульсів.

## 5.2 Моделювання окремих пристроїв

### 5.2.1 Схема 1. Автоколивальний мультивібратор. Базова схема

Нижче наведено приклад схеми автоколивального мультивібратора, яку зібрано у середовищі MicroCap 9: MULTI\_AV.cir (рисунок 5.16).

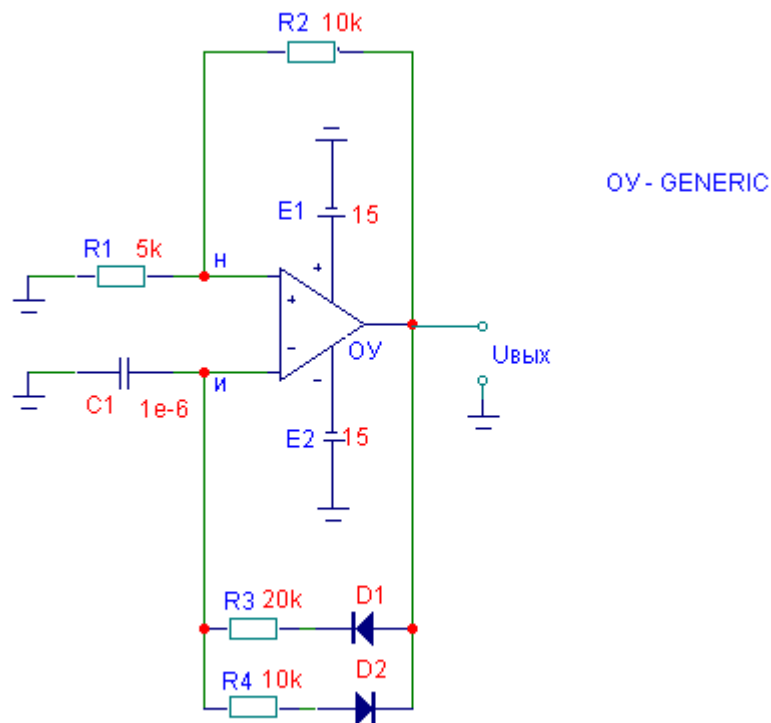


Рисунок 5.16 – Схема автоколивального мультивібратора

Параметри схеми:

- 1) R1 (Resistor): Value = 5k [Om];



- 2) R2 (Resistor): Value = 10k [Om];
- 3) R3 (Resistor): Value = 20k [Om];
- 4) R4 (Resistor): Value = 10k [Om];
- 5) C1 (Capacitor): Value = <номер бригади> [uF];
- 6) X1 (Opamp): Model = \$GENERIC;
- 7) E1 (Battery): Value = 15 [V];
- 8) E2 (Battery): Value = -15 [V];
- 9) D1 (Diode): Model = \$GENERIC;
- 10) D2 (Diode): Model = \$GENERIC.

На рисунку 5.16 зображена схема автоколивального мультивібратора, що формує послідовності імпульсів зі змінюваною шпаруватістю:  $Q = T / t_{IM}$ , де  $T$  – період, а  $t_{IM}$  – тривалість вихідних імпульсів.

### Результат дослід:

На рисунку 5.17 зображено часові діаграми роботи цієї схеми.

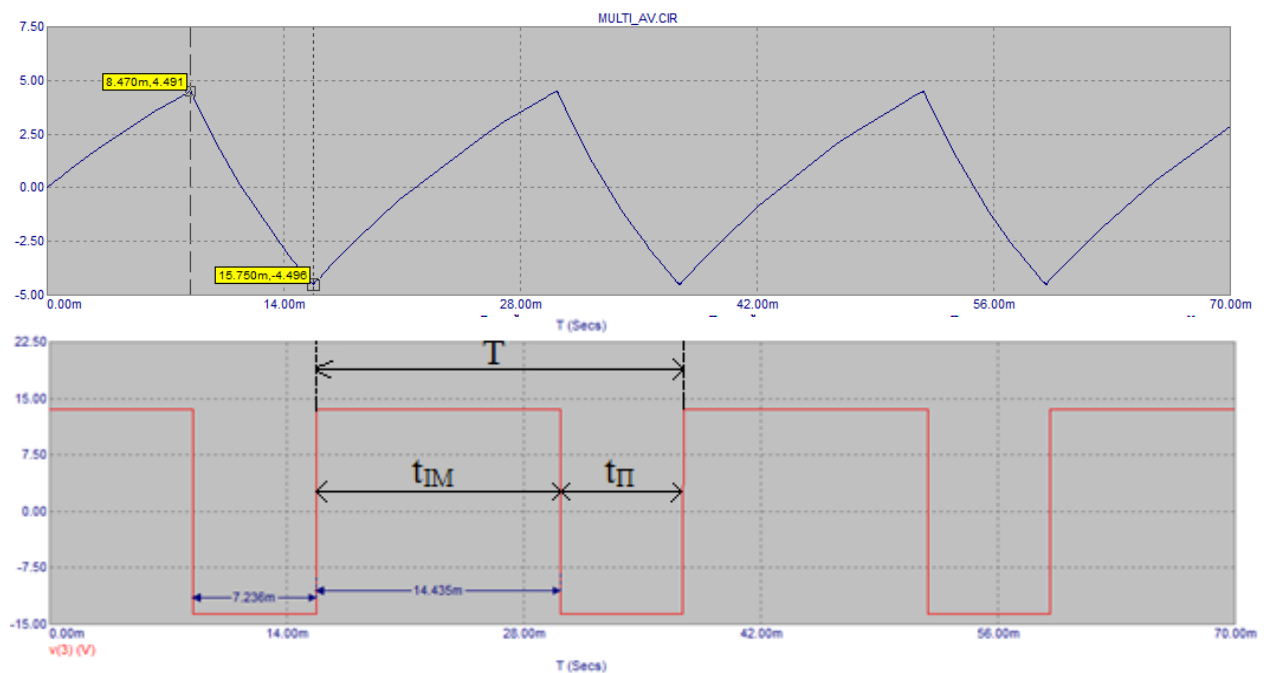


Рисунок 5.17 – Часові діаграми роботи схеми, яку наведено на рисунку 5.16

Шпаруватість імпульсів в цьому прикладі:  $Q < 2$ .

Роботу даної схеми та вивід основних розрахункових формул наведено в 5.1.1.1.1 та 5.1.1.1.2. Згідно цих формул отримаємо:

$$U_{n1} = \frac{U_{нас}}{R1 + R2} R1 = \frac{13,6}{5 + 10} * 5 = 4,53B,$$

$$U_{n2} = \frac{-U_{нас}}{R1 + R2} R1 = \frac{-13,6}{5 + 10} * 5 = -4,53B.$$

Тривалість додатного та від'ємного імпульсів залежить від швидкості заряду конденсатора і від значення напруги  $U_n$ :

$$t_{IM} = f(R_3, C_1, U_{n2}) = f(R_3, C_1, R_1, R_2) = R_3 \cdot C_1 \cdot \ln(1 + 2 \frac{R_1}{R_2});$$

$$t_{П} = f(R_4, C_1, U_{n1}) = f(R_4, C_1, R_1, R_2) = R_4 \cdot C_1 \cdot \ln(1 + 2 \frac{R_1}{R_2}).$$

$$t_{IM} = 20 * 10^3 * 10^{-6} * \ln(1 + 2 * \frac{5}{10}) = 13.863 \text{ мс},$$

$$t_{П} = 10 * 10^3 * 10^{-6} * \ln(1 + 2 * \frac{5}{10}) = 6.931 \text{ мс}.$$

Згідно цих розрахунків та результатів моделювання, які наведено на рисунку 5.17, можемо зробити висновок, що враховуючі похибку MicroCap, схема мультивібратора виконує свої функції.

З цих формул видно, що розглянута схема дозволяє змінювати шпаруватість вихідних імпульсів.

### **5.2.2 Схема 2. Автоколивальний мультивібратор зі шпаруватістю два**

Нижче наведено приклад схеми автоколивального мультивібратора зі шпаруватістю два, яку зібрано у середовищі MicroCap 9: MULTI\_OY.cir (рисунок 5.18).

Параметри схеми:

- 1) R1 (Resistor): Value = 5k [Om];
- 2) R2 (Resistor): Value = 10k [Om];
- 3) R3 (Resistor): Value = 10k [Om];
- 4) C1 (Capacitor): Value = <номер бригади> [uF];

- 5) X1 (Opamp): Model = \$GENERIC;
- 6) E1 (Battery): Value = 15 [V];
- 7) E2 (Battery): Value = 15 [V].

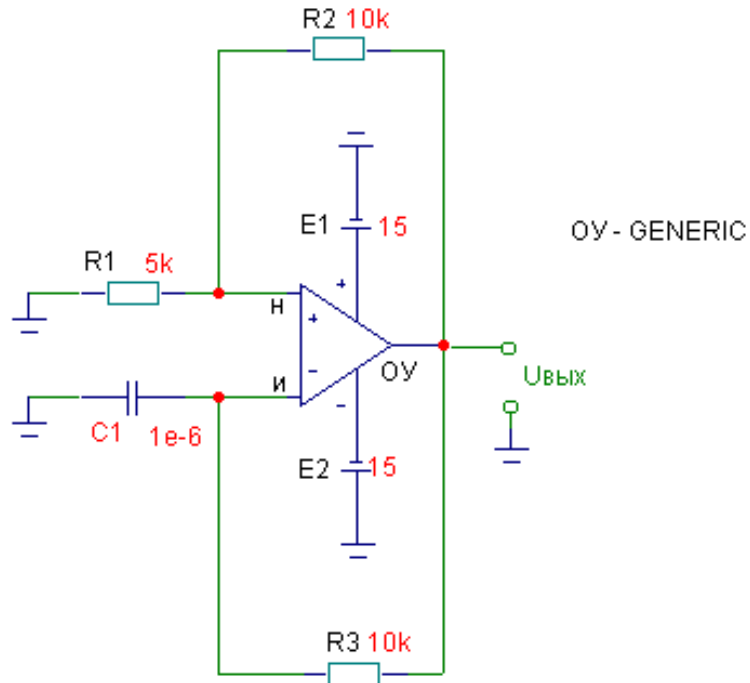


Рисунок 5.18 – Схема автоколивального мультивібратора зі шпаруватістю 2

Ця схема є окремим випадком схеми 1 і принцип її дії в загальному є таким же. Відмінність полягає в тому, що тут зникли діоди, а два опори R3 і R4 замінені одним. Ці зміни призвели до абсолютної ідентичності кіл заряду і перезаряду конденсатора C1, а також до однакової тривалості від'ємних і додатних імпульсів. Таким чином даний мультивібратор здатний генерувати послідовності лише однією шпаруватості – два.

Аналогічно автоколивальному мультивібратору обчислимо очікувані значення  $U_{n1}$ ,  $U_{n2}$  та  $t_{im} = t_n$ :

$$U_{n1} = \frac{U_{нас}}{R1 + R2} R1 = \frac{13,6}{5 + 10} * 5 = 4,53B,$$

$$U_{n2} = \frac{-U_{нас}}{R1 + R2} R1 = \frac{-13,6}{5 + 10} * 5 = -4,53B,$$

$$t_{im} = t_{II} = \tau_{inh} \cdot \ln \left( 1 + \frac{2R1}{R2} \right) = R3 \cdot C1 \cdot \ln \left( 1 + \frac{2R1}{R2} \right).$$

$$t_{im} = t_{II} = R3 \cdot C1 \cdot \ln \left( 1 + \frac{2R1}{R2} \right) = 10 \cdot 10^3 \cdot 10^{-6} \cdot \ln \left( 1 + \frac{2 \cdot 5}{10} \right) = 6,931 \text{ мс.}$$

### Результат дослід:

На рисунку 5.19 зображено часові діаграми роботи цієї схеми.

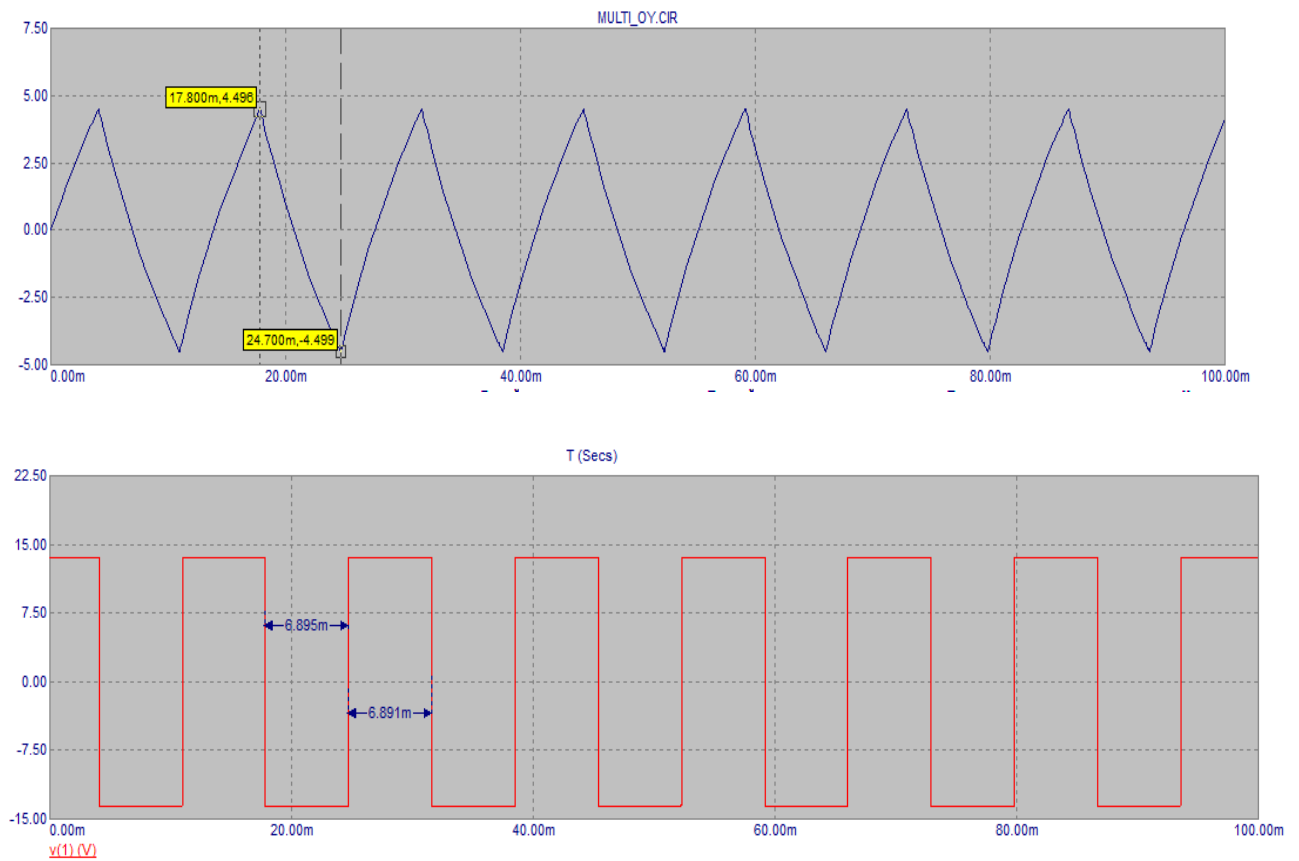


Рисунок 5.19 – Часові діаграми роботи схеми, яку наведено на рисунку 5.18

### 5.2.3 Схема 3. Чекаючий мультивібратор

Нижче наведено приклад схеми чекаючого мультивібратора, яку зібрано у середовищі MicroCap 9: MULTI\_ST.cir (рисунок 5.20).

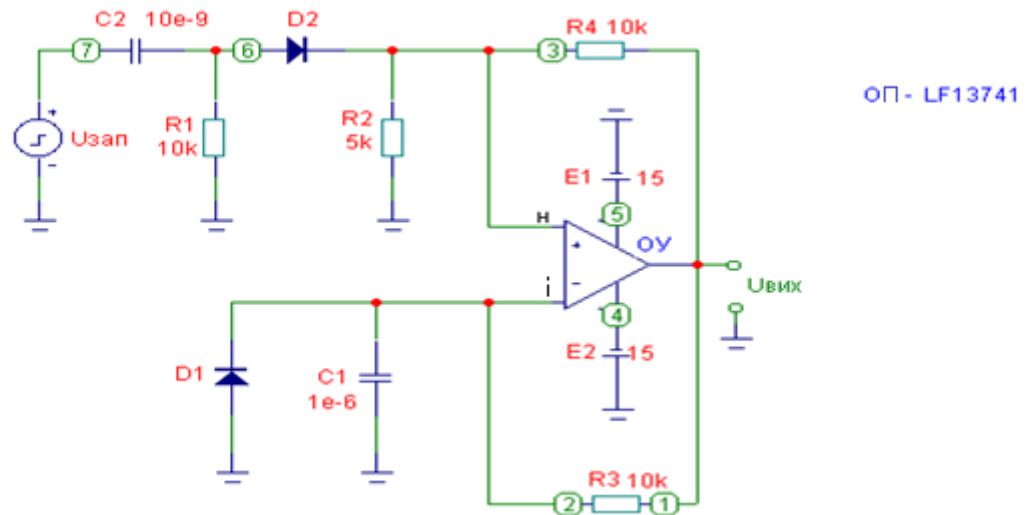


Рисунок 5.20 – Схема чекаючого мультивібратора

Параметри схеми:

- 1)  $U_{3АП}$  (Pulsesource): Model = PULSE; VONE = 5 [V]; VZERO = 0 [V].
- 2) Параметри P1, P2, P3, P4, P5 розрахувати в залежності від номеру бригади так, щоб довжина прямокутного імпульсу дорівнювала  $t_i = 10 \text{ [мс]} = 10\text{m [sec]}$ , а період дорівнював  $T = 10\text{мс} + \text{<номер бригади>} * 10\text{мс} = 10\text{m} + \text{<номер бригади>} * 10\text{m [sec]}$ ; Приклад: Номер бригади = 3  $\rightarrow$  P1 = 30m; P2 = 30.01m; P3 = 30.09m; P4 = 30.1m; P5 = 40m;
- 3) C1 (Capacitor): Value = <номер бригади> \* 10 [nF];
- 4) C2 (Capacitor): Value = <номер бригади>[uF];
- 5) D1 (Diode): Model = \$GENERIC;
- 6) D2 (Diode): Model = \$GENERIC;
- 7) R1 (Resistor): Value = 10k [Om];
- 8) R2 (Resistor): Value = 5k [Om];
- 9) R3 (Resistor): Value = 10k [Om];
- 10) R4 (Resistor): Value = 10k [Om];
- 11) X1 (Opamp): Model = LF13741;
- 12) E1 (Battery): Value = 15 [V];
- 13) E2 (Battery): Value = 15 [V].

Цей мультивібратор називається чекаючим, оскільки для формування на виході одиночного імпульсу на нього потрібно подавати керуючий (запускаючий) сигнал  $U_{зап} = U_{упр}$ .

### Результат дослід:

На рисунку 5.21 зображено часові діаграми роботи цієї схеми.

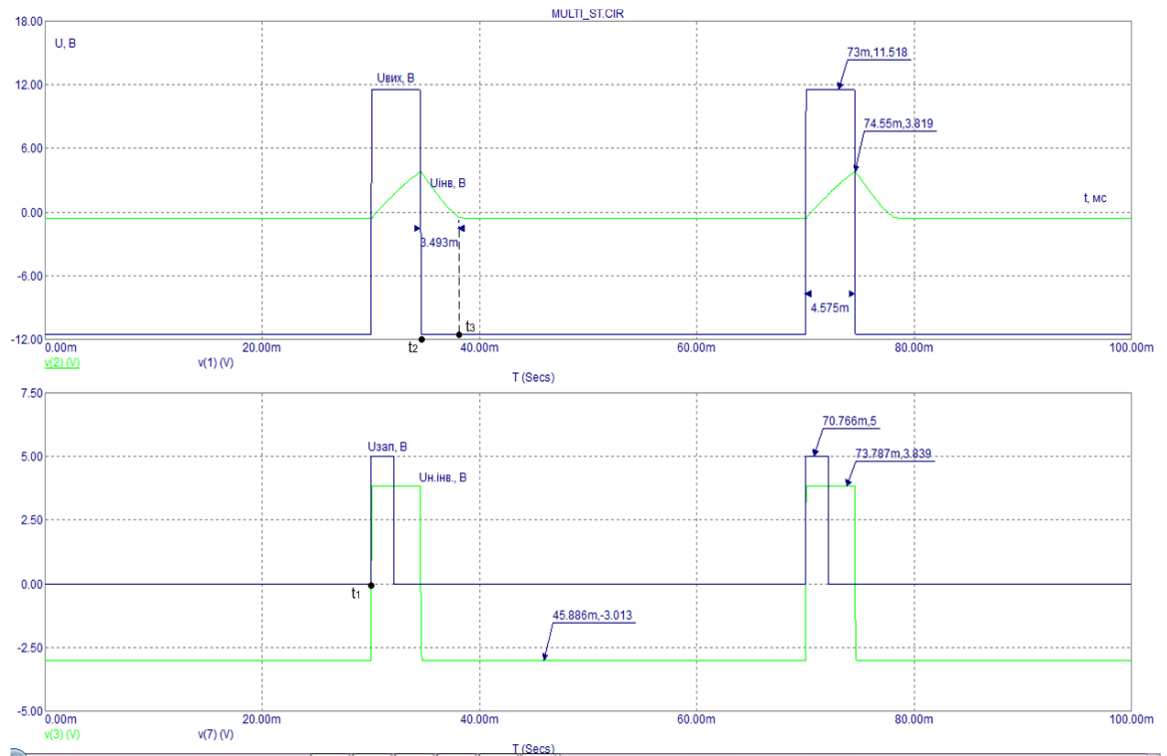


Рисунок 5.21 – Часові діаграми роботи чекаючого мультивібратора

На верхній частині рисунка зображені часові діаграми: вихідної напруги, а також напруги на інвертуючому вході ОП (на конденсаторі C1), на нижній – керуючої напруги і напруги на неінвертуючому вході.

Припустимо, що при подачі живлення  $U_{вих} = +U_{нас}$  і  $U_{зап} = 0$ . Тоді діод D2 буде закрито, і на неінвертуючому вході ОП буде напруга

$$U_{н1} = \frac{U_{нас}}{R2 + R4} R2$$

$$U_{н1} = \frac{11.518}{5 + 10} * 5 = 3.83(B).$$

Діод D1 також буде закритий, і конденсатор C1 стане заряджатися до значення  $U_{н1}$ , після чого піде перемикаання у стан  $U_{вих} = -U_{нас}$ . Діод D2 відкриється, і напруга на неінвертуючому вході прийме значення

$$U_{н2} = - \frac{U_{нас}}{R4 + \frac{R1 \cdot R2}{R1 + R2}} \cdot \frac{R1 \cdot R2}{R1 + R2} = - \frac{U_{нас}}{1 + \frac{R4}{R1} + \frac{R4}{R2}}.$$

$$U_{н2} = - \frac{11.518}{1+1+2} = -2.87B.$$

Конденсатор C1 починає перезаряджатися, але коли напруга на ньому стане меншим значення мінус  $U_{D1.відкр}$  (напруги на відкритому діоді), відкриється діод D1 і закоротить собою конденсатор C1. Тому без напруги керування напруга на інвертуючому вході ОП ніколи не стане більш від'ємною, ніж на неінвертуючому, а значить схема знову не переключиться. Таким чином стан мультивібратора при  $U_{вх} = 0$ , при якому з його виходу знімається напруга мінус  $U_{нас}$ , є стійким. Вивести пристрій з цього стану можна лише допоміжним імпульсом. Такий імпульс на вході «Н» ОП формується за допомогою пасивного диференціюючого ланцюга (ДЛ) C2, R1, на який подається сигнал від джерела  $U_{зап}$ . На виході ланцюга з'являються додатний та від'ємний короткі імпульси, які у часі відповідають, відповідно, додатному та від'ємному фронтам більш широкого запускаючого імпульсу. Діод D2 пропускає додатний імпульс з виходу ДЛ, що створює на неінвертуючому вході ОП таку напругу, при якій різниця  $U_i - U_n$  стає від'ємною, що призводить до перемикаання схеми у стан  $+U_{нас}$ . При цьому амплітуда  $U_{зап}$  повинна бути більшою, ніж  $|U_{н2}|$ . Стан схеми, при якому  $U_{вих} = +U_{нас}$ , називається квазістійким.

Тривалість додатного вихідного імпульсу обчислюється за формулою

$$t_{im} = t_2 - t_1 = R_3 \cdot C_1 \cdot \ln \left( 1 + \frac{R_2}{R_4} \right),$$

$$t_{im} = t_2 - t_1 = 10 \cdot 10^3 \cdot 10^{-6} \cdot \ln \left( 1 + \frac{5}{10} \right) = 4,06ms,$$

а час відновлення – час перезарядки конденсатора C1 – за формулою

$$t_{\text{від}} = t_3 - t_2 = R_3 \cdot C_1 \cdot \ln \left( \frac{R_4 + 2R_2}{R_4 + R_2} \right) = 10 \cdot 10^3 \cdot 10^{-6} \cdot \ln \left( \frac{10 + 2 \cdot 5}{10 + 5} \right) = 2,9 \text{ мс}.$$

З часових діаграм видно, що для нормальної роботи схеми час (період) між черговими керуючими імпульсами повинен бути не меншим, ніж час:  $t_{\text{ім}} + t_{\text{від}}$ .

#### 5.2.4 Схема 4. Найпростіший ГЛЗН із зовнішнім запуском

Нижче наведено приклад схеми найпростішого генератора лінійно змінюваної напруги (ГЛЗН) із зовнішнім запуском, яку зібрано у середовищі MicroCap 9: GLIN1.cir (рисунок 5.22).

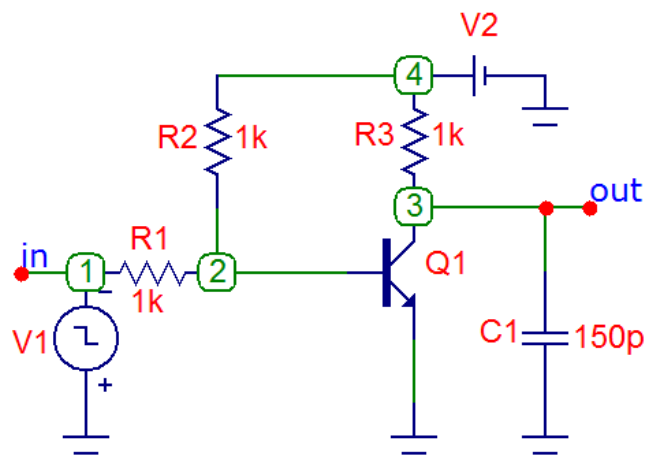


Рисунок 5.22 – Схема найпростішого ГЛЗН із зовнішнім запуском

Параметри схеми:

1. V1 (Pulsesource): Model = PULSE; VONE = 5 [V];
2. V2 (Battery): Value = 5 [V];
3. R1 (Resistor): Value = 1k [Om];
4. R2 (Resistor): Value = 1k [Om];
5. R3 (Resistor): Value = 1k [Om];
6. C1 (Capacitor): Value = <номер бригади> \* 100 [pF].

На рисунку 5.23 зображено часові діаграми роботи цієї схеми.

Дана схема являє собою транзисторний ключ з додатковим інтегруючим конденсатором C1 на виході ланцюга. У вихідному стані



транзисторний ключ відкритий, що забезпечується невеликим додатним потенціалом в точці (2) батареєю V2 через резистор R2. З виходу знімається невелика додатна напруга. При подачі від'ємного керуючого імпульсу від V1 транзистор буде закриватися, конденсатор буде заряджатися від напруги V2 через резистор R3 за експоненціальним законом. Після припинення подачі керуючого імпульсу транзистор відкриється, і конденсатор буде швидко розряджатися приблизно до нуля. Максимальне значення вихідного сигналу залежить як від тривалості керуючого імпульсу, так і від ємності конденсатора (сталого часу  $\tau = R3 \cdot C1$ ).

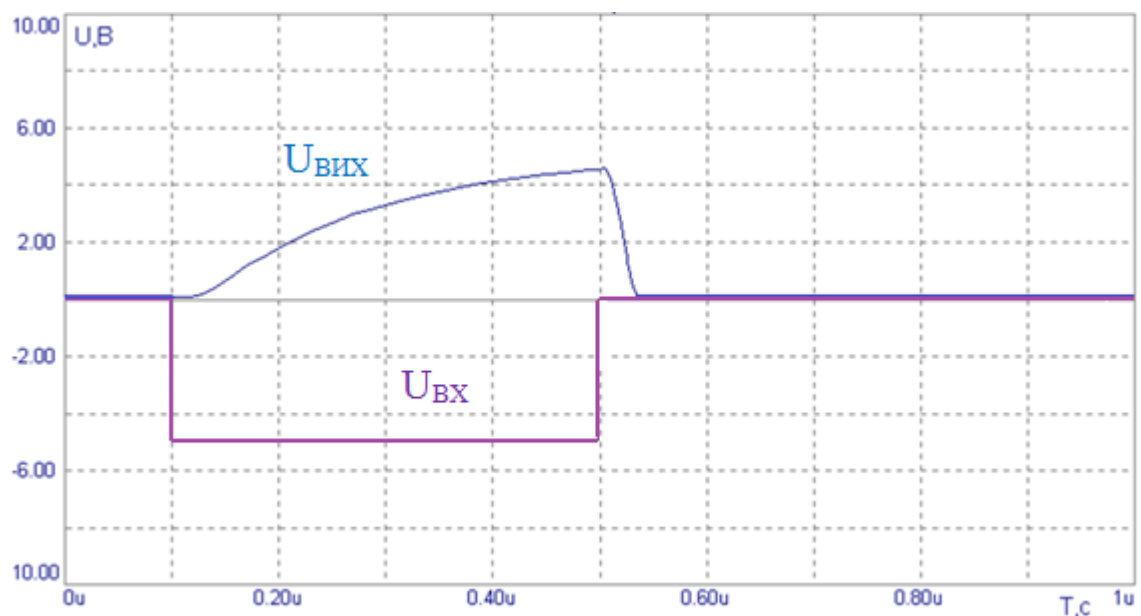


Рисунок 5.23 – Часові діаграми роботи схеми, яку наведено на рисунку 5. 22

На рисунку 5.23 синя характеристика ілюструє вихідну напругу, а зелена – вхідну напругу  $U_{вх}$ . В період подання імпульсу конденсатор заряджається, в період перезаряду – розряджається, тобто за один повний період конденсатор розряджається та заряджається знову. Це зумовлює вигляд вихідної характеристики, бо конденсатор не може миттєво зарядитися і розрядитися.

### 5.2.5 Схема5. Чекаючий ГЛЗН

Нижче наведено приклад схеми чекаючого ГЛЗН, яку зібрано у середовищі MicroCap 9: GLIN2\_0+U, GLIN2\_-U +U. cir (рисунок 5. 24).

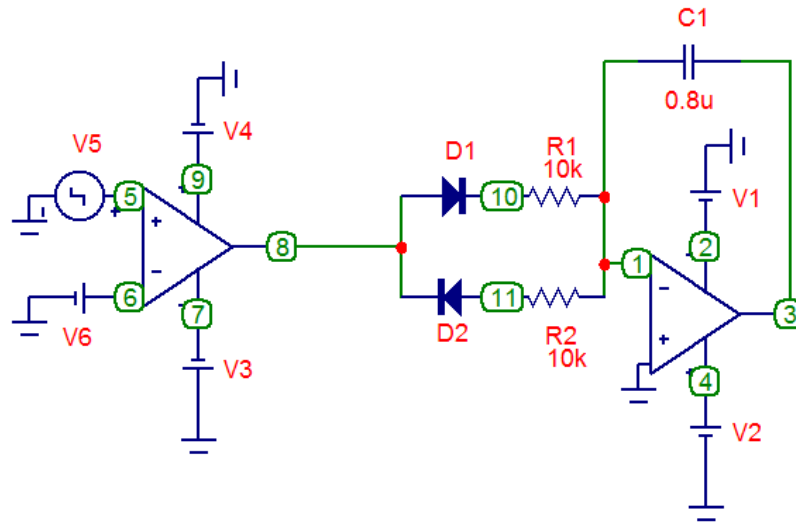


Рисунок 5.24 – Схема чекаючого ГЛЗН

Роботу даної схеми та вивід основних розрахункових формул наведено в 5.1.2.2.1...5.1.2.2.5. Схема містить аналоговий компаратор (АК), який порівнює постійну напругу V6 з амплітудою імпульсного джерела V5. З виходу АК, в залежності від співвідношення цих напруг, знімається одне з двох значень:  $+U_{\text{НАС}}$  або  $-U_{\text{НАС}}$ . Ці постійні рівні подаються на аналоговий активний інтегратор, сигнал на виході якого змінюється лінійно.

Параметри схеми:

1. V1: Value = 10 [V];
2. V2: Value = 10 [V];
3. D1 (Diode): Model = \$GENERIC;
4. D2 (Diode): Model = \$GENERIC;
5. R1 (Resistor): Value = 10k [Om];
6. R2 (Resistor): Value = 10k [Om];
7. C1 (Capacitor): Value = <номер бригади> [nF]; (0.8 мкФ );
8. X1 (Opamp): Model = \$GENERIC;

9. X2 (Opamp): Model = \$GENERIC;
10. V6 (Battery): Value = 3 [V];
11. V4 (Battery) (вкладка PowerSupplies): Value = 10 [V];
12. V3 (Battery) (вкладка PowerSupplies): Value = 10 [V];
13. V5 (Pulsesource): Model = PULSE; VONE = 5 [V]; VZERO = 0[V].

### ПРИМІТКА

Тут і надалі у джерелах пульсуючої напруги використовуються такі параметри, як VONE, VZERO, P1, P2, P3, P4, P5 (рисунок 5.25). Пояснення щодо їх значення:

VZERO – початкове значення на виході генератора;

VONE – максимальне значення на виході графіка (амплітуда відносно VZERO);

P1 – початок переднього фронту, у секундах;

P2 – початок плоскої вершини імпульса;

P3 – кінець плоскої вершини імпульса;

P4 – момент досягнення рівня VZERO (кінець заднього фронту);

P5 – період повторення.

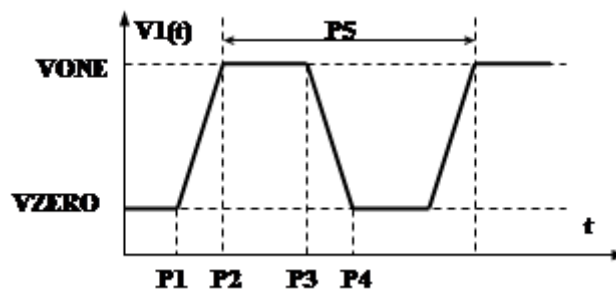


Рисунок 5.25 – Основні параметри імпульсного сигналу

Параметри P1, P2, P3, P4, P5 необхідно розрахувати відповідно для отримання двох варіантів вихідного сигналу, де він змінюватиметься від 0 до  $+U_{нас}$  та від  $-U_{нас}$  до  $+U_{нас}$ .

Згідно 5.1.2.2.4 при моделюванні схеми ми повинні були отримати два варіанти вихідного сигналу:

- 1) Для вихідного сигналу, де він змінюватиметься від 0 до  $+U_{нас}$ :

$$t_{im} = R_1 C \ln(1 + 2 \frac{R_1}{R_2}); t_n = R_2 C \ln(1 + 2 \frac{R_1}{R_2}),$$

Підставляємо значення елементів схеми моделювання (рисунок 5.24) та відповідно отримуємо:

$$t_{im} = 0,0088c; t_n = 0,0088c.$$

Звідси параметри генератора V5:  $P1=0, P2=0, P3 = 0, 0088, P4 = 0,0088, P5 = 0.0176$

2) Для вихідного сигналу, де він змінюватиметься від  $-U_{нас}$  до  $+U_{нас}$ :

$$t_{im} = 2R_1 C \ln(1 + 2 \frac{R_1}{R_2}); t_n = 2R_2 C \ln(1 + 2 \frac{R_1}{R_2}),$$

Для цього випадку схема моделювання не змінюється, але змінюється значення резисторів  $R1=R2$ , які дорівнюють 2k [Om]. Підставляємо значення елементів схеми моделювання (рисунок 5.24) та відповідно отримуємо:

$$t_{im} = 0,00352; t_n = 0,00352.$$

Звідси:  $P1=0, P2=0, P3 = 0.00352, P4 = 0.00352, P5 = 0.00704.$

Перевіримо умову нормального функціонування схем :

$$\frac{t_{im}}{t_n} = \frac{R_2}{R_1}.$$

Так як у нас час імпульсу та час паузи однакові, та в даній схемі номінали опорів теж однакові, то наведена вище рівність завжди буде мати місце.

Як бачимо, умова нормального функціонування схеми виконується.

### **Результат дослід:**

На рисунку 5.26 зображено часові діаграми роботи схеми, яку наведено на рисунку 5.24, та в якій вихідний сигнал повинен змінюватися від 0 до  $+U_{нас}$ .

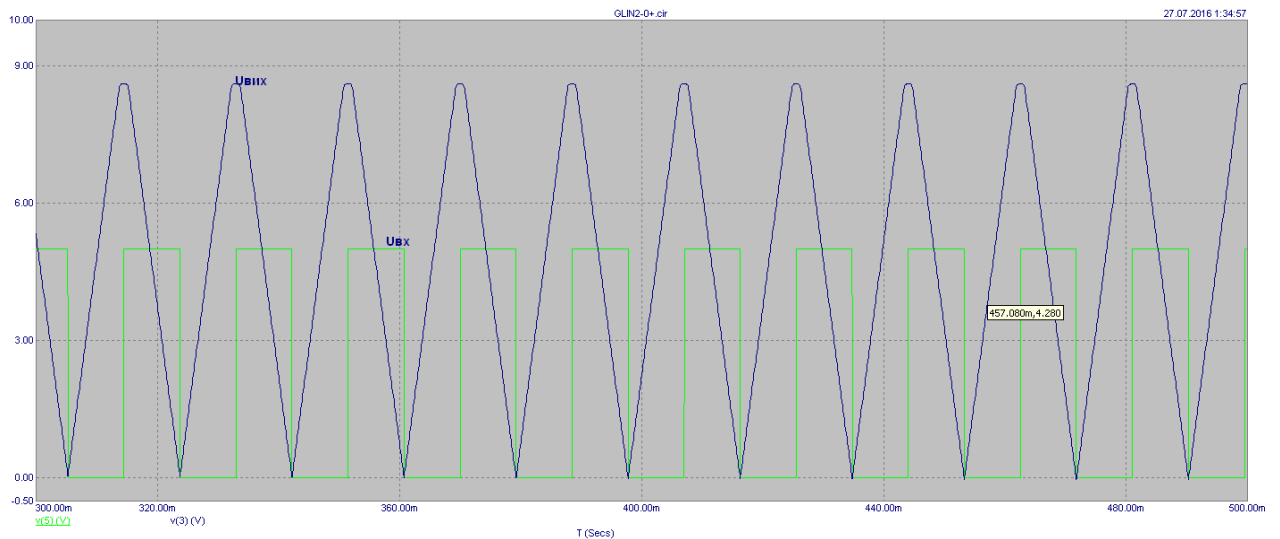


Рисунок 5.26 – Часові діаграми роботи схеми, яку наведено на рисунку 5.24, та в якій вихідний сигнал повинен змінюватися від 0 до  $+U_{нас}$

На рисунку 5.27 зображено часові діаграми роботи схеми, яку наведено на рисунку 5.24, та в якій вихідний сигнал повинен змінюватися від  $-U_{нас}$  до  $+U_{нас}$ .

Для цього випадку схема моделювання не змінюється, але змінюється значення резисторів  $R1=R2$ , які дорівнюють 2k [Om].

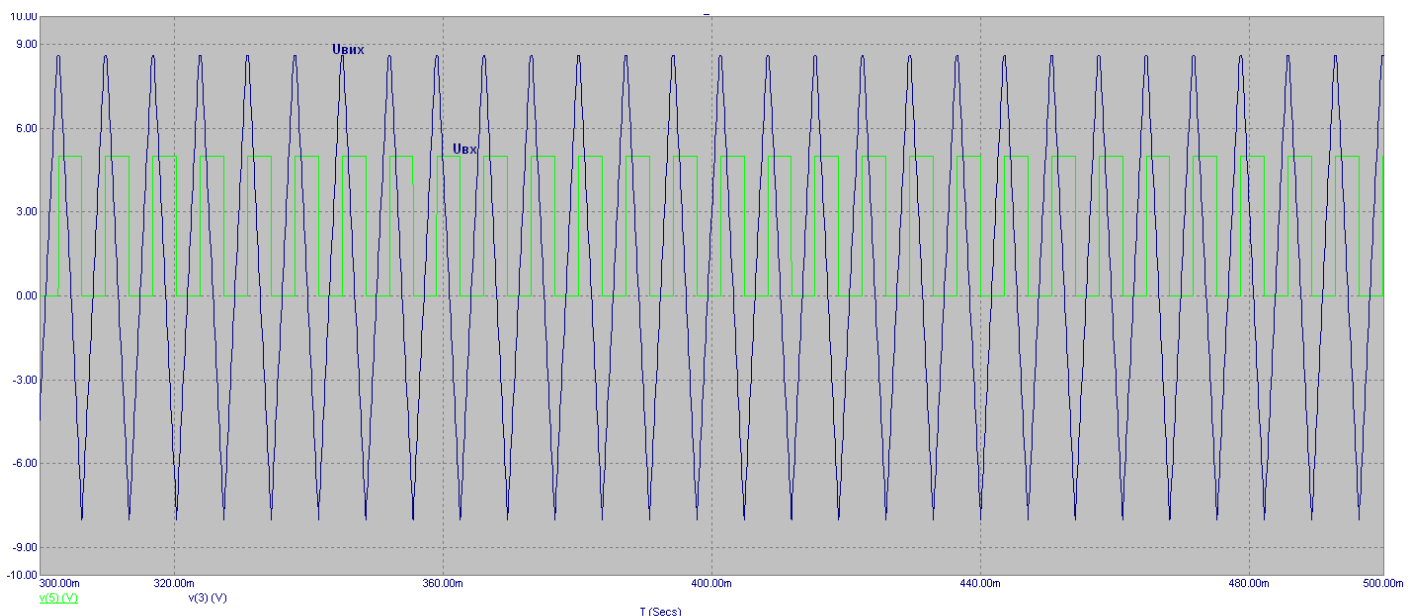


Рисунок 5.27 – Часові діаграми роботи схеми, яку наведено на рисунку 5.24, та в якій вихідний сигнал повинен змінюватися від  $-U_{нас}$  до  $+U_{нас}$

### 5.2.6 Схема 6. Автоколивальний ГЛЗН

Нижче наведено приклад схеми автоколивального ГЛЗН, яку зібрано у середовищі MicroCap 9: GLIN3.cir (рисунок 5. 28).

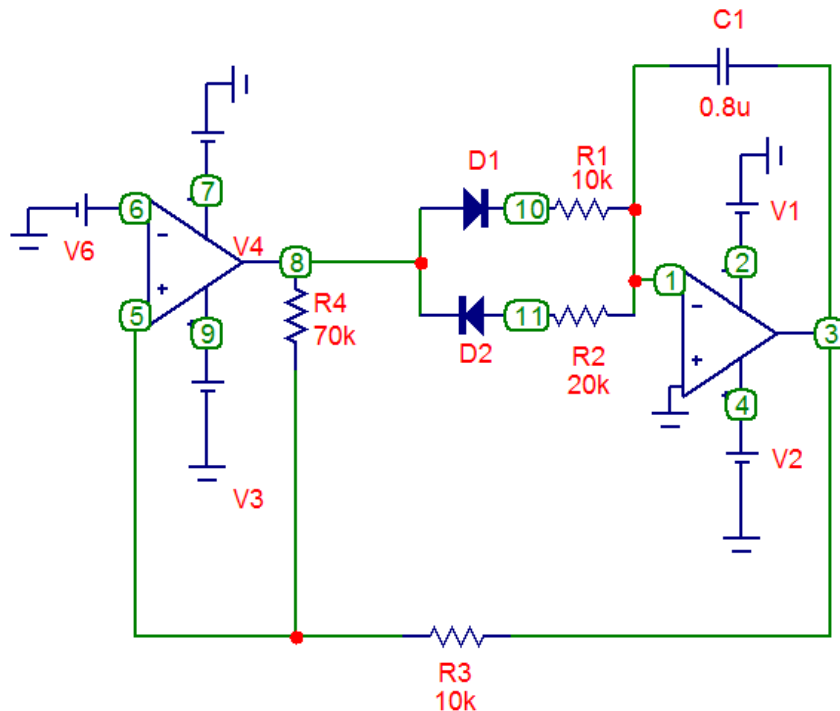


Рисунок 5.28 – Схема автоколивального ГЛЗН

Параметри схеми:

- 2) V1 (Battery): Value = 10 [V];
- 3) V2 (Battery): Value = 10 [V];
- 4) V3 (Battery): Value = 10 [V];
- 5) V4 (Battery): Value = 10 [V];
- 6) R1 (Resistor): Value = 10k [Om];
- 7) R2 (Resistor): Value = 10k [Om];
- 8) R4 (Resistor): Value = 70k [Om];
- 9) X1 (Opamp): Model = \$GENERIC;
- 10) X2 (Opamp): Model = \$GENERIC;
- 11) D1 (Diode): Model = \$GENERIC;
- 12) D2 (Diode): Model = \$GENERIC;
- 13) C1 (Capacitor): Value = <номер бригади>\* 100[mkF].

Роботу даної схеми та вивід основних розрахункових формул наведено в 5.1.2.2.6...5.1.2.2.9.

### Результат дослід:

На рисунку 5. 29 зображено часові діаграми роботи схеми, яку наведено на рисунку 5. 28.

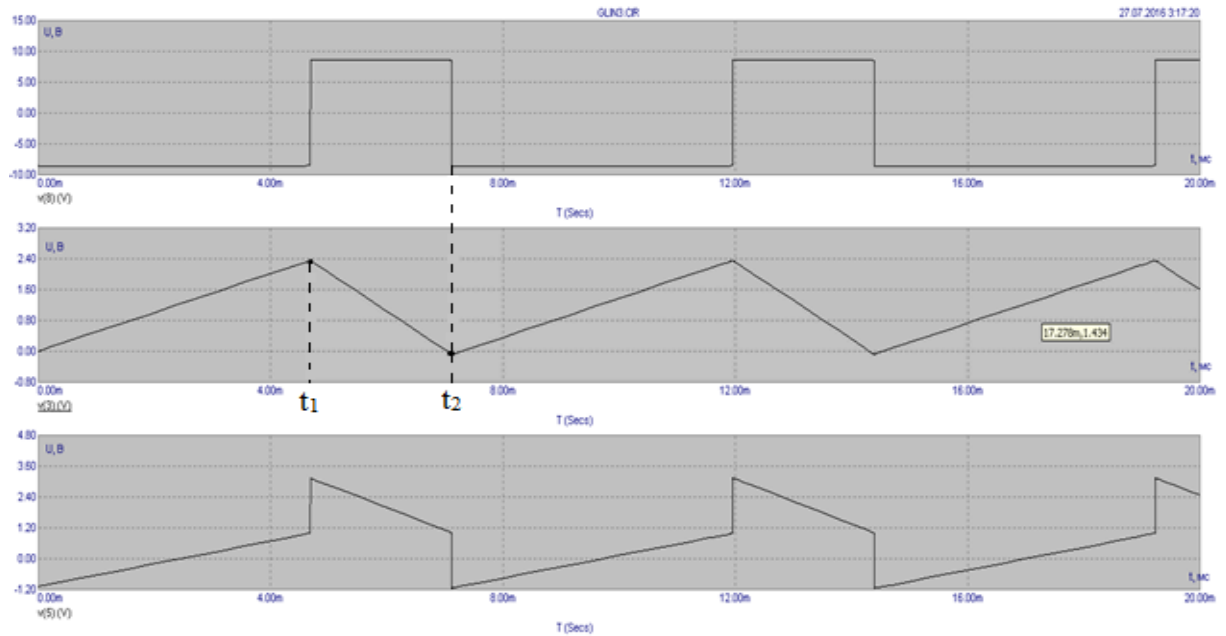


Рисунок 5.29 – Часові діаграми роботи схеми, яку наведено на рисунку 5.28

Перевіримо умову нормального функціонування схем із співвідношення:

$$\frac{t_{\text{ПР}}}{t_{\text{ЗВР}}} = \frac{R2}{R1},$$

де  $t_{\text{ПР}}$  – час прямого ходу пили ( $t_{\text{ПР}} = t_1$ );  $t_{\text{ЗВР}}$  – час зворотного ходу пили ( $t_{\text{ЗВР}} = t_2 - t_1$ ).

Визначимо значення імпульсу та паузи з графіку та підставимо у рівність:

$$\frac{t_{\text{ПР}}}{t_{\text{ЗВР}}} = \frac{R2}{R1} = \frac{4,6}{2,5} = \frac{20}{10}.$$

Як бачимо, умова нормального функціонування приблизно виконується.

### **5.3 Порядок виконання роботи**

1) Схема 1. Дослідження часових характеристик, параметрів та принципу дії автоколивального мультивібратора:

а) зняти та проаналізувати часові діаграми роботи автоколивального мультивібратора. Приклад діаграм наведено на рисунку 5.17;

б) розрахувати основні параметри імпульсного сигналу на виході мультивібратора, схему якого наведено на рисунку 5.16. Порівняти результати розрахунків з часовими діаграмами.

2) Схема 2. Дослідження часових характеристик, параметрів та принципу дії автоколивального мультивібратора зі шпаруватістю 2:

а) зняти та проаналізувати часові діаграми роботи автоколивального мультивібратора зі шпаруватістю 2. Приклад діаграм наведено на рисунку 5.19;

б) розрахувати основні параметри імпульсного сигналу на виході мультивібратора зі шпаруватістю 2, схему якого наведено на рисунку 5.18. Порівняти результати розрахунків з часовими діаграмами.

3) Схема 3. Дослідження часових характеристик, параметрів та принципу дії чекаючого мультивібратора:

а) зняти та проаналізувати часові діаграми роботи чекаючого мультивібратора. Приклад діаграм наведено на рисунку 5.21;

б) розрахувати основні параметри імпульсного сигналу на виході чекаючого мультивібратора, схему якого наведено на рисунку 5.20. Порівняти результати розрахунків з часовими діаграмами.

4) Схема 4. Дослідження часових характеристик, параметрів та принципу дії найпростішого ГЛЗН із зовнішнім запуском:



а) зняти та проаналізувати часові діаграми роботи найпростішого ГЛЗН із зовнішнім запуском. Приклад діаграм наведено на рисунку 5.23;

5) Схема 5. Дослідження часових характеристик, параметрів та принципу дії чекаючого ГЛЗН:

а) зняти та проаналізувати залежність вхідної/вихідної напруг чекаючого ГЛЗН від часу. Отримати два різні варіанти графіка при якому в першому випадку вихідна напруга змінюється від  $-U_{нас}$  до  $+U_{нас}$ , а в іншому від нуля до  $+U_{нас}$ . Графіки залежностей слід рознести. Приклад характеристик наведено на рисунках 5.26, 5.27

б) перевірити умову нормального функціонування схеми;

6) Схема 6. Дослідження часових характеристик, параметрів та принципу дії автоколивального ГЛЗН:

а) зняти та проаналізувати залежність вхідної/вихідної напруг чекаючого ГЛЗН від часу. Приклад характеристик наведено на рисунку 5.29.

б) перевірити умову нормального функціонування схеми.

#### 5.4 Контрольні питання

- 1) Дайте визначення мультивібратору.
- 2) Опишіть принцип роботи автоколивального та чекаючого мультивібратора на ІМС ОП.
- 3) Яким чином можна регулювати параметри автоколивального МВ на ІМС ОП?
- 4) У чому особливість роботи чекаючого мультивібратора на ІМС ОП?
- 5) Поясніть принцип формування пилкоподібної напруги.
- 6) Поясніть роботу чекаючого та автоколивального ГНЗЛ.
- 7) Як зміниться схема автоколивального МВ на ІМС ОП, якщо шпаруватість  $Q=2$ ?

- 8) Запишіть формулу для обчислення вихідної напруги ГНЗЛ на ІМС ОП із зовнішнім запуском.
- 9) Поясніть умову нормального функціонування чекаючого та автоколивального ГНЗЛ.
- 10) Поясніть часові діаграми роботи ГНЗЛ на біполярному транзисторі.
- 11) Наведіть вирази для визначення тривалості імпульсу та паузи автоколивального мультивібратора.
- 12) Назвіть способи зміни тривалості імпульсу одновібратора.
- 13) Як параметри схеми ГНЗЛ впливають на форму вихідної напруги?
- 14) Поясніть роботу ГНЗЛ із стабілітронами у ланцюзі ВЗЗ.
- 15) Наведіть схему перетворювача напруги в ширину та число імпульсів, та поясніть її роботу.
- 16) Наведіть вирази для визначення тривалості вихідного імпульсу та часу відновлення чекаючого МВ.
- 17) Які вимоги пред'являються до періоду зовнішніх запускаючих імпульсів чекаючого МВ?
- 18) Які вузли входять до складу ГНЗЛ на ІМС ОП?

## **6 ЛАБОРАТОРНА РОБОТА №6**

**Тема:** Дослідження цифро – аналогових перетворювачів (ЦАП).

**Мета:** Дослідити принцип дії, основні властивості та характеристики цифро–аналогових перетворювачів (ЦАП). Ознайомитись із основними видами, параметрами цих пристроїв та областю їх застосування.

### **6.1 Короткі теоретичні відомості**

#### **6.1.1 Загальні відомості**

Цифро–аналогові перетворювачі (ЦАП) призначені для перетворення цифрових сигналів в аналогові і служать для сполучення цифрових і аналогових пристроїв [2, 30, 33, 37, 38]. Вони широко використовуються для керування аналоговими пристроями за допомогою мікроконтролерів у таких галузях техніки, як системи керування технологічними процесами (виконавчі пристрої програмованих верстатів, роботів і т. ін.); дискретна автоматика; вимірювальна автоматика і т. ін.

За принципом перетворення коду в напругу сучасні ЦАП поділяються на два види:

- на основі резисторної матриці  $R-2R$  з підсумовуванням струмів;
- на основі резисторної матриці  $R-2R$  з підсумовуванням напруг.

#### **6.1.2 Опис роботи і розрахунок ЦАП на основі резисторної матриці $R-2R$ з підсумовуванням струмів**

##### **6.1.2.1 Принцип дії ЦАП на матриці $R-2R$ з підсумовуванням струмів**

Серед різних схемних виконань ЦАП широке застосування знаходить перетворювач з резисторною матрицею (РМ)  $R-2R$  із підсумовуванням струмів [37, 38].

Його спрощена структура приведена на рисунку 6.1.

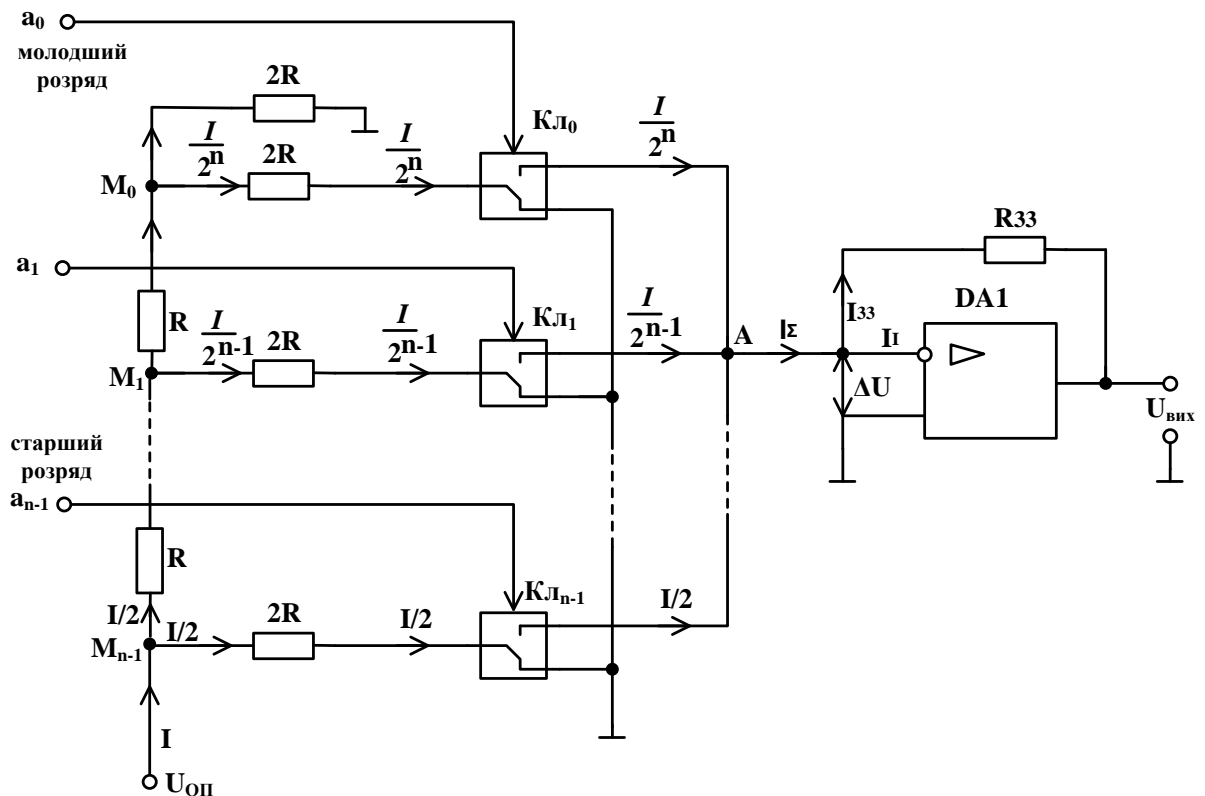


Рисунок 6.1 – Спрощена структура ЦАП з підсумовуванням струмів

На інвертуючому вході операційного підсилювача (ОП) відповідно до заданого значення вхідного двійкового коду підсумовуються струми, зважені за двійковим законом і пропорційні значенню опорної напруги  $U_{оп}$ . Вхідний струм матриці  $I$  задається джерелом зовнішньої опорної напруги і послідовно поділяється в вузлах РМ  $R-2R$  за двійковим законом.

На входи  $a_0, a_1, \dots, a_{n-1}$  надходять цифрові сигнали, що відповідають значенню відповідного  $i$ -го розряду вхідного двійкового коду. Якщо на вході  $i$ -го розряду присутня логічна одиниця, то відповідний ключ  $КЛ_i$  переключається у верхнє положення і струм даної гілки резисторної матриці надходить на інвертуючий вхід операційного підсилювача.

Якщо на вхід  $i$ -го розряду надходить логічний нуль, то відповідний ключ переключається в нижнє положення, і дана гілка матриці  $R-2R$  підключається до спільної шини.

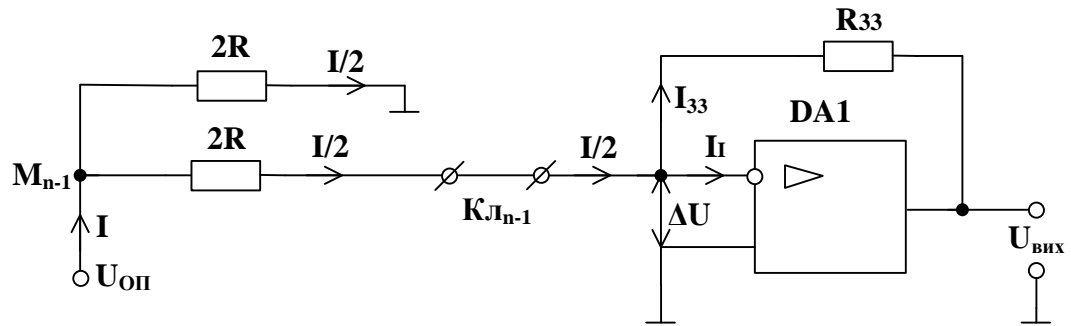
Оскільки матриця резисторів є лінійним ланцюгом, її роботу можна проаналізувати методом суперпозиції, тобто внесок у вихідну напругу від кожного джерела (розряду) розрахувати незалежно один від іншого. Внески від кожного розряду підсумовуються на вході ОП і на виході з'являється результат у вигляді напруги.

#### **6.1.2.2 Розрахунок цифро-аналогових перетворювачів на матриці $R-2R$ з підсумовуванням струмів**

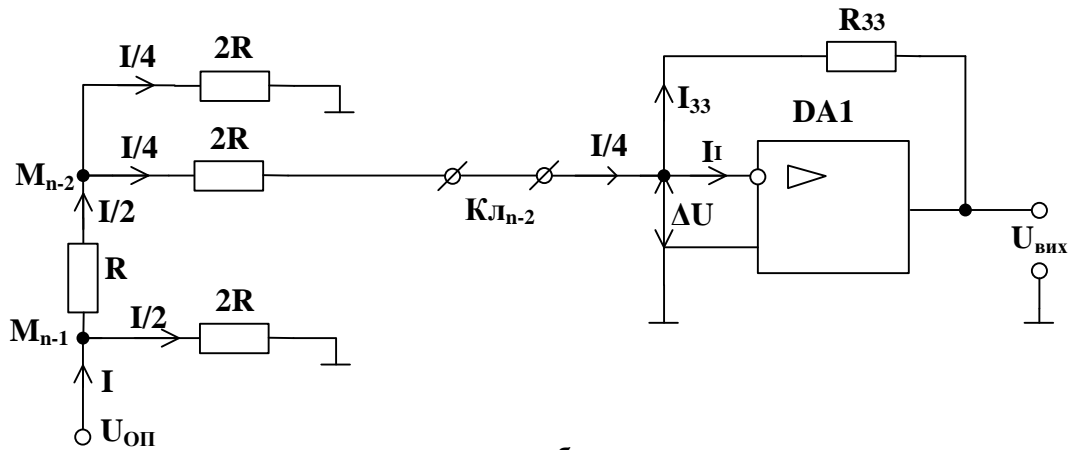
Розглянемо роботу ЦАП, якщо в старшому розряді ДК присутня логічна одиниця, а в інших розрядах – логічні нулі. Отже, ключ  $K_{n-1}$  знаходиться у верхнім положенні і підключає гілку РМ із резистором  $2R$  до інвертуючого входу ІМС ОП, а інші ключі знаходяться в нижньому положенні і підключають інші гілки матриці до спільної шини. Еквівалентна схема ЦАП для цього випадку приведена на рисунку 6.2, а. Очевидно, що еквівалентний опір РМ вище вузла  $M_{n-1}$  дорівнює  $2R$ . Оскільки потенціал інвертуючого входу ОП близький до нуля, то вхідний струм  $I$  у вузлі  $M_{n-1}$  поділяється на два рівних струми  $I/2$ .

Для виведення виразу, що визначає вихідну напругу, прийmemo, що ІМС ОП (DA1) близька до ідеальної, тобто  $K_{\text{У.ІМС ОП}} \rightarrow \infty; R_{\text{ВХ}} \rightarrow \infty$ . Тоді  $\Delta U \rightarrow 0, I_i \rightarrow 0$ . Вихідна напруга

$$U_{\text{Вих}(n-1)} = -I_{33} R_{33} = -\frac{I}{2} R_{33}. \quad (6.1)$$



а



б

Рисунок 6.2 – Еквівалентні схеми матриці R–2R:

а – при перетворенні коду 100...00В; б – при перетворенні коду 010...00В

З огляду на те, що джерело опорної напруги  $U_{оп}$  навантажене опором

$R_H = 2R \parallel 2R = R$ , то  $I = \frac{U_{оп}}{R}$ , а співвідношення (6.1) можна записати у вигляді

$$U_{вих(n-1)} = -\left(\frac{U_{оп}}{2}\right) \cdot \left(\frac{R_{33}}{R}\right). \quad (6.2)$$

Розглянемо роботу ЦАП, якщо на вхід схеми надходить комбінація ДК:

010...00 В. У цьому випадку ключ  $K_{Л_{n-2}}$  увімкнений у верхнє положення, а інші ключі – у нижнє. Еквівалентна схема ЦАП прийме вигляд,

представлений на рисунку 6.2, б. Струм  $I/2$  у вузлі  $M_{n-2}$  знову поділяється навпіл, тому вихідна напруга, обумовлена розрядом  $(n-2)$  дорівнює:

$$U_{\text{вих}}(n-2) = -\frac{R_{33}I}{4} = -\left(\frac{U_{\text{оп}}}{4}\right)\left(\frac{R_{33}}{R}\right). \quad (6.3)$$

Теж саме відбувається при надходженні одиниці в інших розрядах ЦАП.

Вираз для визначення сумарної вихідної напруги від дії одиниць у всіх розрядах вхідного ДК прийме вигляд:

$$U_{\text{вих}} = -U_{\text{оп}} \cdot \frac{R_{33}}{R} \left( \frac{1}{2} + \frac{1}{4} + \dots + \frac{1}{2^{n-1}} + \frac{1}{2^n} \right) = -U_{\text{оп}} \cdot \frac{R_{33}}{R} \cdot \frac{1}{2^n} \sum_{i=0}^{n-1} 2^i. \quad (6.4)$$

Якщо позначити значення  $i$ -х розрядів вхідного ДК –  $a_i$ , де  $a_i$  дорівнює 0 чи 1, то вираз (6.4) прийме вигляд:

$$U_{\text{вих}} = -U_{\text{оп}} \cdot \frac{R_{33}}{R} \cdot \frac{1}{2^n} \cdot \sum_{i=0}^{n-1} a_i \cdot 2^i. \quad (6.5)$$

Співмножник  $\sum_{i=0}^{n-1} a_i \cdot 2^i$  є десятковим еквівалентом вхідного двійкового коду (представляє десяткове значення вхідного цифрового коду).

Розглянутий перетворювач називають помножуючим (перемножуючим), тому що вихідна напруга пропорційна добутку значення опорного сигналу  $U_{\text{оп}}$  на десяткове значення вхідного двійкового коду з відповідним коефіцієнтом.

Максимальне значення вихідної напруги (напруга в кінцевій точці шкали (діапазону) при  $a_i = 1$  у всіх розрядах вхідного ДК визначається з виразів 6.4 та 6.6:

$$U_{ВІХ\max} = -(1 - 2^{-n}) \cdot \left( \frac{U_{оп} \cdot R_{33}}{R} \right). \quad (6.6)$$

Мінімальна напруга на виході ЦАП при  $a_i = 0$  у всіх розрядах коду дорівнює:

$$U_{ВІХ\min} = 0. \quad (6.7)$$

Коефіцієнт передачі (значення кроку квантування за рівнем), тобто розрахункове збільшення вихідної напруги при зміні вхідного коду на одиницю молодшого розряду (ціна молодшого значущого розряду (МЗР)) складає:

$$K_{ЦАП} = -\frac{U_{оп} R_{33}}{R \cdot 2^n}. \quad (6.8)$$

### **6.1.3 Опис роботи і розрахунок цифро–аналогових перетворювачів на основі резисторної матриці R–2R з підсумовуванням напруг**

Крім ЦАП з підсумовуванням струмів існує перетворювач, що використовує режим роботи підсумовуючого елемента, близький до холостого ходу (операційний підсилювач підсумовує напруги, рисунок 6.3).

#### **6.1.3.1 Принцип дії цифро–аналогових перетворювачів на матриці R–2R з підсумовуванням напруг**

ЦАП, з підсумовуванням напруг, використовує зворотне включення входу і виходу матриці R–2R (рисунок 6.3). На входи надходять цифрові сигнали, які відповідають значенню і–го розряду вхідного двійкового коду. Якщо на вході і–го розряду присутня логічна одиниця, то відповідний ключ переключається у верхнє положення та опорна напруга через резистори матриці R–2R з визначеним коефіцієнтом ділення подається на неінвертуючий вхід операційного підсилювача (ОП) DA1, де відбувається підсумовування напруг.



Якщо на вхід  $i$ -го розряду надходить логічний нуль, то ключ переключається в нижнє положення, і дана гілка матриці  $R-2R$  підключається до спільної шини.

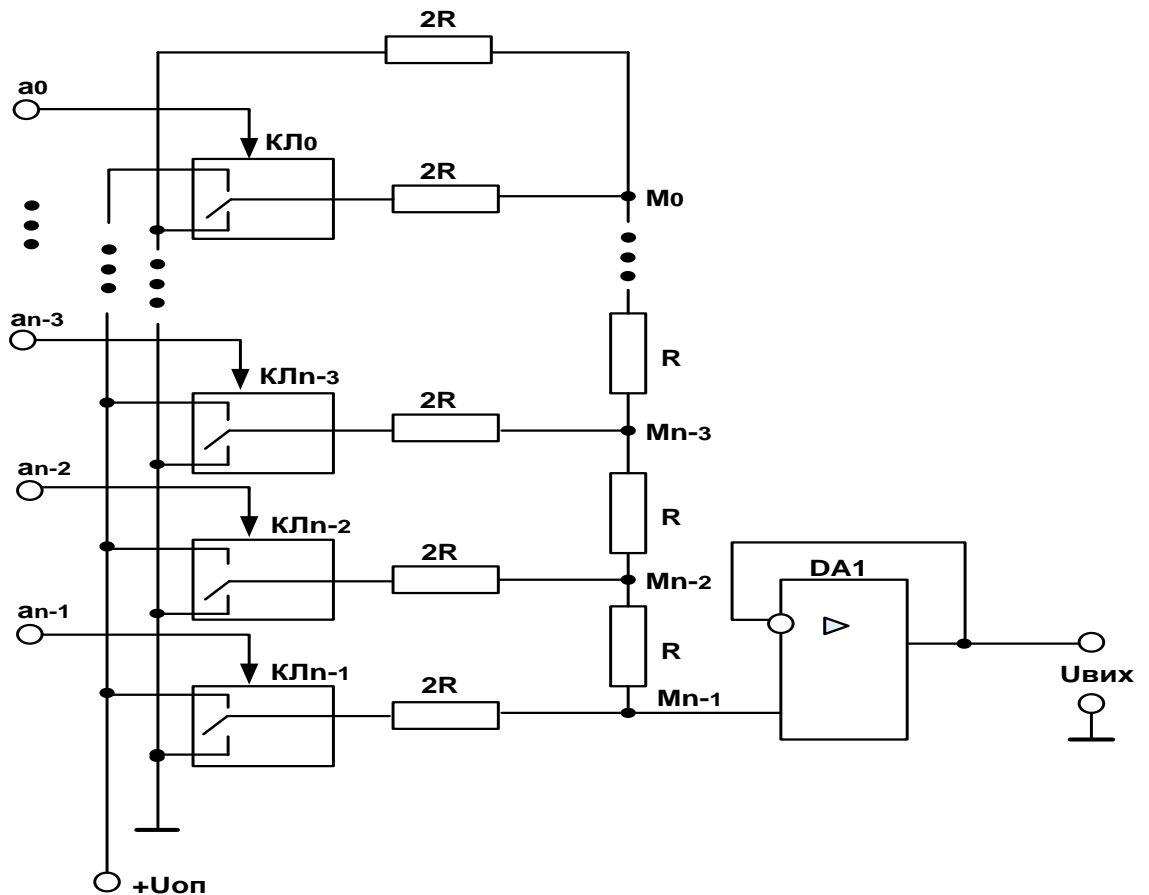


Рисунок 6.3 –  $n$ -розрядний ЦАП з матрицею  $R-2R$  та з підсумовуванням напруг

Оскільки матриця резисторів є лінійним ланцюгом, її роботу можна проаналізувати методом суперпозиції, тобто внесок у вихідну напругу від кожного джерела (розряду) розрахувати незалежно один від одного. Внески від кожного розряду підсумовуються на неінвертуючому вході ОП і на виході отримуємо результат у вигляді напруги.

### 6.1.3.2 Розрахунок цифро–аналогових перетворювачів на матриці R–2R з підсумовуванням напруг

Розглянемо роботу ЦАП, якщо в старшому розряді вхідного ДК присутня логічна одиниця, а в інших розрядах – логічні нулі. Отже, ключ  $K_{n-1}$  знаходиться у верхньому положенні і підключає гілку резисторної матриці (РМ) з резистором  $2R$  до джерела опорної напруги  $U_{оп}$ . Інші ключі знаходяться в нижньому положенні і підключають інші гілки РМ (резистори  $2R$ ) до спільної шини. Еквівалентна схема ЦАП для цього випадку наведена на рисунку 6.4, а.

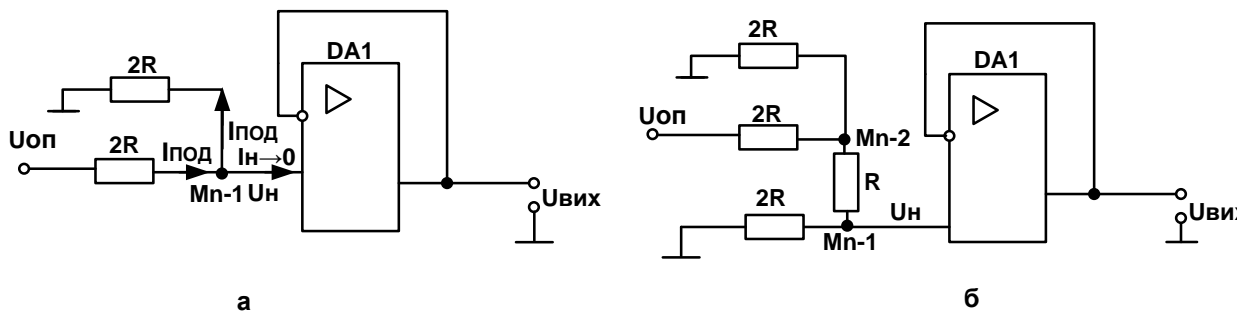


Рисунок 6.4 – Еквівалентні схеми ЦАП: а – при перетворенні коду 100...0В;

б – при перетворенні коду 010...0В

Очевидно, що еквівалентний опір РМ вище вузла  $M_{n-1}$  дорівнює  $2R$ . Так як вхідний опір ОП великий і останній працює в режимі, близькому до холостого ходу, то струм, який створюється джерелом  $U_{оп}$  протікає через два однакових резистори  $2R$ , що утворюють подільник напруги  $U_{оп}$ . У цьому випадку напруга на виході подільника визначається з виразу:

$$U_{под} = U_n = \frac{U_{оп} \cdot 2R}{2R + 2R} = \frac{U_{оп}}{2}. \quad (6.9)$$

Розглянемо роботу ЦАП, якщо на вхід схеми надходить комбінація ДК: 010...0В. У цьому випадку ключ  $K_{l_{n-2}}$  увімкнений у верхнє положення, а інші ключі – у нижнє. Еквівалентна схема ЦАП, прийме вигляд, представлений на рисунку 6.4, б.

Розглядаючи резистори  $R$  і  $2R$ , розташовані нижче вузла  $M_{n-2}$ , як включені послідовно ( $R_{BX.DA1} \rightarrow \infty$ ), заміняємо їх еквівалентним опором:

$$R + 2R = 3R. \quad (6.10)$$

Тоді напруга в точці  $M_{n-2}$  визначається виразом:

$$U_{M_{n-2}} = \frac{U_{оп} \cdot 2R \parallel 3R}{2R + 2R \parallel 3R} = \frac{U_{оп} \cdot \frac{6}{5} \cdot R}{2R + \frac{6}{5} \cdot R} = \frac{U_{оп} \cdot 3}{8}. \quad (6.11)$$

Знаючи напругу в точці  $M_{n-2}$ , можна визначити сигнал у вузлі  $M_{n-1}$

$$U_{M_{n-1}} = U_H = \frac{U_{M_{n-2}} \cdot 2R}{R + 2R} = \frac{U_{оп}}{4}. \quad (6.12)$$

Аналогічним чином можна довести, що при подачі на вхід ЦАП ДК: 001...0В напруга на неінвертуючому вході ОП буде дорівнювати:

$$U_H = \frac{U_{оп}}{8}. \quad (6.13)$$

І, нарешті, при надходженні коду: 00...01 В напруга

$$U_H = \frac{U_{оп}}{2^n}. \quad (6.14)$$

Оскільки коефіцієнт передачі розглянутого підсумовуючого операційного підсилювача  $K_{У.МС\ ОП} = 1$ , то вираз для визначення сумарної вихідної напруги від дії одиниць у всіх розрядах вхідного ДК прийме вигляд:

$$U_{ВИХ\ max} = U_{оп} \left( \frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \dots + \frac{1}{2^n} \right) = \frac{U_{оп}}{2^n} \sum_{i=0}^{n-1} 2^i. \quad (6.15)$$

Якщо позначити значення  $i$ -х розрядів вхідного ДК як  $a_i$ , де  $a_i$  дорівнює 0 чи 1, то останній вираз перетвориться до вигляду:

$$U_{\text{вих}} = \frac{U_{\text{оп}}}{2^n} \sum_{i=0}^{n-1} a_i \cdot 2^i. \quad (6.16)$$

Співмножник  $\sum_{i=0}^{n-1} a_i \cdot 2^i$  є десятковим еквівалентом вхідного двійкового коду (представляє десяткове значення вхідного цифрового коду).

Розглянутий перетворювач називають помножуючим, тому що вихідна напруга пропорційна добутку значення опорного сигналу  $U_{\text{оп}}$  на значення вхідного цифрового коду з відповідним коефіцієнтом.

Коефіцієнт передачі, тобто розрахункове збільшення вихідної напруги при зміні вхідного коду на одиницю молодшого розряду (ціна молодшого значущого розряду (МЗР)) складає:

$$K_{\text{ЦАП}} = \frac{U_{\text{оп}}}{2^n} \left[ \frac{\text{В}}{\text{МЗР}} \right]. \quad (6.17)$$

## 6.2 Моделювання окремих пристроїв

### 6.2.1 Схема 1. ЦАП із підсумовуванням напруг

Нижче наведено приклад схеми ЦАП із підсумовуванням напруг, яку зібрано у середовищі MicroCap 9: lab0601.cir (рисунок 6.5).

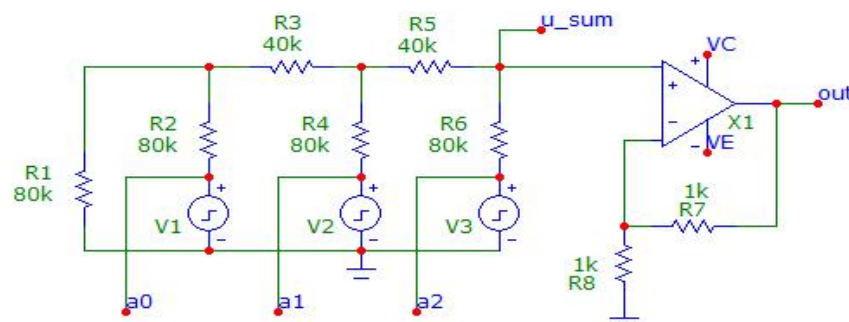


Рисунок 6.5 – Схема ЦАП із підсумовуванням напруг

Параметри схеми:

### ПРИМІТКА

Тут і надалі у джерелах пульсуючої напруги використовуються такі параметри, як VONE, VZERO, P1, P2, P3, P4, P5 (рисунок 6.6). Пояснення щодо їх призначення:

VZERO – початкове значення напруги на виході генератора, у вольтах;

VONE – максимальне значення напруги на виході генератора, у вольтах;

P1 – початок переднього фронту, у секундах;

P2 – початок плоскої вершини імпульса, у секундах;

P3 – кінець плоскої вершини імпульса, у секундах;

P4 – момент досягнення рівня VZERO (кінець заднього фронту, у секундах;)

P5 – період повторення, у секундах.

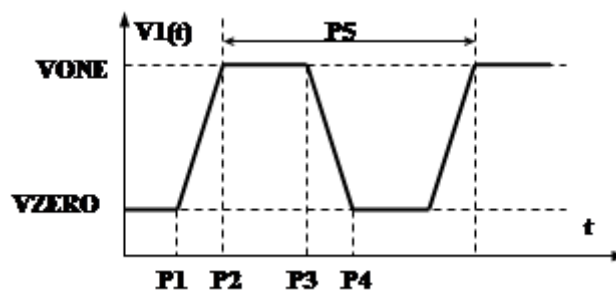


Рисунок 6.6 – Основні параметри імпульсного сигналу

1) V1 (Pulse source): Model = <номер бригади> \* 100 HZ (створити нову модель):

Параметри P1, P2, P3, P4, P5 розрахувати в залежності від номеру бригади так, щоб період прямокутного імпульсу дорівнював:  $T=1/ (<\text{номер бригади}> * 100)$  мс =  $(1/ <\text{номер бригади}> * 100)$  m [sec]; а шпаруватість сигналу дорівнювала 2.

Приклад: Номер бригади = 4  $\rightarrow f = 400\text{Hz}$ ,  $T = 2.5\text{мс}$ ;  $P1 = 1.25\text{м}$ ;  $P2 = 1.25\text{м}$ ;  $P3 = 2.5\text{м}$ ;  $P4 = 2.5\text{м}$ ;  $P5 = 2.5\text{м}$ ;  $V_{ONE} = 8 \text{ [V]}$ ;  $V_{ZERO} = 0 \text{ [V]}$ ;

2) V2 (Pulse source): Model = <номер бригади> \* 50 HZ (створити нову модель);

Параметри P1, P2, P3, P4, P5 розрахувати в залежності від номеру бригади так, щоб період прямокутного імпульсу дорівнював:  $T=1/ (<\text{номер бригади}> * 50)$  мс  $= (1/ <\text{номер бригади}> * 50)$  m [sec]; а шпаруватість сигналу дорівнювала 2.

Приклад: Номер бригади = 4  $\rightarrow f = 200\text{Hz}$ ,  $T = 5\text{мс}$ ; P1 = 2.5m; P2 = 2.5m; P3 = 5m; P4 = 5m; P5 = 5m; VONE = 8 [V]; VZERO = 0 [V];

3) V3 (Pulse source): Model = <номер бригади> \* 25 HZ (створити нову модель);

Параметри P1, P2, P3, P4, P5 розрахувати в залежності від номеру бригади так, щоб період прямокутного імпульсу дорівнював:  $T=1/ (<\text{номер бригади}> * 25)$  мс  $= (1/ <\text{номер бригади}> * 25)$  m [sec]; а шпаруватість сигналу дорівнювала 2.

Приклад: Номер бригади = 4  $\rightarrow f = 100\text{Hz}$ ,  $T = 10\text{мс}$ ; P1 = 5m; P2 = 5m; P3 = 10m; P4 = 10m; P5 = 10m; VONE = 8 [V]; VZERO = 0 [V].

4) R1 (Resistor): Value = <номер бригади> \* 20k [Om];

5) R2 (Resistor): Value = <номер бригади> \* 20k [Om];

6) R3 (Resistor): Value = <номер бригади> \* 10k [Om];

7) R4 (Resistor): Value = <номер бригади> \* 20k [Om];

8) R5 (Resistor): Value = <номер бригади> \* 10k [Om];

9) R6 (Resistor): Value = <номер бригади> \* 20k [Om];

10) R7 (Resistor): Value = 1k [Om];

11) R8 (Resistor): Value = 1k [Om];

12) X1 (Opamp): Model = LM358;

13) VCC (Battery) (вкладка Power Supplies): Value = 30 [V];

14) VEE (Battery) (вкладка Power Supplies): Value = 0 [V].

## Результат дослід:

Нижче наведено часові діаграми роботи схеми (рисунок 6.7), яку наведено на рисунку 6.5.

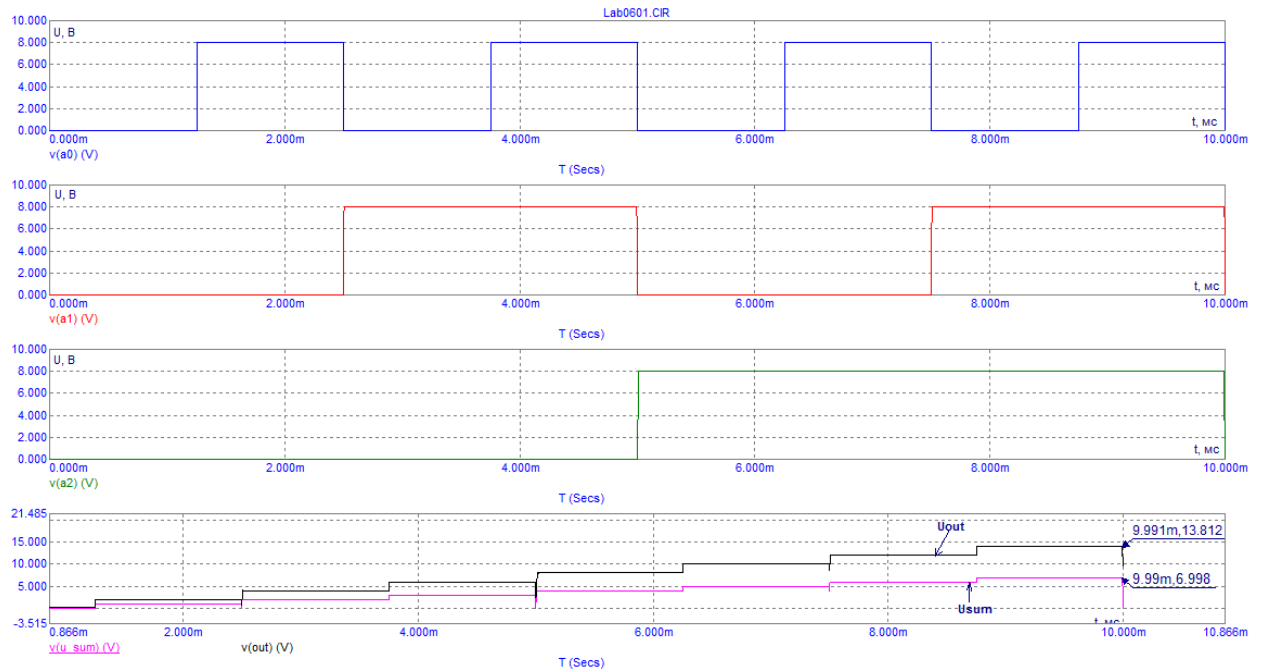


Рисунок 6.7 – Часові діаграми роботи схеми, яку наведено на рисунку 6.5

На рисунку 6.7 зображені зміни у часі суми напруг  $U_{sum}$  та вихідної напруги  $U_{out}$  ЦАП із підсумуванням напруг в залежності від комбінацій розрядів  $a0 \dots a2$ . Сигнали на розрядах задаються послідовністю прямокутних імпульсів. Частота меншого розряду є вдвічі більшою, ніж частота наступного. Даний ЦАП реалізує формулу 6.16, де  $U_{оп} = 8$  В,  $n = 3$ . Коефіцієнт підсилення  $k$  операційного підсилювача, на неінвертуючий вхід якого поступає сума напруг  $U_{SUM}$ , дорівнює:  $\left(\frac{R7}{R8} + 1\right) = \frac{1k}{1k} + 1 = 2$ .

Максимальна вихідна напруга:

$$U_{вих\ max} = k \cdot U_{оп} \left( \frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \dots + \frac{1}{2^n} \right) = k \cdot \frac{U_{оп}}{2^n} \sum_{i=0}^{n-1} 2^i = 2 \cdot 8 \cdot 7/8 = 14\text{В},$$

а максимальна сумарна напруга на вході підсилювача:

$$U_{\text{вих. SUM.max}} = \frac{U_{\text{оп}}}{2^n} \sum_{i=0}^{n-1} 2^i = 8 * 7 / 8 = 7.$$

Коефіцієнт передачі (розмір кроку квантування за рівнем), тобто розрахункове збільшення вихідної напруги при зміні вхідного коду на одиницю молодшого розряду (ціна молодшого значущого розряду (МЗР)) складає:

$$K_{\text{ЦАП}} = \frac{U_{\text{оп}}}{2^n} = 8 / 8 = 1 \left[ \frac{\text{В}}{\text{МЗР}} \right].$$

Для прикладу розрахунку візьмемо ДК:  $101_{(2)} = 5_{(10)}$ .

$U_{\text{вих. SUM}} = 5 * 1 = 5\text{В}$ .  $U_{\text{вих}} = 5 * 2 = 10\text{В}$ . На рисунку 6.7 бачимо, що теоретичні розрахунки збігаються з експериментальними даними.

### 6.2.2 Схема 2. ЦАП із підсумовуванням струмів

Нижче наведено приклад схеми ЦАП із підсумовуванням струмів, яку зібрано у середовищі MicroCap 9: lab0602.cir (рисунок 6.8).

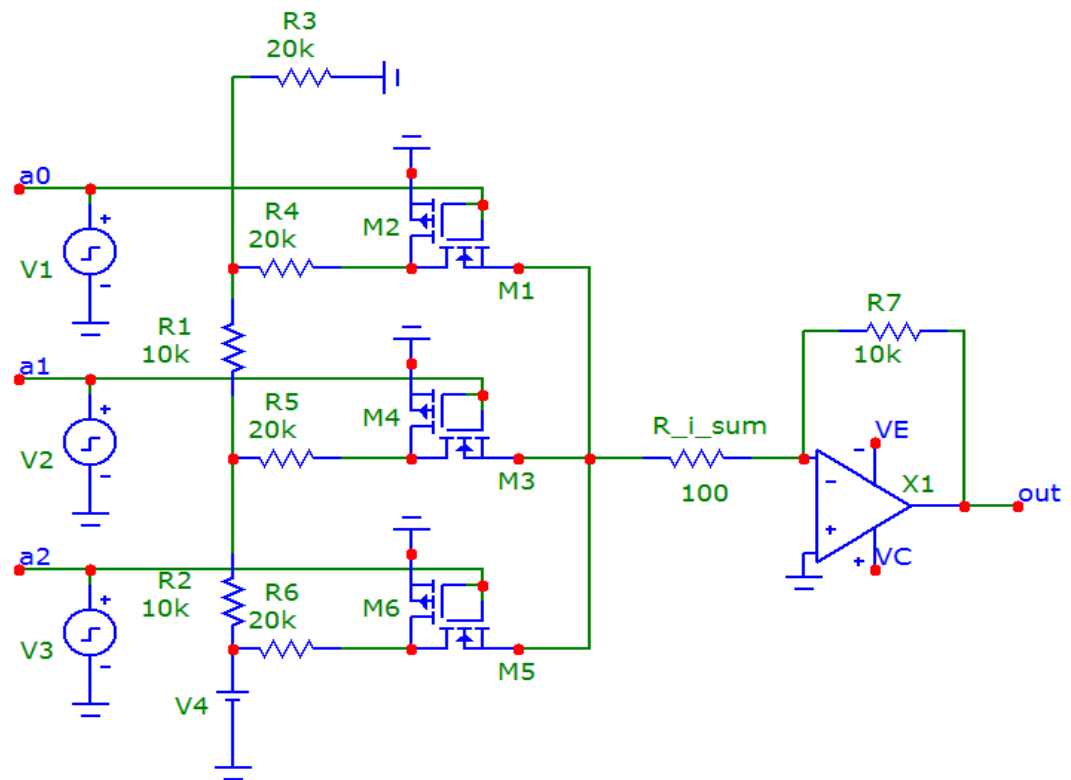


Рисунок 6.8 – Схема ЦАП із підсумовуванням струмів



Параметри схеми:

- 1) V1 (Pulse source): Model = 400 Hz (створити нову модель (<номер бригади>\*100Hz));  
P1 = 1.2m [sec];  
P2 = 1.25m [sec];  
P3 = 2.5m [sec];  
P4 = 2.6m [sec];  
P5 = 2.6m [sec];  
VONE = 8 [V];  
VZERO = 0 [V];
- 2) V2 (Pulse source): Model = 200 Hz (створити нову модель (<номер бригади>\*100Hz)/2);  
P1 = 2.45m [sec];  
P2 = 2.5m [sec];  
P3 = 5m [sec];  
P4 = 5.1m [sec];  
P5 = 5.1m [sec];  
VONE = 8 [V];  
VZERO = 0 [V];
- 3) V3 (Pulse source): Model = 100 HZ (створити нову модель (<номер бригади>\*100Hz)/4);  
P1 = 4.95m [sec];  
P2 = 5m [sec];  
P3 = 10 m [sec];  
P4 = 10.1m [sec];  
P5 = 10.1m [sec];  
VONE = 8 [V];  
VZERO = 0 [V];
- 4) R1 (Resistor): Value = 10k [Om];

- 5) R2 (Resistor): Value = 10k [Om];
- 6) R3 (Resistor): Value = 20k [Om];
- 7) R4 (Resistor): Value = 20k [Om];
- 8) R5 (Resistor): Value = 20k [Om];
- 9) R6 (Resistor): Value = 20k [Om];
- 10) R7 (Resistor): Value = 10k [Om];
- 11) R\_i\_sum (Resistor): Value = 0,2 k [Om];
- 12) X1 (Opamp): Model = LF147;
- 13) M1 (DNMOS): Model = \$GENERIC\_N;
- 14) M2 (DPMOS): Model = \$GENERIC\_P;
- 15) M3 (DNMOS): Model = \$GENERIC\_N;
- 16) M4 (DPMOS): Model = \$GENERIC\_P;
- 17) M5 (DNMOS): Model = \$GENERIC\_N;
- 18) M6 (DPMOS): Model = \$GENERIC\_P;
- 19) VC (Battery) (вкладка Power Supplies): Value = 15 [V];
- 20) VE (Battery) (вкладка Power Supplies): Value = -15 [V].

**Примітка:** DNMOS та DPMOS – це МДН–транзистори (польові транзистори з ізольованим затвором) з індукованим каналом n– та p– типу відповідно.

В схемі на рисунку 6.8 використовуються МОН–транзистори M1, M3 та M5 з каналом n–типу, та МОН–транзистори M2, M4 та M6 з каналом p–типу.

Розглянемо роботу схеми, якщо на вхід подається комбінація двійкового коду:  $a_0 = 1$ ,  $a_1 = a_2 = 0$ . При цьому одиничним сигналом на затворі: M2 – закритий, M1 – відкритий. Нульовим сигналом на затворі: M4 та M6 – відкриті, а M3 та M5 – закриті. Резистори R5 та R6 підключаються до спільного проводу (землі), а резистор R4 через M1 підключається до інвертуючого входу ІМС ОП. Тобто, схема відповідає ЦАП, який розглянуто в (6.1.2.1).

## Результат дослід:

На рисунку 6.9 зображені часові характеристики для суми струмів та вихідної напруги ЦАП із підсумуванням струмів (рисунок 6.8) в залежності від комбінацій розрядів  $a_0...a_3$ . Сигнали на відповідних розрядах задаються послідовністю прямокутних імпульсів. Частота меншого розряду є вдвічі більшою, ніж частота наступного.

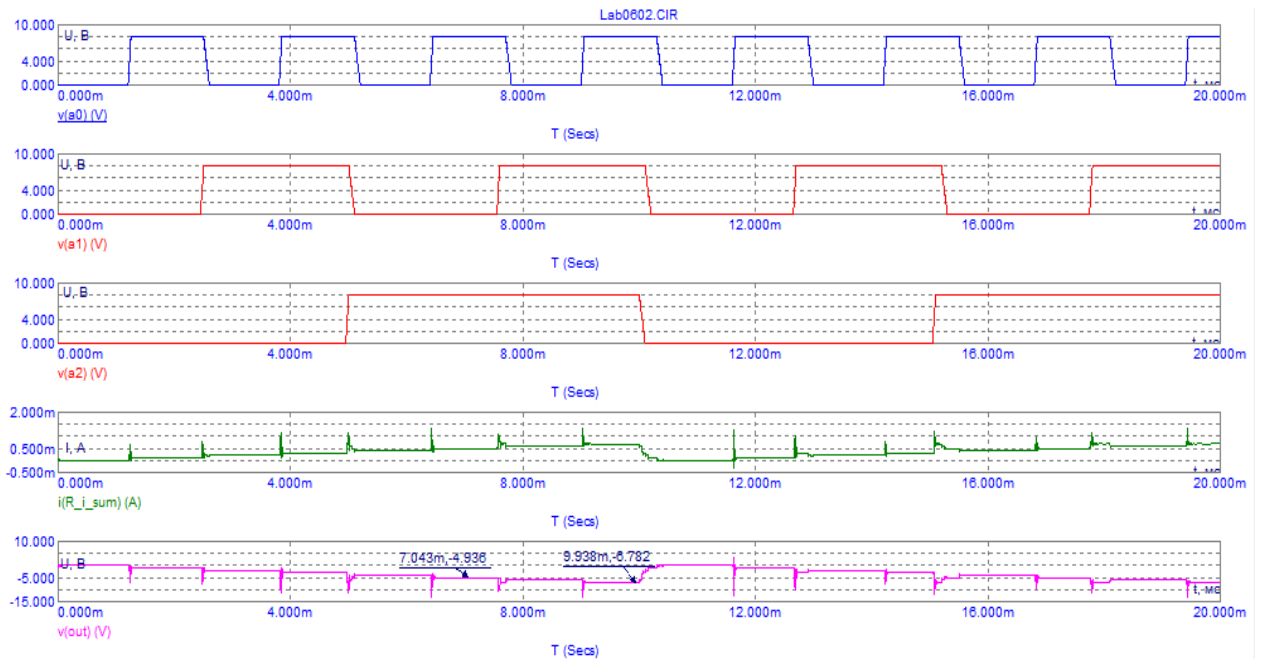


Рисунок 6.9 – Часові діаграми роботи схеми, яку наведено на рисунку 6.8

Якщо число розрядів вхідного двійкового коду дорівнює:  $n$ , то

$$U_{BIX \max} = -\left(1 - 2^{-n}\right) \cdot \left(\frac{U_{OP} \cdot R_{33}}{R}\right).$$

Якщо число розрядів вхідного двійкового коду дорівнює: 3,  $R_{33} = R = 10K$ ,  $U_{OP} = 8$ , то

$$U_{вих. \max} = -U_{OP} \cdot \frac{R_{33}}{R} \left( \frac{1}{2} + \frac{1}{4} + \dots + \frac{1}{2^{n-1}} + \frac{1}{2^n} \right) = -U_{OP} \cdot \frac{R_{33}}{R} \cdot \frac{1}{2^n} \sum_{i=0}^{n-1} 2^i = -8 \cdot 7 / 8 = -7V.$$

Коефіцієнт передачі (розмір кроку квантування за рівнем), тобто розрахункове збільшення вихідної напруги при зміні вхідного коду на

одиницю молодшого розряду (ціна молодшого значущого розряду (МЗР)) складає:

$$K_{ЦАП} = -\frac{U_{оп} R_{33}}{R \cdot 2^n} = -\frac{8 \cdot 10}{10 \cdot 8} = -1 \left[ \frac{В}{МЗР} \right].$$

Для прикладу розрахунку візьмемо ДК  $101_{(2)} = 5_{(10)}$ . Звіримо теоретичні розрахунки з експериментальними даними:

$$U_{вих} = U_{оп} \cdot \frac{R_{33}}{R} \cdot \left( \frac{1}{2} + 0 + \frac{1}{8} \right) = -8 \cdot \frac{10K}{10K} \cdot \frac{5}{8} = -5 В.$$

На рисунку 6.9 бачимо, що теоретичні розрахунки збігаються з експериментальними даними.

### 6.3 Порядок виконання роботи

1) Схема 1. Дослідження часових характеристик, принципу дії та структури ЦАП із підсумовуванням напруг (рисунок 6.5):

а) зняти та проаналізувати залежність вихідної напруги, суми напруг ЦАП із підсумовуванням напруг від часу при всіх можливих комбінаціях розрядів  $a_0 \dots a_2$ . Для проходу по всім можливим комбінаціям слід використовувати генератори прямокутних імпульсів. Частота генератора меншого розряду повинна бути в 2 рази більша ніж частота генератора сусіднього старшого розряду. Частоту генератора молодшого розряду слід обрати за номером бригади. Графіки залежностей слід рознести на різні площини, але залишити на одному листі. Приклад характеристик наведений на рисунку 6.7.

2) Схема 2. Дослідження часових характеристик, принципу дії та структури ЦАП із підсумовуванням струмів (рисунок 6.8):

а) зняти та проаналізувати залежність вихідної напруги, суми токів ЦАП із підсумовуванням струмів від часу при всіх можливих комбінаціях розрядів  $a_0 \dots a_2$ . Для проходу по всім

можливим комбінаціям слід використовувати генератори прямокутних імпульсів. Частота генератора меншого розряду повинна бути в 2 рази більша ніж частота генератора сусіднього старшого розряду. Частоту генератора слід обрати за номером бригади. Графіки залежностей слід рознести на різні площини, але залишити на одному листі. Приклад характеристик наведений на рисунку 6.9.

#### 6.4 Контрольні питання

- 1) Який електронний прилад називається цифро–аналоговим перетворювачем (ЦАП)?
- 2) Назвіть види ЦАП за принципом перетворення коду в напругу.
- 3) Наведіть принципову електричну схему ЦАП на матриці  $R-2R$  з підсумовуванням струмів. Поясніть принцип її роботи. Наведіть формули для розрахунку  $U_{\text{вих}}$ ,  $U_{\text{вих max}}$  та  $K_{\text{пер}}$ .
- 4) Виведіть вираз для визначення сумарної вихідної напруги від дії одиниць у всіх розрядах вхідного двійкового коду (ДК) для вищевказаного ЦАП.
- 5) Наведіть принципову електричну схему ЦАП на матриці  $R-2R$  з підсумовуванням напруг. Поясніть принцип її роботи. Наведіть формули для розрахунку  $U_{\text{вих}}$ ,  $U_{\text{вих max}}$  та  $K_{\text{пер}}$ .
- 6) Виведіть вираз для визначення сумарної вихідної напруги від дії одиниць у всіх розрядах вхідного ДК для ЦАП на матриці  $R-2R$  з підсумовуванням напруг.

## 7 ЛАБОРАТОРНА РОБОТА №7

**Тема:** Дослідження комбінаційних цифрових пристроїв (КЦП).

**Мета:** Ознайомитись із базисними наборами логічних елементів, їхнім взаємозв'язком, синтезувати комбінаційний цифровий пристрій (КЦП). Ознайомитись із основними видами, параметрами цих пристроїв та областю їх застосування.

### 7.1 Короткі теоретичні відомості

#### 7.1.1 Застосування алгебри логіки (Булевої алгебри) при аналізі і синтезі цифрових електронних пристроїв

##### 7.1.1.1 Визначення і способи задання перемикальних функцій

У цифровій електроніці існують задачі логічного змісту, особливістю яких є те, що їхні умови і рішення можуть приймати одне з двох можливих значень. Одне виражає настання тієї або іншої події, а інше – не настання її. Настання події позначають одиницею (логічною одиницею), а ненастання – нулем (логічним нулем). Пристрої, які призначені для вирішення логічних задач називають логічними електронними пристроями (ЛЕП) [1, 2, 18, 27, 30, 33, 36, 36].

Математичним апаратом, що застосовується при аналізі і синтезі ЛЕП є алгебра логіки, розроблена в середині XIX сторіччя англійським математиком Дж. Булем і тому часто називана Булевою алгеброю (БА).

БА оперує з двійковими змінними, що приймають одне з двох значень: логічний нуль або логічна одиниця.

Функція двійкових змінних, що також дорівнює одному з двох значень (нулю або одиниці) – називається перемикальною (логічною) функцією (ПФ).

Логічні функції позначаються прописними латинськими літерами **F** або **Y**, а двійкові змінні – **A, B, C, D, E, ...**, або малою літерою ікс з індексом, наприклад, **x1, x2, x3...**

ПФ може бути виражена (задана):

- словесно;
- алгебраїчним (Булевим) виразом;
- таблицею істинності;
- діаграмою Вейча (картою Карно).

Приклади задання перемикальної функції «Кон'юнкція»:

1) словесно – функція двох змінних приймає значення логічної одиниці, якщо обидві змінні також дорівнюють одиниці, у іншому випадку, вона дорівнює нулю;

2) Булевим виразом –  **$F = A \wedge B$** ;

3) таблицею істинності (таблиця 7.1).

Таблиця 7.1 – Таблиця істинності

N набору	B	A	F
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	1

Таблиця істинності включає набори (комбінації) логічних змінних, що повинні бути упорядковані за зростанням або зменшенням їхніх десяткових еквівалентів, а також значення функції на кожному наборі. Кожний набір має номер, що дорівнює десятковому еквіваленту двійкового числа, якщо набори упорядковані за зростанням їхніх десяткових еквівалентів. Якщо число змінних дорівнює  $n$ , то кількість наборів  $N = 2^n$ . Номера наборів змінюються від 0 до  $(2^n - 1)$ . Загальне число перемикальних функцій  $n$  – змінних:

$$M = 2^{2^n} \quad . \quad (7.1)$$

Зображення перемикальної функції діаграмою Вейча (картою Карно) буде розглянуто нижче при розгляді питання мінімізації ПФ.

### 7.1.1.2 Перемикальні функції однієї змінної (n=1)

Якщо  $n=1$ , то число наборів  $N = 2^1 = 2$ , а кількість ПФ  $M = 2^{2^1} = 4$  (таблиця 7.2).

Таблиця 7.2 – ПФ однієї змінної

N набору	A	$F_0$	$F_1$	$F_2$	$F_3$
0	0	0	1	0	1
1	1	0	0	1	1

Функція  $F_0$  називається константою нуля, тому що на усіх наборах приймає нульове значення ( $F_0 = 0$ ). Функція  $F_3$  – константа одиниці, тому що завжди дорівнює одиниці ( $F_3 = 1$ ). Функція  $F_2 = A$  і називається повторенням, а  $F_1 = \bar{A}$  – інверсією (запереченням – не A).

### 7.1.1.3 Перемикальні функції двох змінних (n=2)

Якщо  $n = 2$ , то число наборів  $N = 2^2 = 4$ , а кількість ПФ  $M = 2^{2^2} = 16$  (таблиця 7.3).

Відзначимо з цих шістнадцяти функцій 2-х змінних ті, що найбільш часто використовуються:

$F_0$  – константа нуля;

$F_{15}$  – константа одиниці;

$F_8 = A \wedge B = A \cdot B$  – кон'юнкція (логічне множення (логічне “І”));

$F_{14} = A \vee B = A + B$  – диз'юнкція (логічне додавання (логічне “АБО”));

$F_6 = A \not\equiv B = A \oplus B$  – виключне або (сума за модулем два, нерівнозначність, нееквівалентність);

$F_9 = A \in B = A \Leftrightarrow B$  – рівнозначність (еквівалентність);



$$F_1 = \overline{A \vee B} - \text{АБО} - \text{НЕ};$$

$$F_7 = \overline{A \wedge B} - \text{І} - \text{НЕ}.$$

Таблиця 7.3 – ПФ двох змінних

N набору	B	A	F <sub>0</sub>	F <sub>1</sub>	F <sub>2</sub>	F <sub>3</sub>	F <sub>4</sub>	F <sub>5</sub>	F <sub>6</sub>	F <sub>7</sub>	F <sub>8</sub>	F <sub>9</sub>	F <sub>10</sub>	F <sub>11</sub>	F <sub>12</sub>	F <sub>13</sub>	F <sub>14</sub>	F <sub>15</sub>
0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
1	0	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
2	1	0	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
3	1	1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

#### 7.1.1.4 Базисні логічні функції

Будь-яку логічну функцію можна подати сукупністю елементарних логічних функцій: диз'юнкцією, кон'юнкцією, інверсією або їхньою суперпозицією. Набір елементарних функцій АБО, І, НІ називають функціонально повним або базисним (базисом).

#### 7.1.1.5 Принцип двоїстості булевої алгебри

Якщо у виразі  $F_8 = A \wedge B$  кон'юнкцію замінити на диз'юнкцію і проінвертувати обидві змінні, то результат виявиться інверсією старого значення функції  $\overline{F_8} = \overline{A \vee B}$ . Аналогічно, якщо у виразі  $F_{14} = A \vee B$  диз'юнкцію замінити на кон'юнкцію і проінвертувати обидві змінні, то результат виявиться інверсією старого значення функції  $\overline{F_{14}} = \overline{A \wedge B}$ .

Указані властивості логічних функцій відбивають *принцип двоїстості булевої алгебри* [1, 30, 36].

#### 7.1.1.6 Основні тотожності булевої алгебри

$$A + 0 = A; A + 1 = 1; A + A = A;$$

$$A + \bar{A} = 1; A \cdot 0 = 0; A \cdot 1 = A;$$

$$A \cdot A = A; A \cdot \bar{A} = 0; \bar{\bar{A}} = A.$$

Два корисних вирази:

$$A \cdot \bar{B} + \bar{A} \cdot B = \overline{A \cdot B} \cdot (A+B);$$

$$A \cdot \bar{B} + \bar{A} \cdot C = \overline{A \cdot B} \cdot (A+C).$$

#### 7.2.1.7 Основні закони булевої алгебри

*Перемісний* (властивість комутативності):

$$A+B=B+A; A \cdot B=B \cdot A.$$

*Сполучний* (властивість асоціативності):

$$(A+B)+C=A+(B+C); (A \cdot B) \cdot C=A \cdot (B \cdot C).$$

*Розподільний* (властивість дистрибутивності):

$$A \cdot (B+C)=A \cdot B+A \cdot C; A+B \cdot C=(A+B) \cdot (A+C).$$

*Поглинання*:  $A+A \cdot B=A$ ;  $A \cdot (A+B)=A$ .

*Склеювання*:  $A \cdot B + \bar{B} = A$ ;  $(A+B) \cdot (A+\bar{B}) = A$  ;

*Заперечення*:  $\overline{A+B} = \bar{A} \cdot \bar{B}$ ;  $\overline{A \cdot B} = \bar{A} + \bar{B}$  (форма 1);

$$A \cdot B = \overline{\bar{A} + \bar{B}}; A+B = \overline{\bar{A} \cdot \bar{B}} \text{ (форма 2).}$$

Останні вирази впливають з принципу двоїстості булевої алгебри і називаються також *теоремою де Моргана*.

Теорема без назви: Існує ще одна теорема без назви, яку можна навести у наступному вигляді:

$$A + \bar{A} \cdot B = A + B; (A + \bar{B}) \cdot B = A \cdot B;$$

$$B + \bar{B} \cdot A = B + A; (B + \bar{A}) \cdot A = B \cdot A.$$

Два корисних вирази:

$$A \cdot \bar{B} + \bar{A} \cdot B = \overline{A \cdot B} \cdot (A+B);$$

$$A \cdot \bar{B} + \bar{A} \cdot C = \overline{A \cdot B} \cdot (A+C).$$

### 7.1.1.8 Досконала диз'юнктивна нормальна форма (ДДНФ) запису булевих виразів

Булеві вирази простих логічних функцій можна записати за їх словесним описом. У загальному випадку для одержання аналітичної форми використовують таблиці істинності.

Припустимо, логічна функція трьох змінних задана таблицею істинності (таблиця 7.4).

Таблиця 7.4 – Таблиця істинності трьох змінних

N набору	C	B	A	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

Ця функція має чотири конституенти одиниці  $K_1$ ,  $K_4$ ,  $K_5$  і  $K_6$  (конституента одиниці – це одиничне значення ПФ на одному з наборів). Усього для ПФ трьох змінних може бути вісім конститuent, якщо функція приймає одиничне значення на усіх наборах.

Для нашого приклада

$$K_1 = \bar{C} \cdot \bar{B} \cdot A; K_4 = C \cdot \bar{B} \cdot \bar{A}; K_5 = C \cdot \bar{B} \cdot A; K_6 = C \cdot B \cdot \bar{A}.$$

Булевий вираз ПФ у ДДНФ являє собою суму конститuent одиниці:

$$F = \bar{C} \cdot \bar{B} \cdot A + C \cdot \bar{B} \cdot \bar{A} + C \cdot \bar{B} \cdot A + C \cdot B \cdot \bar{A}. \quad (7.2)$$

Оскільки конституенти одиниці записуються у вигляді кон'юнкцій, то ДДНФ являє собою суму кон'юнкцій, кожна з яких містить усі змінні в прямому або інверсному вигляді не більш одного разу. Очевидно, що логічна функція має єдиний булевий вираз у ДДНФ, що впливає з методики його одержання.

ДДНФ зветься диз'юнктивною (включає суму кон'юнкцій), досконалою (усі кон'юнкції містять кожну змінну у прямому або інверсному вигляді) та нормальною (дворівневою) – її реалізація потребує логічних елементів двох видів: кон'юнкторів та диз'юнкторів, при цьому вважається, що вхідні змінні задаються у прямому та інверсному вигляді.

#### **7.1.1.9 Диз'юнктивна нормальна форма (ДНФ)**

Якщо у виразі (7.2) усі кон'юнкції або деякі з них не містять усіх змінних у прямому або інверсному вигляді, а також деякі кон'юнкції взагалі відсутні, то така форма представлення булевого виразу називається диз'юнктивною нормальною формою (ДНФ).

Перемикальна функція може описуватися декількома булевими виразами в ДНФ, один з яких є мінімальним (містить мінімум кон'юнкцій і мінімум змінних, які входять у них).

#### **7.1.1.10 Досконала кон'юнктивна нормальна форма (ДКНФ) запису булевих виразів**

Булевий вираз ПФ у ДКНФ являє собою добуток конститuent нуля, що записуються у вигляді диз'юнкцій. Кожна з них містить усі змінні в прямому або інверсному вигляді не більш одного разу. Для ПФ, поданої таблицею 7.4, булевий вираз в ДКНФ має вигляд

$$F = (C + B + A) \cdot (C + \bar{B} + A) \cdot (C + \bar{B} + \bar{A}) \cdot (\bar{C} + \bar{B} + \bar{A}). \quad (7.3)$$

ДКНФ зветься кон'юнктивною (включає добуток диз'юнкцій), досконалою (усі диз'юнкції містять кожну змінну у прямому або інверсному вигляді) та нормальною (дворівневою) – її реалізація потребує логічних елементів двох видів: кон'юнкторів та диз'юнкторів, при цьому вважається, що вхідні змінні задаються у прямому та інверсному вигляді.

Логічна функція має єдиний булевий вираз у ДКНФ.

#### 7.1.1.11 Кон'юнктивна нормальна форма (КНФ)

Якщо у виразі (7.3) усі диз'юнкції або окремі з них не містять усіх змінних у прямому або інверсному вигляді, а також деякі диз'юнкції взагалі відсутні, то така форма представлення булевого виразу називається кон'юнктивною нормальною формою (КНФ).

Перемикальна функція може описуватися декількома булевими виразами в КНФ, один з яких є мінімальним (містить мінімум диз'юнкцій і мінімум змінних, які входять у кожну із них).

#### 7.1.1.12 Мінімізація логічних функцій

Мінімізацією називають процедуру спрощення перемикальних (логічних) функцій, спрямовану на те, щоб булевий вираз ПФ містив мінімальну кількість членів із мінімальною кількістю змінних.

Способи мінімізації:

- алгебраїчний;
- за допомогою діаграм Вейча (карт Карно).

##### 7.1.1.12.1 Алгебраїчний спосіб мінімізації ПФ

У деяких простих випадках можна здійснити мінімізацію булевого виразу ПФ, використовуючи тотожності і теореми булевої алгебри.

Приклад 1. Початковий булевий вираз:

$$F = C \cdot B \cdot \bar{A} + C \cdot \bar{B} \cdot A + C \cdot \bar{B} \cdot \bar{A} + \bar{C} \cdot \bar{B} \cdot A \quad (7.4)$$

Використовуючи теорему склеювання отримаємо булевий вираз

$$F = C \cdot \bar{A} + \bar{B} \cdot A, \quad (7.5)$$

який еквівалентний початковому, але значно простіше його.

Приклад 2. Початковий булевий вираз:

$$F = C \cdot B \cdot \bar{A} + C \cdot \bar{B} \cdot A + \bar{C} \cdot B \cdot A + C \cdot B \cdot A \quad (7.6)$$

Використовуючи тотожність  $A=A+A$  і теорему склеювання отримаємо більш простий вираз:

$$F = C \cdot B + C \cdot A + B \cdot A. \quad (7.7)$$

Такі елементарні прийоми мінімізації вдається використовувати, якщо початковий булевий вираз містить малу кількість членів з невеликим числом змінних.

Більш наочною і зручною є мінімізація з використанням діаграм Вейча (карт Карно).

#### 7.1.1.12.2 Мінімізація ПФ за допомогою діаграм Вейча

Початковим продуктом для застосування діаграм Вейча є представлення ПФ таблицею істинності, в якій можливі набори змінних упорядковані за зростанням або за зменшенням їхніх десяткових еквівалентів. Вигляд діаграм Вейча залежить від кількості змінних ПФ –  $n$  і від того, як упорядковані набори змінних у таблиці. Якщо набори упорядковані за зростанням їхніх десяткових еквівалентів, то діаграми Вейча для  $n=2, 3, 4$  мають вигляд, який наведений на рисунку 7.1.

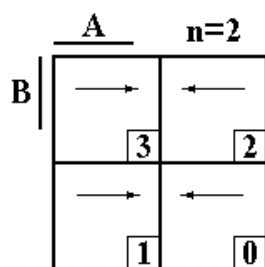
Кількість клітин діаграми дорівнює кількості наборів змінних

$$N_{\text{кл}} = N_{\text{наб}} = 2^n. \quad (7.8)$$

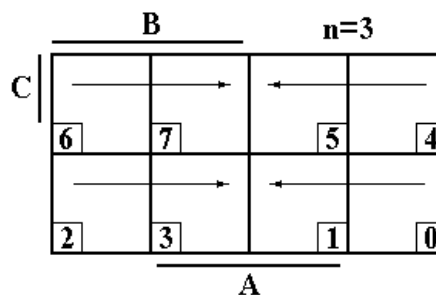
Якщо  $n = 2$ , то  $N_{\text{кл}} = 2^2 = 4$ ;  $n = 3$ ,  $N_{\text{кл}} = 8$ ;  $n = 4$ ,  $N_{\text{кл}} = 16$ .

Кожна клітина відповідає окремому набору змінних і має номер, однаковий із номером набору.

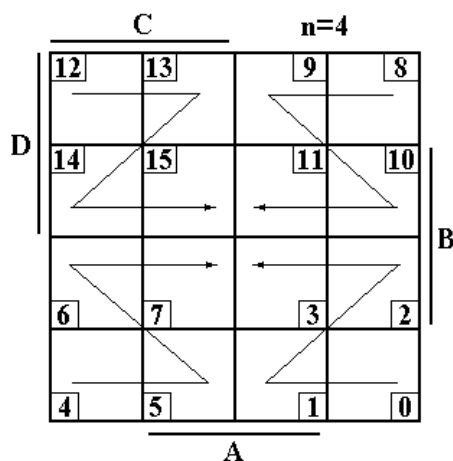
Рядки і стовпці діаграми, що помічені рисою з написом імені змінної, визначають набори, у які ці змінні входять у прямій формі (мають одиничне значення). Набори, що відповідають іншим рядкам і стовпцям, містять ті ж змінні в інверсній формі (мають нульове значення). Наприклад, для  $n = 3$  (рисунок 7.1) двом лівим стовпцям відповідає значення змінної  $B$  у прямій формі ( $B$ ), а двом правим – у інверсній ( $\bar{B}$ ).



а



б



в

Рисунок 7.1 – Діаграми Вейча для:

а – двозмінних; б – трьохзмінних; в – чотирьохзмінних ПФ

В клітини записуються значення ПФ на відповідному наборі (нульове або одиничне). Якщо на якомусь наборі функція не визначена, то в клітині діаграми ставиться риска.

ПФ вважається не визначеною, якщо:

- існуючий набір змінних у реальному логічному пристрої неможливий;
- значення функції на даному наборі байдуже.

Після заповнення діаграми можна приступити безпосередньо до мінімізації, що роблять за одиницями або нулями.

У першому випадку результатом мінімізації буде булевий вираз у диз'юнктивній нормальній формі (ДНФ), а в другому – у кон'юнктивній нормальній формі (КНФ).

#### 7.1.1.12.2.1 Загальне правило мінімізації

1) Суміжні одиниці (нулі) діаграми умовно охоплюють (накривають) прямокутними контурами. Кожний контур може містити 1, 2, 4, 8, 16,... одиниць (нулів).

2) Одним контуром (накриттям) необхідно об'єднати максимальну кількість суміжних клітин, що містять одиниці (нулі).

3) Необхідно, щоб кожна одиниця (нуль) накривалася хоча б один раз.

4) Та сама одиниця (нуль) може охоплюватися декілька разів різними контурами.

5) Верхній і нижній рядки діаграми вважаються суміжними – їх можна вважати такими, якщо умовно згорнути діаграму в горизонтальний циліндр.

6) Лівий і правий стовпці також вважаються суміжними – діаграму можна умовно згорнути у вертикальний циліндр.

7) Кутові клітини також вважаються суміжними – діаграму можна умовно згорнути в тор.

8) У клітини, що містять прочерки (на даних наборах ПФ невизначена), можна записувати додаткові одиниці (нулі), що сприяє одержанню більш простого кінцевого булевого виразу. При цьому варто пам'ятати, що хоча б один раз необхідно накрити лише основні одиниці (нулі). Додаткові одиниці (нулі) можуть збільшувати сумарну кількість одиниць (нулів), що входять у накриття, а отже, зменшувати кількість змінних у результуючих кон'юнкціях (диз'юнкціях).

9) Результатом мінімізації є булевий вираз в ДНФ або КНФ. Кількість кон'юнкцій у ДНФ (диз'юнкцій у КНФ) відповідає кількості контурів (накриттів).

10) У кожен кон'юнкцію (диз'юнкцію) увійдуть тільки ті змінні, значення яких у межах контуру не змінюється (змінна входить у накриття тільки в прямій або інверсній формі).



При мінімізації за одиницями у результуючі кон'юнкції змінні входять у прямій формі, якщо відповідні їм рядки і стовпці діаграми помічені рискою. Змінні, пов'язані з рядками і стовпцями не поміченими рискою, входять у кон'юнкції в інверсній формі.

При мінімізації за нулями у результуючі диз'юнкції змінні входять у прямій формі, якщо відповідні їм рядки і стовпці не помічені рискою, у протилежному випадку диз'юнкції містять змінні в інверсному вигляді.

Ціллю мінімізації є одержання мінімальної ДНФ або КНФ, що містить мінімум членів, які мають мінімальну кількість змінних. Для цього необхідно меншою кількістю контурів охопити хоча б один раз кожен основну одиницю (нуль). При цьому необхідно намагатися, щоб у кожне накриття входило як найбільше суміжних одиниць (нулів).

На рисунку 7.1 показані діаграми Вейча при числі логічних змінних  $n=2, 3, 4$ . Для  $n > 4$  діаграми містяться [1, 2, 18, 27, 30, 33, 36, 36].

### 7.1.1.12.3 Мінімізація ПФ за допомогою карт Карно

У картах Карно кожний рядок і стовець позначаються значенням конкретної змінної або комбінацією змінних [36, 40]. На рисунку 7.2 показаний приклад карти Карно для ПФ чотирьох змінних.

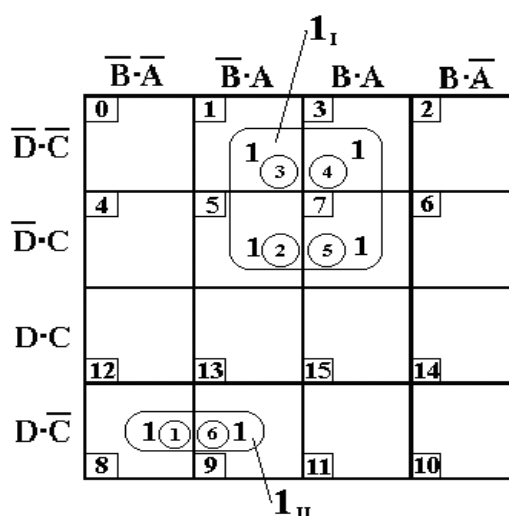


Рисунок 7.2 – Приклад карти Карно для ПФ чотирьох змінних

Карти Карно зручно використовувати, якщо ПФ задана у вигляді булевого виразу у досконалій диз'юнктивній нормальній формі (ДДНФ).

Наприклад,

$$F = D \cdot \bar{C} \cdot \bar{B} \cdot \bar{A} + \bar{D} \cdot C \cdot \bar{B} \cdot A + \bar{D} \cdot \bar{C} \cdot \bar{B} \cdot A + \bar{D} \cdot \bar{C} \cdot B \cdot A + \bar{D} \cdot C \cdot B \cdot A + D \cdot \bar{C} \cdot \bar{B} \cdot A. \quad (7.9)$$

(1)
(2)
(3)
(4)
(5)
(6)

Правила мінімізації за допомогою карт Карно загалом аналогічні правилам, викладеним при розгляді діаграм Вейча. Відмінність складається в заповненні карти Карно одиницями. Якщо діаграма Вейча заповнюється одиницями відповідно до номерів наборів, на яких початкова ПФ приймає одиничне значення, то в карті Карно одиниці ставлять у клітини, що лежать на перетині рядків і стовпців карти, помічених комбінаціями змінних, які при їхньому перемножуванні дають запис відповідної константи одиниці (кон'юнкції). На рисунку 7.2 показаний приклад заповнення карти Карно за виразом (7.9), що містить шість конститuent одиниць.

Булевий вираз мінімізованої ПФ має вигляд

$$F = \bar{D} \cdot A + \overbrace{D \cdot \bar{C} \cdot B}^{I_{II}}. \quad (7.10)$$

Інші приклади використання діаграм Вейча і карт Карно показані в [1, 2, 18, 27, 30, 33, 36, 40].

#### 7.1.1.12.4 Приклад мінімізації ПФ за допомогою діаграм Вейча

Для контролю за можливою деформацією металевої конструкції через перегрів у її критичних точках встановлено чотири термодатчики, які позначені ТД<sub>1</sub>, ТД<sub>2</sub>, ТД<sub>3</sub>, ТД<sub>4</sub>.

Експериментальні дослідження конструкції показали, що деформація можлива в наступних випадках: 1) спрацювали ТД<sub>4</sub>, ТД<sub>3</sub> і не спрацювали ТД<sub>2</sub> і ТД<sub>1</sub>; 2) спрацювали ТД<sub>4</sub>, ТД<sub>3</sub>, ТД<sub>2</sub> і ТД<sub>1</sub>; 3) спрацював ТД<sub>2</sub> і не спрацювали ТД<sub>4</sub>, ТД<sub>3</sub> і ТД<sub>1</sub>; 4) спрацювали ТД<sub>3</sub>, ТД<sub>2</sub> і ТД<sub>1</sub> і не спрацював ТД<sub>4</sub>.

У випадках, коли:

5) спрацювали ТД<sub>4</sub>, ТД<sub>3</sub>, ТД<sub>2</sub> і не спрацював ТД<sub>1</sub>; 6) спрацювали ТД<sub>2</sub>, ТД<sub>1</sub> і не спрацювали ТД<sub>4</sub>, ТД<sub>3</sub> деформація конструкції не виникала. За умовою експлуатації конструкції інші сполучення датчиків, що спрацювали і що не спрацювали, неможливі.

Необхідно спроектувати цифровий логічний пристрій, що вмикає сигнал тривоги, якщо відбувається спрацювання термодатчиків у небезпечному сполученні.

Позначимо цифрові сигнали на виході термодатчиків логічними змінними: ТД<sub>4</sub> → D; ТД<sub>3</sub> → C; ТД<sub>2</sub> → B; ТД<sub>1</sub> → A, а логічну функцію, яку повинен реалізувати пристрій контролю – F.

Складемо таблицю істинності, що відбиває необхідну логічну функцію (таблиця 7.5).

Таблиця 7.5 – Таблиця істинності для 4-х змінних

	(ТД <sub>4</sub> )	(ТД <sub>3</sub> )	(ТД <sub>2</sub> )	(ТД <sub>1</sub> )	Значення функції	
N набору	D	C	B	A	F	
0	0	0	0	0	–	
1	0	0	0	1	–	
2	0	0	1	0	1	3)
3	0	0	1	1	0	6)
4	0	1	0	0	–	
5	0	1	0	1	–	
6	0	1	1	0	–	
7	0	1	1	1	1	4)
8	1	0	0	0	–	
9	1	0	0	1	–	
10	1	0	1	0	–	
11	1	0	1	1	–	
12	1	1	0	0	1	1)
13	1	1	0	1	–	
14	1	1	1	0	0	5)
15	1	1	1	1	1	2)

Діаграма Вейча, що відбиває подану таблицю, наведена на рисунку 7.3.

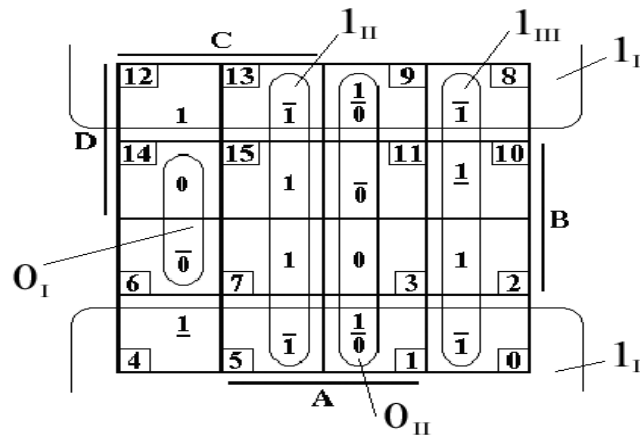


Рисунок 7.3 – Діаграма Вейча, що відповідає таблиці 7.5

Проведемо мінімізацію за одиницями. Для цього в клітини, що містять риси ставимо додаткові одиниці.

Основні одиниці накриваємо трьома контурами: 1-й контур утворюють клітини першого й останнього рядків, 2-й – клітини 2 стовпця і 3-й – 4-го стовпця.

Підсумковий булевий вираз мінімізованої ПФ має вигляд

$$F = \overbrace{B}^{1_I} + \overbrace{C \cdot A}^{1_{II}} + \overbrace{C \cdot \bar{A}}^{1_{III}} \quad (7.11)$$

Цей вираз має бути реалізовано цифровим логічним пристроєм, що вмикає сигнал тривоги.

Розглянуту функцію можна мінімізувати і за нульовими значеннями (нулями). Для цього дописуємо у клітини з номерами 1, 6, 9 і 11 нулі і накриваємо два основних нулі двома прямокутниками, що містять два і чотири елементи (нулі). Перший прямокутник охоплює клітини з номерами 6, 14, другий – 1, 3, 11 і 9.

Підсумковий булевий вираз мінімізованої ПФ має вигляд

$$F = \overbrace{(\bar{C} + A + \bar{B})}^{0_I} \cdot \overbrace{(\bar{A} + C)}^{0_{II}} \quad (7.12)$$

Обидва вирази еквівалентні і застосовувати можна той з них, який простіше реалізується на конкретному наборі логічних елементів (базисі).

## **7.1.2 Основні типи логічних елементів**

### **7.1.2.1 Загальна характеристика**

Для апаратної реалізації булевих виразів використовується певний набір логічних елементів, що випускаються у вигляді інтегральних мікросхем (ІМС). Існують спеціалізовані ІМС, розроблені методами інтегральної технології спеціально для одержання необхідної логічної залежності. Спеціалізовані ІМС не потребують ніяких паяних між'єднань і мають високу надійність. Проте розробка подібних мікросхем економічно виправдана лише при великому обсязі випуску. Прикладом може служити масовий випуск спеціалізованих великих інтегральних схем (ВІС) для електронних годинників, мікрокалькуляторів і т. ін.

Крім спеціалізованих ВІС є універсальний набір логічних елементів у вигляді ІМС, що забезпечує реалізацію елементарних логічних функцій. До цього набору можна віднести: інвертор, кон'юнктор, диз'юнктор, повторювач, І–НЕ, АБО–НЕ, виключне АБО, додавання за модулем два (непарність), додавання за модулем два з інверсією (парність), еквівалентність, нееквівалентність, І–АБО–НЕ, заборона і т. ін.

### **7.1.2.2 Інвертор (логічний елемент НЕ)**

Інвертор реалізує логічну функцію

$$F = \bar{A}. \quad (7.13)$$

Нижче показані його позначення на електричних схемах (рисунок 7.4, а) і принципова схема (рисунок 7.4, б).

### **7.1.2.3 Кон'юнктор (логічний елемент І)**

Кон'юнктор реалізує логічну функцію

$$F = A \wedge B = A \cdot B. \quad (7.14)$$

Нижче показані його позначення на електричних схемах (рисунок 7.5, а), принципова схема (рисунок 7.5, б) і таблиця істинності (таблиця 7.6).

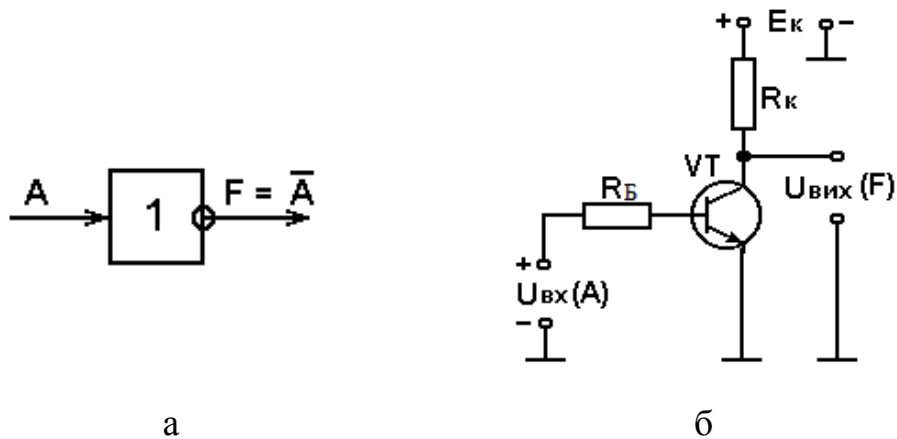


Рисунок 7.4 – Логічний елемент НЕ:

а – позначення на електричних схемах; б – принципова схема

Термін “логічний” звичайно використовують стосовно процедури прийняття рішення. У такому випадку можна сказати, що логічний елемент – це така схема, що, базуючись на входних сигналах, може вирішувати, що їй відповісти на виході – “так” або “ні”.

Схема кон’юнктора на рисунку 7.5 відповідає “так” (на виході з’являється високий рівень напруги) тільки в тому випадку, коли на обидва її входи подані сигнали “так” (обидві входні напруги мають високий рівень).

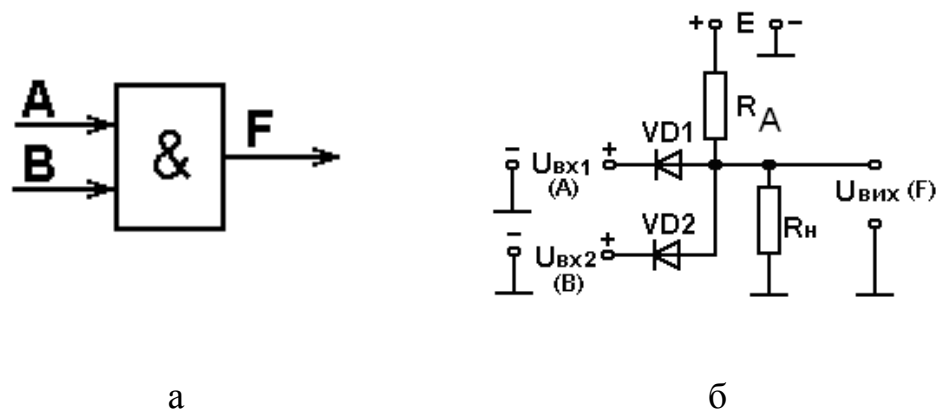


Рисунок 7.5 – Логічний елемент І:

а – позначення на електричних схемах; б – принципова схема

Таблиця 7.6 – Таблиця істинності логічного елемента І

N набору	B	A	F
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	1

На рисунку 7.6 показана схема дослідження логічного елемента І.

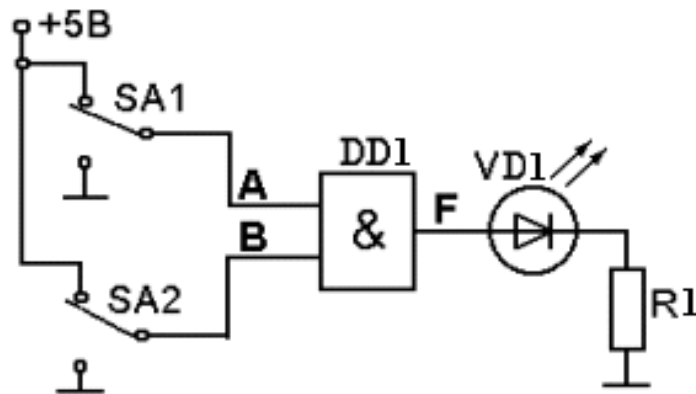


Рисунок 7.6 – Схема дослідження логічного елемента І

Входи логічного елемента підключені до ключів SA1 і SA2. Індикатором виходу служить світлодіод. Якщо на входах А або В з'являються сигнали НИЗЬКОГО логічного рівня (земля), то світлодіод не випромінює. Цю ситуацію відображає перший, другий та третій рядки таблиці 7.7

Крім значень рівнів напруг і позначки наявності випромінювання вхідні і вихідні сигнали в таблиці 7.7 позначені двійковими цифрами: 0 і 1.

Відповідно до рядків 1, 2 та 3, якщо хоча б на один вхід поданий двійковий нуль, то на виході логічного елемента також виникає двійковий нуль.

Таблиця 7.7 – Результати дослідження логічного елемента І

	Входи				Вихід	
	А		В		F	
	Рівень напруги	Двійковий сигнал	Рівень напруги	Двійковий сигнал	Випромінювання	Двійковий сигнал
Рядок 1	низький	0	низький	0	немає	0
Рядок 2	низький	0	високий	1	немає	0
Рядок 3	високий	1	низький	0	немає	0
Рядок 4	високий	1	високий	1	є	1

Двійкова одиниця на виході елемента І з'являється тільки в тому випадку, коли на обидва входи А та В подані високі рівні (двійкові одиниці).

Двійковій одиниці, або напрузі ВИСОКОГО рівня, у точках А, В або F відповідає потенціал близький до +5В відносно землі. Двійковий нуль, або напруга НИЗЬКОГО рівня, у точках А, В або F відповідає потенціалу землі (точніше, близька до потенціалу землі, тобто до нуля). Ми застосовуємо тут так звану “додатну логіку”, оскільки для одержання двійкової одиниці використовується додатна напруга +5В. При роботі з цифровими електронними пристроями ми частіше всього будемо мати справу з “додатною логікою”.

#### 7.1.2.4 Диз'юнктор (логічний елемент АБО)

Диз'юнктор реалізує логічну функцію:

$$F=A \vee B=A+B. \quad (7.15)$$

Нижче показані його позначення на електричних схемах (рисунок 7.7, а), принципова схема (рисунок 7.7, б) і таблиця істинності (таблиця 7.8).



Відмінна властивість логічного елемента АБО складається в тому, що на його виході з'являється сигнал низького рівня тільки тоді, коли на усі його входи подаються також сигнали низького логічного рівня.

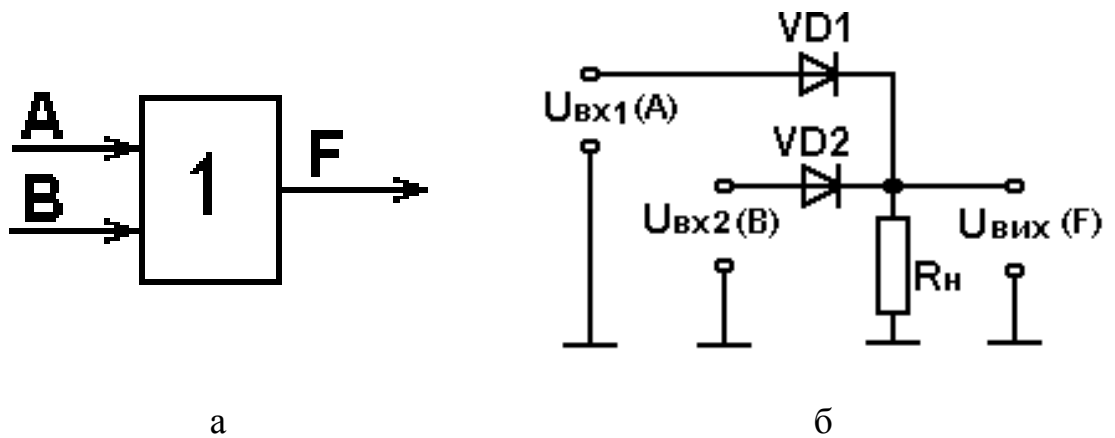


Рисунок 7.7 – Логічний елемент АБО:

а – позначення на електричних схемах; б – принципова схема

Таблиця 7.8 – Таблиця істинності логічного елемента АБО

N набору	B	A	F
0	0	0	0
1	0	1	1
2	1	0	1
3	1	1	1

#### 7.1.2.5 Повторювач

Повторювач реалізує логічну функцію

$$F = A. \quad (7.16)$$

Його позначення на електричних схемах подане на рисунку 7.8.

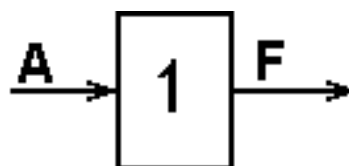


Рисунок 7.8 – Позначення повторювача на електричних схемах

Повторювач не виконує ніяких логічних перетворень і використовується для підвищення навантажувальної здатності окремих виходів ІМС або як елемент затримки, яка дорівнює часу поширення сигналу через нього.

#### 7.1.2.6 Логічний елемент І – НЕ

Елемент І – НЕ реалізує логічну функцію

$$F = \overline{A \wedge B} = \overline{A \cdot B}. \quad (7.17)$$

Нижче показані його позначення на електричних схемах (рисунок 7.9, а), функціональна схема (рисунок 7.9, б) і таблиця істинності (таблиця 7.9).

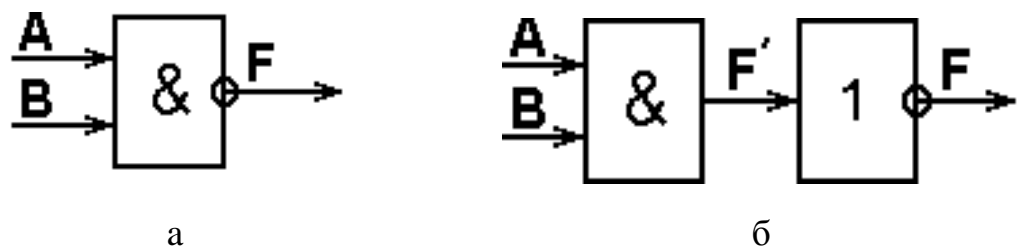


Рисунок 7.9 – Логічний елемент І–НЕ:

а – позначення на електричних схемах; б – функціональна схема

Таблиця 7.9 – Таблиця істинності логічного елемента І–НЕ

N набору	B	A	F
0	0	0	1
1	0	1	1
2	1	0	1
3	1	1	0

### 7.1.2.7 Логічний елемент АБО – НЕ

Логічний елемент АБО – НЕ реалізує логічну функцію:

$$F = \overline{A + B} = \overline{A \vee B}. \quad (7.18)$$

На рисунку 7.10 показані його позначення на електричних схемах (рисунки 7.10, а), функціональна схема (рисунки 7.10, б) і таблиця істинності (таблиця 7.10).

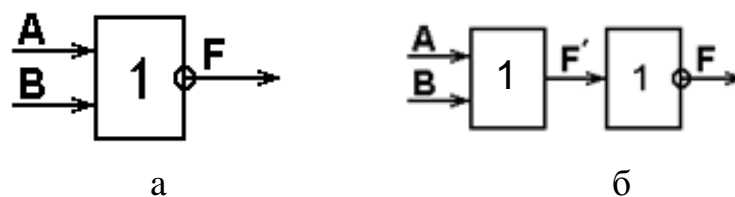


Рисунок 7.10 – Логічний елемент АБО–НЕ: а – позначення на електричних схемах; б – функціональна схема

Таблиця 7.10 – Таблиця істинності логічного елемента АБО–НЕ

N набору	B	A	F
0	0	0	1
1	0	1	0
2	1	0	0
3	1	1	0

### 7.1.2.8 Виключне АБО

Логічний елемент “Виключне АБО” реалізує логічну функцію:

$$F = A \nabla B. \quad (7.19)$$

Нижче показані його позначення на електричних схемах (рисунки 7.11) і таблиця істинності (таблиця 7.11).

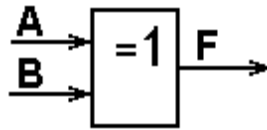


Рисунок 7.11 – Позначення логічного елемента “Виключне АБО” на електричних схемах

Таблиця 7.11 – Таблиця істинності логічного елемента “Виключне АБО”

N набору	B	A	F
0	0	0	0
1	0	1	1
2	1	0	1
3	1	1	0

Елемент називається “Виключне АБО” тому, що його таблиця істинності збігається з таблицею істинності елемента АБО (підрозділ 7.1.2.4) першими трьома рядками. У четвертому рядку елемента АБО  $F=1$ , а елемента “Виключне АБО” – нуль.

#### 7.1.2.9 Додавання за модулем два (непарність)

Елемент реалізує логічну функцію

$$F = A \oplus B \oplus C. \quad (7.20)$$

Нижче показані його позначення на електричних схемах (рисунок 7.12) і таблиця істинності (таблиця 7.12).

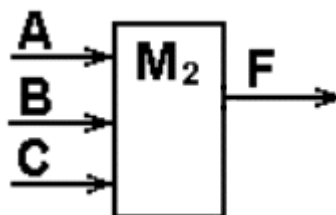


Рисунок 7.12 – Позначення на електричних схемах логічного елемента “Додавання за модулем два (непарність)”

Елемент підсумовує значення змінних за модулем два (символ  $\oplus$  (псевдоплюс) означає сума за модулем два ( $\sum \text{mod} 2$ ):  $0+0=0$ ;  $1+1=0$ ;  $1+0=1$ ;  $0+1=1$ ). Якщо при підсумовуванні число одиниць непарне, то функція дорівнює 1, в протилежному випадку –  $F = 0$ .

Таблиця 7.12 – Таблиця істинності логічного елемента “Додавання за модулем два (непарність)”

N набору	C	B	A	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

#### 7.1.2.10 Додавання за модулем два із запереченням (парність)

Елемент реалізує логічну функцію:

$$F = \overline{A \oplus B \oplus C}. \quad (7.21)$$

Нижче показані його позначення на електричних схемах (рисунок 7.13) і таблиця істинності (таблиця 7.13).

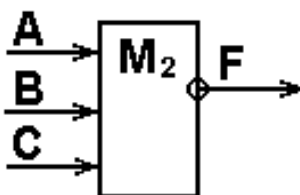


Рисунок 7.13 – Позначення на електричних схемах логічного елемента “Додавання за модулем два із запереченням (парність)”

Елемент формує суму за модулем два, яка потім інвертується на виході. Якщо при підсумовуванні число одиниць парне, то функція дорівнює 1, у протилежному випадку –  $F = 0$ .

Таблиця 7.13 – Таблиця істинності логічного елемента “Додавання за модулем два із запереченням (парність)”

N набору	C	B	A	F
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

#### 7.1.2.11 Еквівалентність

Логічний елемент реалізує логічну функцію

$$F = \overline{A} \cdot \overline{B} \cdot \overline{C} + A \cdot B \cdot C \quad (7.22)$$

Нижче показані його позначення на електричних схемах (рисунок 7.14) і таблиця істинності (таблиця 7.14).

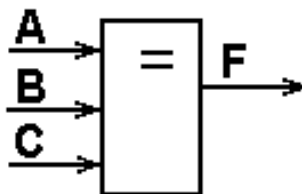


Рисунок 7.14 – Позначення на електричних схемах логічного елемента “Еквівалентність”

Функція дорівнює одиниці, коли усі змінні однакові (дорівнюють одиниці або нулю). У протилежному випадку –  $F = 0$ .

Таблиця 7.14 – Таблиця істинності логічного елемента “Еквівалентність”

N набору	C	B	A	F
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

#### 7.1.2.12 Нееквівалентність

Логічний елемент реалізує логічну функцію

$$F = \overline{A \cdot B \cdot C} + A \cdot B \cdot C. \quad (7.23)$$

Нижче показані його позначення на електричних схемах (рисунок 7.15) і таблиця істинності (таблиця 7.15).

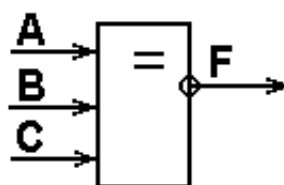


Рисунок 7.15 – Позначення на електричних схемах логічного елемента “Нееквівалентність”

Функція дорівнює одиниці, коли змінні не однакові. В протилежному випадку –  $F = 0$ .

Таблиця 7.15 – Таблиця істинності логічного елемента “Нееквівалентність”

N набору	C	B	A	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	1
4	1	0	0	1
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

Якщо число логічних змінних дорівнює двом, то логічний елемент “Нееквівалентність” збігається з елементами “Додавання за модулем два” і “Виключне АБО ” (таблиці 7.11, 7.12).

#### 7.1.2.13 Логічний елемент І – АБО – НЕ

Елемент реалізує більш складну логічну функцію, булевий вираз якої має вигляд:

$$F = \overline{A \cdot B + C \cdot D} . \quad (7.24)$$

Нижче показані його позначення на електричних схемах (рисунок 7.16) і таблиця істинності (таблиця 7.16).

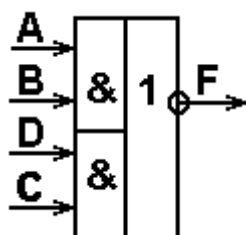


Рисунок 7.16 – Позначення на електричних схемах логічного елемента “І – АБО – НЕ”



Таблиця 7.16 – Таблиця істинності логічного елемента  
“І – АБО – НЕ”

N набору	D	C	B	A	F
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	0

#### 7.1.2.14 Заборона

Логічний елемент реалізує логічну функцію

$$F = A \cdot \overline{B}. \quad (7.25)$$

Нижче показані його позначення на електричних схемах (рисунок 7.17) і таблиця істинності (таблиця 7.17).

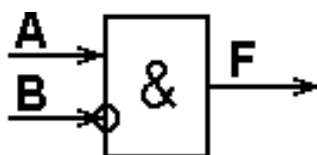


Рисунок 7.17 – Позначення на електричних схемах  
логічного елемента “Заборона”

На виході такого елемента логічна одиниця буде лише в тому випадку, якщо на основному вході – логічна одиниця ( $A=1$ ), а на вході B, що забороняє – нуль ( $B=0$ ).

Таблиця 7.17 – Таблиця істинності  
логічного елемента “Заборона”

N набору	B	A	F
0	0	0	0
1	0	1	1
2	1	0	0
3	1	1	0

В позначенні елемента на електричних схемах вхід, що забороняє, позначений як інверсний – кругом. Сигналом на цьому вході, що забороняє, буде логічна одиниця.

#### 7.1.2.15 Логічні елементи з відкритим колектором

При побудові цифрових пристроїв часто виникає необхідність об'єднання виходів декількох логічних елементів з метою переходу на спільний вихідний ланцюг. Цю задачу можна вирішити за допомогою елемента АБО (рисунок 7.18).

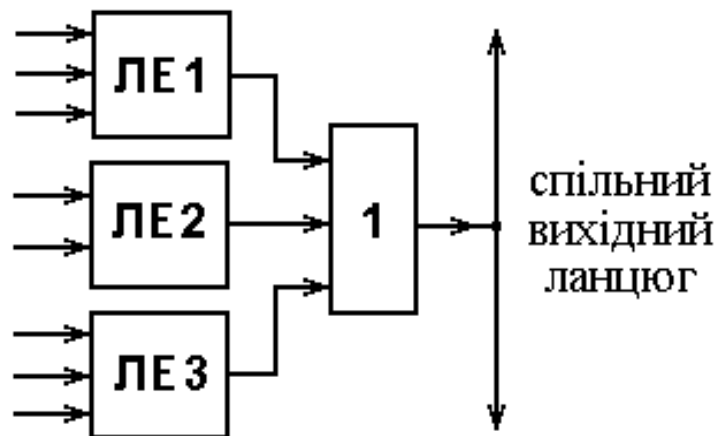


Рисунок 7.18 – Схема об'єднання виходів декількох логічних елементів на спільний вихідний ланцюг

При цьому доводиться миритися з додатковими схемними витратами і збільшенням сумарної затримки проходження цифрових сигналів через пристрій.

Інший спосіб вирішення описаної вище задачі заснований на застосуванні логічних елементів з відкритим колектором (стоком), у полі функціонального позначення яких є спеціальний символ  $\triangle$ , що вказує, що колектор (стік) вихідного транзистора відкритий (обірваний, “висить у повітрі”).

На рисунку 7.19 показано об'єднання виходів декількох логічних елементів із відкритим колектором на спільний вихід.

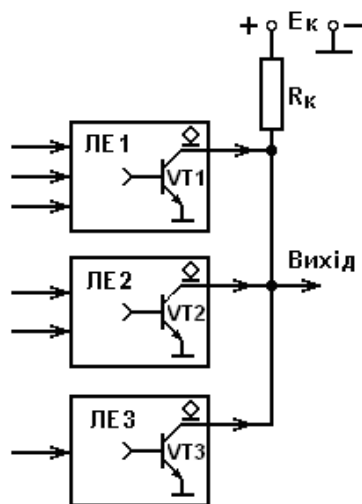


Рисунок 7.19 – Схема об'єднання виходів декількох логічних елементів із відкритим колектором на спільний вихід

Для нульових сигналів на виході логічних елементів ЛЕ1...ЛЕ3 (відповідний транзистор відкритий) подана схема виконує функцію “монтажне АБО”: якщо логічний нуль з'являється хоча б на одному із виходів логічних елементів, вихідний сигнал також буде дорівнювати нулю.

Для одиничних сигналів на виходах логічних елементів ЛЕ1...ЛЕ3 (відповідний транзистор закритий) схема виконує функцію “монтажне І”: вихідний сигнал схеми дорівнює одиниці лише при одночасній появі логічних одиниць на виходах усіх логічних елементів.

Елементи з відкритим колектором (стоком) мають більш високу навантажувальну здатність, ніж звичайні ЛЕ, тому можуть використовуватися для підключення навантажень типу тиристорів, реле, індикаторів (світлодіодів) і т. ін. (рисунк 7.20).

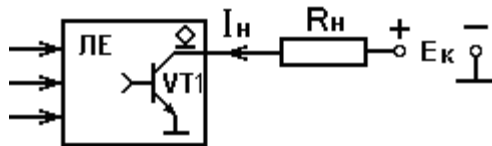


Рисунок 7.20 – Схема підключення до виходу логічного елемента із відкритим колектором зовнішнього навантаження  $R_H$

При цьому необхідно забезпечити виконання умови:

$$I_H \leq I_{\text{ВІХ}}^0, \quad (7.26)$$

де  $I_H$  – струм навантаження;  $I_{\text{ВІХ}}^0$  – значення максимального струму, що може протікати через відкритий вихідний транзистор логічного елемента (на виході логічний нуль).

На рисунку 7.21 наведений приклад підключення до ЛЕ з відкритим колектором світлодіода VD1.

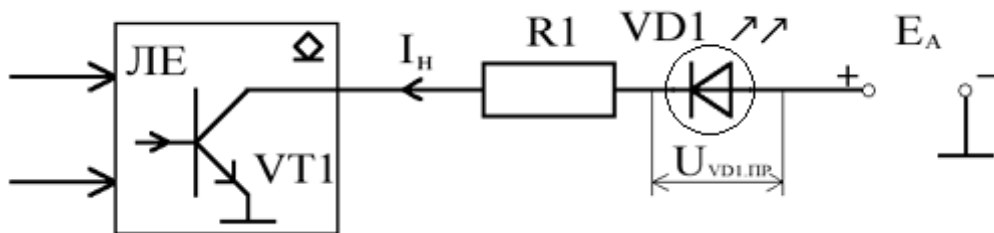


Рисунок 7.21 – Схема підключення світлодіода до ЛЕ з відкритим колектором

Коли на виході логічного елемента з'являється логічний 0 (вихідний транзистор VT1 відкритий), світлодіод буде підключений до джерела струму  $E_A$  у прямому напрямку. Коли через світлодіод VD1 протікає прямий струм, він засвічується. Струм  $I_H$  дорівнює струму засвічування світлодіода, який,

наприклад, складає:  $I_{ЗАСБ.VD1} \leq 20 \text{ мА}$ . Падіння напруги на відкритому діоді  $U_{VD1.ПР}$  складає, наприклад: (1,7...2) В. Резистор R1 обмежує величину прямого струму і обчислюється за формулою:

$$R1 = \frac{E_A - U_{VD1.ПР}}{I_{ЗАСБ.VD1}}. \quad (7.27)$$

Наприклад,  $E_A = 5 \text{ В}$ ,  $U_{VD1.ПР} = 2 \text{ В}$ ,  $I_{ЗАСБ.VD1} = 20 \text{ мА}$ .

$$\text{Тоді } R1 = \frac{5 - 2}{20 \cdot 10^{-3}} = 150 \text{ Ом.}$$

#### 7.1.2.16 Логічні елементи з трьома станами вихідного сигналу

Один із найбільш широко використовуваних способів підключення логічних елементів на спільний вихід заснований на застосуванні в їхніх вихідних ланцюгах електричних буферних схем, спроможних під дією керуючих сигналів або підключати до навантаження вихідний логічний сигнал, що приймає значення 0 або 1, або відключати вихід від навантаження (переводити його в так званий 3-й (високоімпедансний, Z-стан)).

Нижче показані позначення на електричних схемах логічного елемента (повторювача) з трьома станами вихідного сигналу (рисунок 7.22, а) і принципової схеми його вихідного каскаду, що забезпечує 3 стани вихідного сигналу: логічний 0; логічну 1 і 3-й (Z)-стан.

У полі функціонального позначення логічних елементів з трьома станами є спеціальний символ  $\Diamond$ .

Крім основних входів, на які подаються вхідні логічні змінні, подібні елементи мають керуючий вхід: “Вибір кристала” – CS, активним сигналом на якому, як правило, є логічний 0 (рисунок 7.22, а).

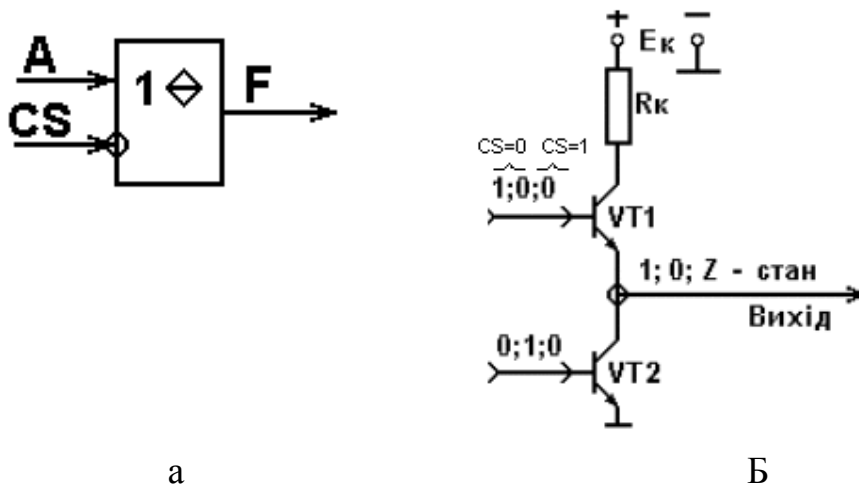


Рисунок 7.22 – Логічний елемент з трьома станами вихідного сигналу:

а – позначення на електричних схемах; б – принципова схема

Три стани вихідних сигналів забезпечуються керуючими сигналами на базах вихідних транзисторів VT1 і VT2 (рисунок 7.22, б):

– одиничний стан – CS=0, на базі VT1 – одиниця (транзистор – відкритий); на базі VT2 – нуль (транзистор – закритий), і з виходу знімається логічна 1;

– нульовий стан – CS=0, на базі VT1 – нуль (транзистор закритий); на базі VT2 – одиниця (транзистор – відкритий), і з виходу знімається логічний 0;

– Z – стан – CS=1, на базах VT1 і VT2 – логічні нулі (обидва транзистори закриті) і вихід обірваний від спільної шини (знаходиться у високоімпедансному (Z)–стані).

Елементи з трьома станами широко використовуються у мікропроцесорній техніці для підключення виходів різноманітних пристроїв мікропроцесорної системи до спільної шини.

### 7.1.3 Реалізація логічних функцій у різних базисах

#### 7.1.3.1 Базисні набори ЛЕ і їх взаємозв'язок

Існує декілька базисних (функціонально повних) наборів логічних елементів, на яких можна реалізовувати будь-яку перемикальну функцію:

- 1) І, АБО, НЕ;
- 2) І–НЕ;
- 3) АБО–НЕ.

Для реалізації ПФ, поданої булевим виразом у ДНФ або КНФ, достатньо трьох ЛЕ: І, АБО, НЕ, тому цей набір вважається функціонально повним або базисним (базисом).

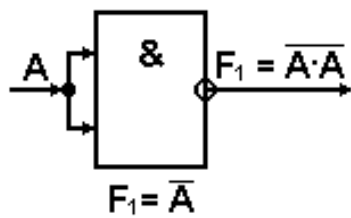
На практиці більш широко використовуються базиси І–НЕ або АБО–НЕ. Це пов'язано з тим, що зменшення номенклатури елементів до одного типу спрощує проектування пристрою і його ремонт. Крім того, наявність у цих елементах інвертора (підсилювача) підвищує навантажувальну здатність елемента (підсилює сигнал).

Використовуючи тотожності і теореми булевої алгебри можна перетворити вирази ПФ, які записані у вигляді комбінації функцій І, АБО, НЕ, до вигляду, що може бути реалізований елементами базису І–НЕ, АБО–НЕ.

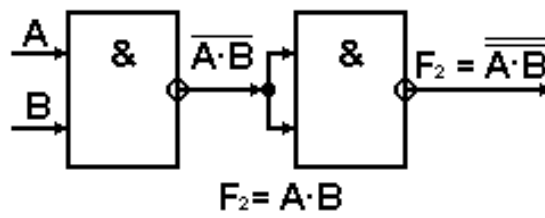
Сказане відбиває таблиця 7.18, а на рисунку 7.23 показана схемна реалізація функцій НЕ, І, АБО в базисах І– НЕ (рисунок 7.23, а, б, в) і АБО–НЕ (рисунок 7.23, г, д, е).

Таблиця 7.18 – Реалізація логічних функцій НЕ, І та АБО у базисах І–НЕ та АБО–НЕ

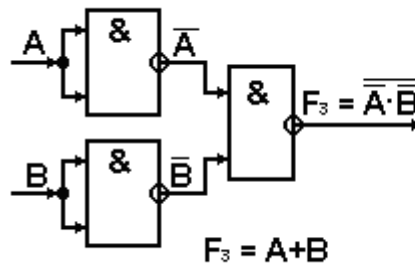
Базис	Логічні операції		
	НЕ	І	АБО
І -НЕ	$F_1 = \bar{A} = \overline{A \cdot A}$	$F_2 = A \cdot B = \overline{\overline{A} \cdot \overline{B}}$	$F_3 = A + B = \overline{\overline{A} \cdot \overline{B}}$
АБО - НЕ	$F_4 = \bar{A} = \overline{A + A}$	$F_5 = A \cdot B = \overline{\overline{A} + \overline{B}}$	$F_6 = A + B = \overline{\overline{A} \cdot \overline{B}}$



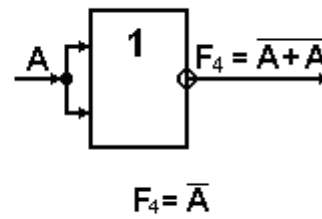
а



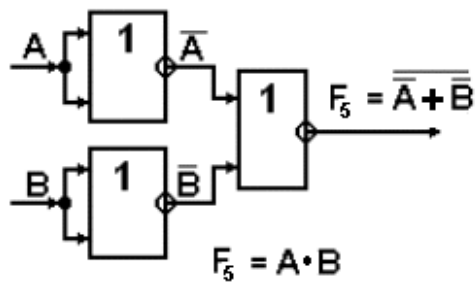
б



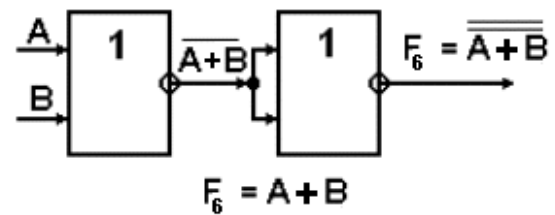
в



г



д



е

Рисунок 7.23 – Схемна реалізація функцій НЕ, І, АБО в базисах І–НЕ та АБО–НЕ

Функцію І–НЕ називають функцією Шеффера (штрихом Шеффера), позначаючи її у вигляді  $F = A \mid B$ , а функцію АБО–НЕ – функцією Пірса (стрілкою Пірса), позначаючи її у вигляді  $A \downarrow B$ . Базис І–НЕ називають базисом Шеффера, а базис АБО–НЕ – базисом Пірса.



### 7.1.3.2 Реалізація логічних функцій у різних базисах

#### 7.1.3.2.1 Реалізація елемента “Рівнозначність” (виключне АБО – НЕ)

На виході такого елемента повинна бути логічна 1, якщо на входах одночасно присутні однакові логічні змінні (одиниці або нулі).

Булевий вираз логічної функції двох змінних, що відповідає аналізованому елементу, має вигляд

$$F = \overline{A} \cdot \overline{B} + A \cdot B. \quad (7.28)$$

Очевидно, що даний вираз легко реалізується елементами базису I, АБО, НЕ.

Використовуючи теорему де Моргана і тотожності булевої алгебри перетворимо вираз (7.28) до вигляду, що дозволяє реалізувати функцію “Рівнозначність” у базисі I–НЕ (7.29) і АБО–НЕ (7.30):

$$F = \overline{\overline{A \cdot B} \cdot \overline{A \cdot B}}, \quad (7.29)$$

$$F = \overline{\overline{A+B} \cdot \overline{A+B}}. \quad (7.30)$$

Нижче показані функціональні схеми елемента “Рівнозначність” на ЛЕ базисів I, АБО, НЕ (рисунок 7.24, а); I – НЕ (рисунок 7.24, б) і АБО–НЕ (рисунок 7.24, в).

#### 7.1.3.2.2 Реалізація елемента “Нерівнозначність” (виключне АБО, сума за модулем два)

На виході такого елемента повинна бути логічна 1, якщо на входах присутні нерівнозначні логічні змінні:  $F=1$ , якщо  $A=1, B=0$  або  $A=0, B=1$ .

Булевий вираз логічної функції двох змінних аналізованого елемента має вигляд

$$F = A \cdot \overline{B} + \overline{A} \cdot B. \quad (7.31)$$

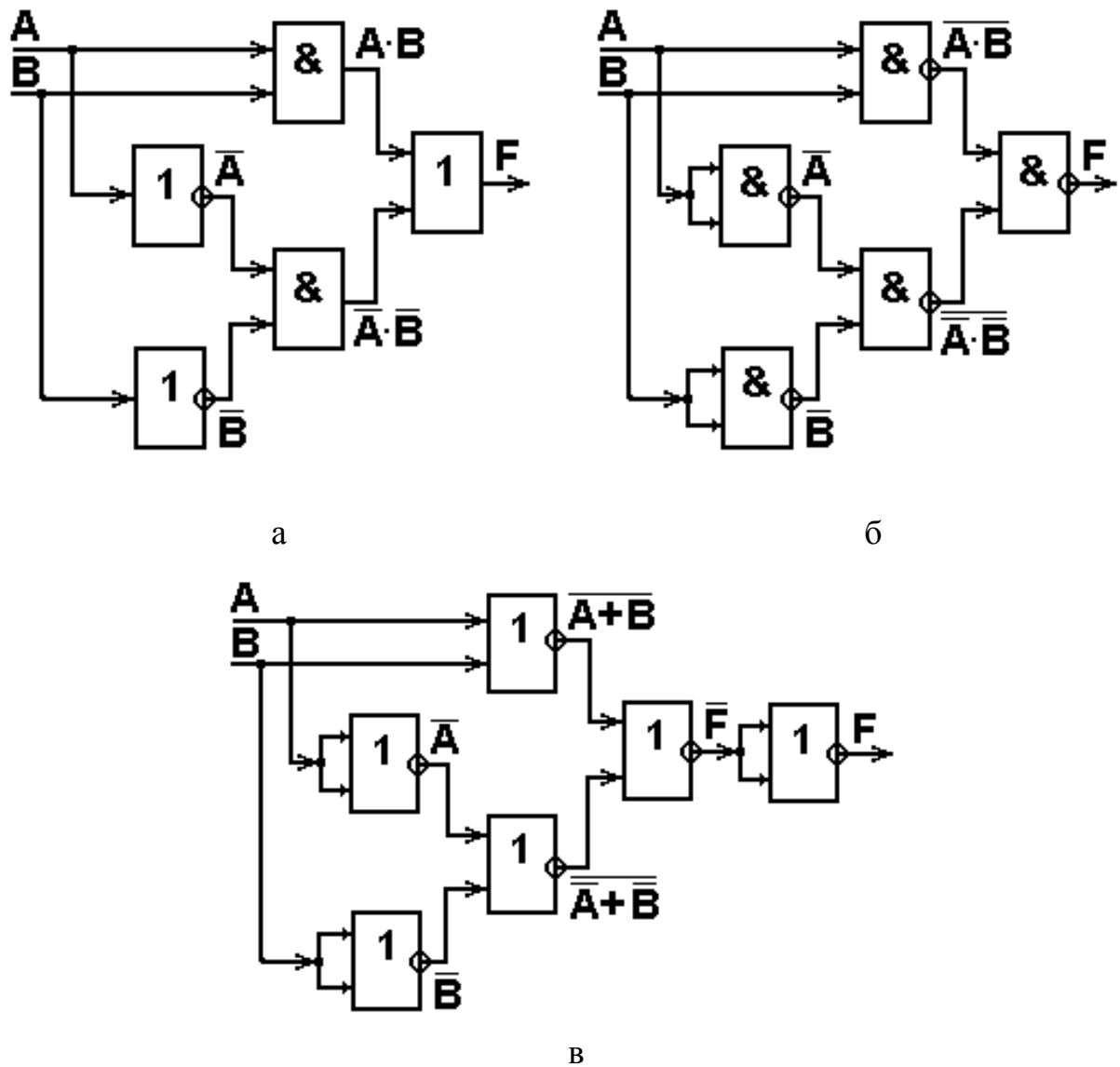


Рисунок 7.24 – Функціональні схеми елемента «Рівнозначність» на:  
а – ЛЕ базису I, АБО, НЕ; б – ЛЕ базису I–НЕ; в – ЛЕ базису АБО–НЕ

Цей вираз може бути легко реалізований елементами базису I, АБО, НЕ. Застосовуючи теорему де Моргана і тотожності булевої алгебри перетворимо вираз (7.31) до вигляду, що дозволяє реалізувати функцію “Нерівнозначність” у базисі I–НЕ (7.32) і АБО–НЕ (7.33).

$$F = \overline{\overline{A \cdot B} \cdot \overline{A \cdot B}}, \quad (7.32)$$

$$F = \overline{\overline{\overline{A+B} + \overline{A+B}}}. \quad (7.33)$$

Нижче показані функціональні схеми елемента “Нерівнозначність” на ЛЕ базису I, АБО, НЕ (рисунок 7.25, а); I–НЕ (рисунок 7.25, б) і АБО–НЕ (рисунок 7.25, в).

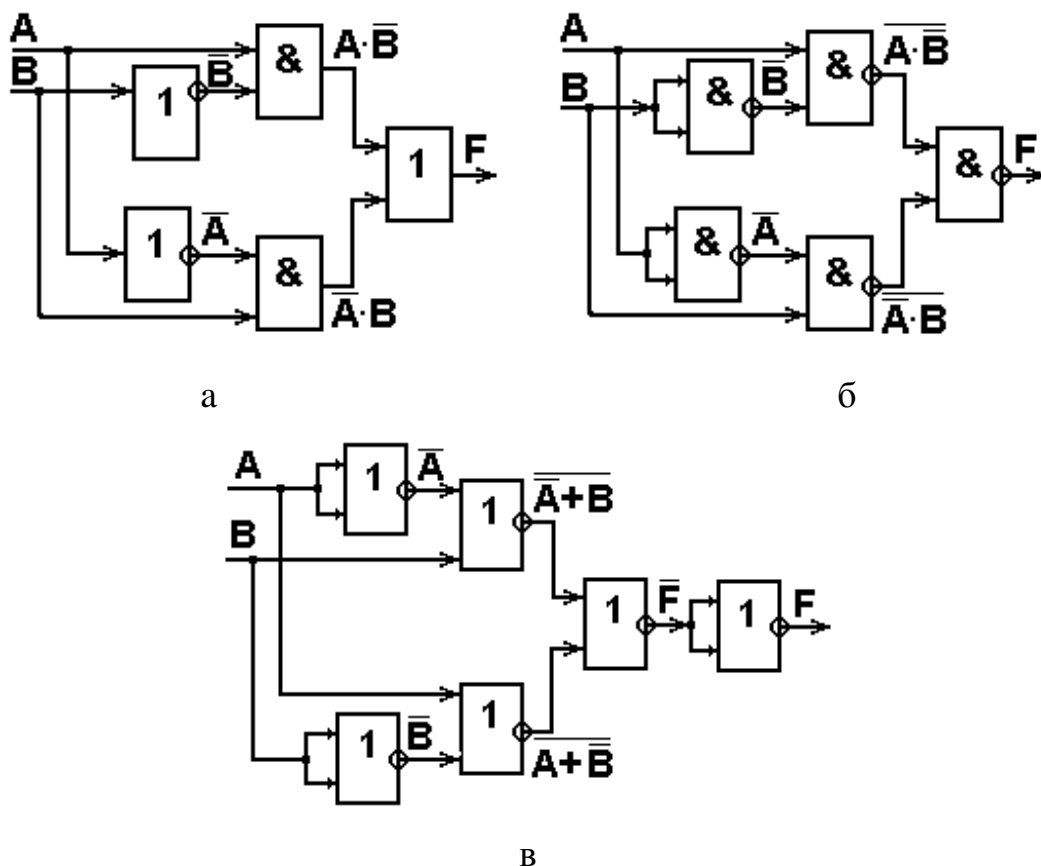


Рисунок 7.25 – Функціональні схеми елемента «Нерівнозначність» на:  
а – ЛЕ базису I, АБО, НЕ; б – ЛЕ базису I–НЕ; в – ЛЕ базису АБО–НЕ

Елемент “Нерівнозначність” інакше називають суматором за модулем два: сума двійкових цифр дає одиницю, якщо одна з них одиниця, а інша – нуль; у протилежному випадку, якщо обидві цифри 0 або 1, то сума дорівнює нулю.

### 7.1.3.2.3 Реалізація елемента “Заборона”

На виході такого елемента повинна бути логічна 1, якщо на основному вході присутня логічна одиниця, а на вході, що забороняє, – логічний нуль.

Булевий вираз логічної функції аналізованого елемента має вигляд

$$F = A \cdot \overline{B}. \quad (7.34)$$

Вираз (7.24) може бути легко реалізований в базисі І, АБО, НЕ. Застосовуючи теорему де Моргана і тотожності булевої алгебри перетворимо вираз (7.34) до вигляду, що дозволяє реалізувати функцію “Заборона” у базисі І – НЕ (7.35) і АБО – НЕ (7.36).

$$F = \overline{\overline{A} \cdot \overline{B}}, \quad (7.35)$$

$$F = \overline{\overline{A} + \overline{B}}. \quad (7.36)$$

На рисунку 7.26 показані функціональні схеми елемента “Заборона” на ЛЕ базису І, АБО, НЕ (рисунок 7.26, а); І–НЕ (рисунок 7.26, б) і АБО–НЕ (рисунок 7.26, в).

#### **7.1.3.2.4 Реалізація багатолітерних логічних функцій на елементах з невеликою кількістю входів**

Іноді на практиці виникає задача реалізувати логічну функцію великого числа логічних змінних (багатолітерну функцію) на елементах з невеликою кількістю входів. Як приклад на рисунку 7.27 показана функціональна схема, що реалізує на двовходових елементах І–НЕ логічну функцію

$$F = A \cdot B \cdot C \cdot D \cdot E \cdot F \cdot G \cdot H. \quad (7.37)$$

### **7.1.4 Функціональні пристрої комп’ютерної (цифрової) електроніки**

#### **7.1.4.1 Комбінаційні цифрові пристрої (КЦП)**

Логічні пристрої, вихідні сигнали котрих однозначно визначаються комбінацією вхідних логічних змінних в аналізований момент часу, називаються комбінаційними.

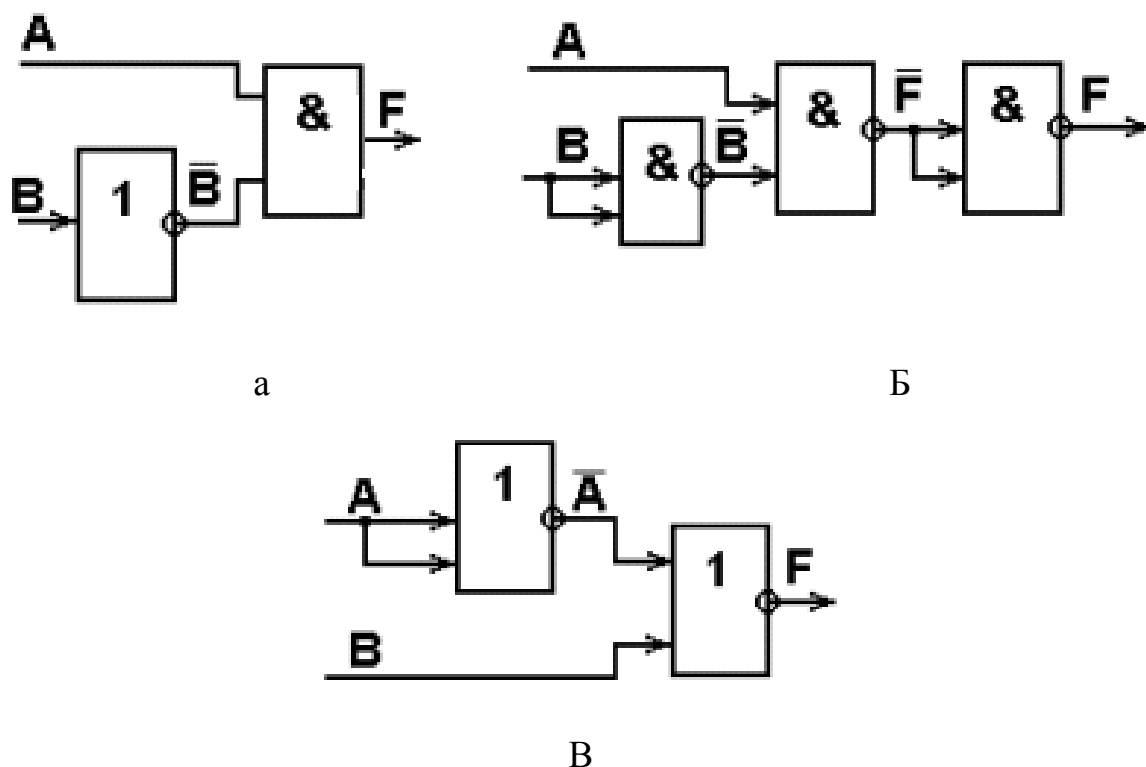


Рисунок 7.26 – Функціональні схеми елемента “Заборона” на:  
а – ЛЕ базису I, АБО, НЕ; б – ЛЕ базису I–НЕ; в – ЛЕ базису АБО–НЕ

#### 7.1.4.1.1 Аналіз КЦП

Виконання задач аналізу КЦП припускає наявність готової функціональної схеми пристрою на логічних елементах заданого базису. У процесі аналізу оцінюються деякі характеристики наявної схеми КЦП. Наприклад, можна скласти булевий вираз і таблицю істинності, що визначають перетворення інформації в КЦП; мінімізувати логічну функцію, що виконує аналізована схема; оцінити апаратні витрати на реалізацію схеми; її швидкодію; споживану потужність; розглянути можливість утворення в схемі помилкових небезпечних станів у результаті змагань (гонок) і т. ін.

#### 7.1.4.1.2 Синтез КЦП

Синтез КЦП передбачає побудову функціональної схеми пристрою,

тобто визначення складу необхідних логічних елементів і з'єднань між ними, при яких забезпечується перетворення вхідних цифрових сигналів у вихідні відповідно до заданих умов роботи пристрою. У процесі синтезу необхідно мінімізувати апаратні витрати на реалізацію пристрою. Розглянемо особливості синтезу КЦП з одним виходом. Послідовність синтезу доцільно розбити на ряд етапів.

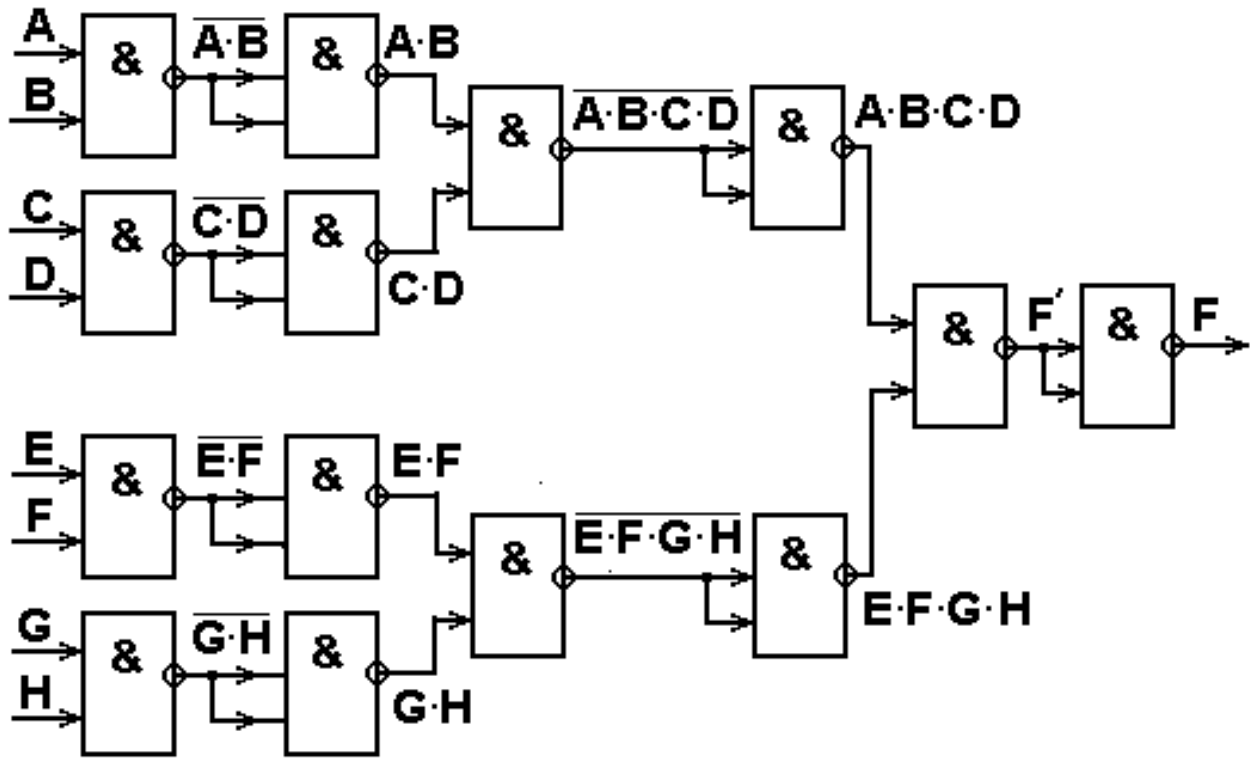


Рисунок 7.27 – Приклад реалізації на логічних елементах І–НЕ функції

$$F = A \cdot B \cdot C \cdot D \cdot E \cdot F \cdot G \cdot H$$

Етап 1. Задання логічної функції, що визначає функціонування синтезованого КЦП. Як відзначалося раніше, це можна зробити словесно, за допомогою таблиць істинності або булевих виразів.

Етап 2. Мінімізація логічної функції, що здійснюється алгебраїчним або графічним методом (за допомогою діаграм Вейча або карт Карно).

Етап 3. Запис булевого виразу мінімізованої перемикальної функції.

Етап 4. Перетворення булевого виразу мінімізованої ПФ для реалізації її у заданому базисі І–НЕ або АБО–НЕ.

Етап 5. Складання функціональної схеми КЦП, тобто зображення потрібних логічних елементів і зв'язків між ними.

Проілюструємо етапи синтезу КЦП на прикладі.

Необхідно синтезувати на елементах І–НЕ КЦП на три входи, значення вихідного сигналу якого збігається зі значенням більшості вхідних сигналів.

Даний словесний опис задає логічну функцію «Мажоритарність». Її роботу відбиває таблиця істинності (таблиця 7.19).

Таблиця 7.19 – Таблиця істинності ЛЕ «Мажоритарність»

№ набору	C	B	A	F
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Булевий вираз ПФ у ДДНФ має вигляд:

$$F = \bar{C} \cdot B \cdot A + C \cdot \bar{B} \cdot A + C \cdot B \cdot \bar{A} + C \cdot B \cdot A. \quad (7.38)$$

Мінімізуючи даний вираз, використовуючи тотожності й теореми булевой алгебри, отримаємо:

$$F = B \cdot A + C \cdot A + C \cdot B. \quad (7.39)$$

Перетворимо даний вираз для його реалізації у базисі І–НЕ.

Застосовуючи теорему де Моргана отримаємо:

$$F = \overline{\overline{B \cdot A \cdot C} \cdot \overline{A \cdot C \cdot B}} \quad (7.40)$$

Функціональна схема синтезованого КЦП, що реалізує вираз (7.40) на елементах І–НЕ, приведена на рисунку 7.28.

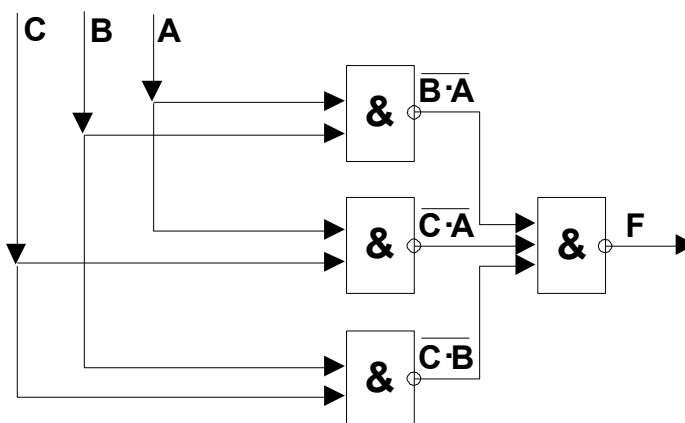


Рисунок 7.28 – Функціональна схема ЛЕ «Мажоритарність»

На практиці широко застосовуються КЦП, що мають декілька виходів. Якщо вихідні сигнали таких пристроїв не впливають один на одного, то при проектуванні цих пристроїв можна скористатися розглянутими вище правилами синтезу, якщо уявити пристрій у вигляді сукупності декількох КЦП із спільними входами.

Функціонування КЦП із  $m$  незалежними виходами описується (задається) аналогічною кількістю перемикальних функцій, над кожною з яких у процесі синтезу виконуються дії, описані вище.

### 7.1.5 Типові КЦП

У цифровій техніці при побудові складних пристроїв широко застосовуються не тільки окремі логічні елементи, що реалізують елементарні булеві функції, але і їхні комбінації у вигляді типових структур,



виконаних як єдине ціле у вигляді інтегральних мікросхем (ІМС). На входи таких структур можуть подаватися інформаційні логічні сигнали й сигнали керування. Останні можуть визначати, наприклад, порядок передачі інформаційних вхідних сигналів на вихід або відігравати роль сигналів синхронізації. У багатьох випадках, особливо при використанні у пристроях вихідних ланцюгів із трьома станами, у якості сигналів синхронізації виступають сигнали “Вибір мікросхеми” (CS). Наявність активного значення такого сигналу керування дозволяє пристрою виконання заданих функцій, відсутність його – переводить схему в “не вибраний” стан, при якому вона не виконує обробку інформації, а її виходи відключені від навантаження.

## 7.2 Порядок виконання роботи

### 7.2.1 Завдання на лабораторну роботу

Завдання на лабораторну роботу: за заданою таблицею істинності 7.20 синтезувати КЦП із трьома входами та одним виходом. Таблиця істинності обирається в залежності від номеру у списку групи.

Таблиця 7.20 – Завдання на лабораторну роботу

A	B	C	F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	F11	F12	F13	F14
0	0	0	1	1	1	1	1	1	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	0	0	0	1	1	1	1	1	1	0
0	1	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1
0	1	1	0	0	1	0	0	0	0	0	1	0	0	0	0	1
1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0
1	1	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0
1	1	1	0	0	0	0	0	0	1	0	0	0	0	0	1	0

Таблиця 7.20 – Завдання на лабораторну роботу (продовження)

A	B	C	F15	F16	F17	F18	F19	F20	F21	F22	F23	F24	F25	F26
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	1	1	1	1	0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	1	1	1	1	0	0	0	0
1	0	0	1	0	0	0	1	0	0	0	1	1	1	0
1	0	1	0	1	0	0	0	1	0	0	1	0	0	1
1	1	0	0	0	1	0	0	0	1	0	0	1	0	1
1	1	1	0	0	0	1	0	0	0	1	0	0	1	0

Таблиця 7.20 – Завдання на лабораторну роботу (продовження)

A	B	C	F27	F28
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0
1	0	0	0	0
1	0	1	1	0
1	1	0	0	1
1	1	1	1	1

Наприклад для студента із номером у списку групи 15 таблиця істинності буде мати вигляд:

A	B	C	F15
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

### 7.2.2 Порядок виконання лабораторної роботи

1. За таблицею істинності для цільової функції скласти ДДНФ.
2. При можливості спростити або мінімізувати отриману ДДНФ.
3. Перевести ДДНФ, отриману в завданні 2 (якщо ДДНФ була мінімізована) в базис NAND (І–НІ), промоделювати схему в Мікросар 9, подавши на входи всі можливі комбінації для перевірки правильності схеми.
4. Перевести ДДНФ, отриману в завданні 2 (якщо ДДНФ була мінімізована) в базис NOR (АБО–НІ), промоделювати схему в Мікросар 9, подавши на входи всі можливі комбінації для перевірки правильності схеми.
5. Зробити відповідні висновки.

### 7.2.3 Приклад виконання роботи

Варіант 15.

1) Таблиця істинності має вигляд:

A	B	C	F15
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

2) Записуємо ДДНФ:

$$F = \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C}.$$

3) Спрощуємо ДДНФ:

$$F = \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C} = \bar{C}(\bar{A} \cdot B + A \cdot \bar{B}).$$

4) Переводимо до базису NAND:

$$F = \bar{C}(\bar{A} \cdot B + A \cdot \bar{B}) = \bar{C}(\overline{\overline{\bar{A} \cdot B + A \cdot \bar{B}}}) = \bar{C}(\overline{\overline{\bar{A} \cdot B} \cdot \overline{\bar{A} \cdot \bar{B}}}).$$

Схема моделювання, яка реалізує останній вираз, приведена на рисунку 7.29, а часові діаграми роботи – на рисунку 7.30.

5) Переводимо до базису NOR:

$$F = \bar{C}(\bar{A} \cdot B + A \cdot \bar{B}) = \overline{\overline{\bar{A} \cdot B + A \cdot \bar{B}}} = \overline{\overline{\bar{A} \cdot B} \cdot \overline{\bar{A} \cdot \bar{B}}} = \overline{\overline{\bar{A} \cdot B} + \overline{\bar{A} \cdot \bar{B}}} = \overline{\overline{\bar{A} \cdot B} + \overline{\bar{A} \cdot \bar{B}}} = \overline{\overline{\bar{A} \cdot B} + \overline{\bar{A} \cdot \bar{B}}}.$$

Схема, яка реалізує останній вираз приведена на рисунку 7.31, а часові діаграми роботи – на рисунку 7.32.

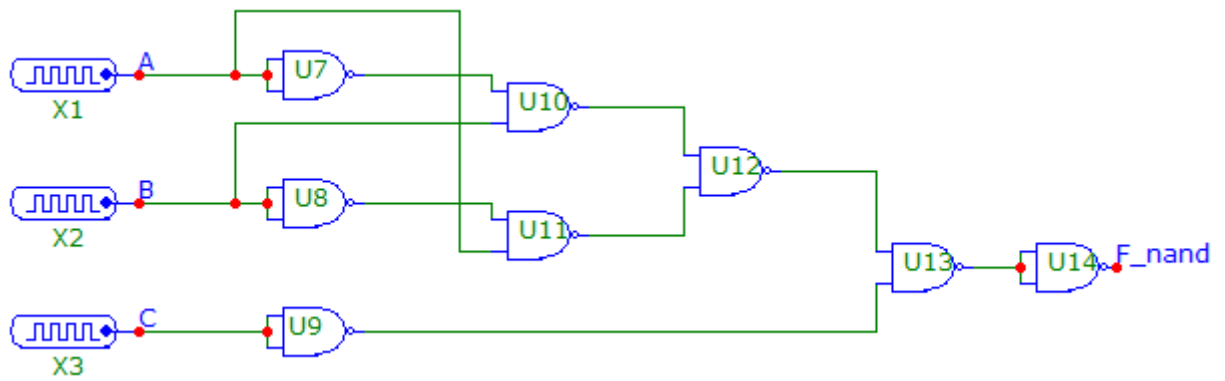


Рисунок 7.29 – Схема КЦП до прикладу виконання завдання 3

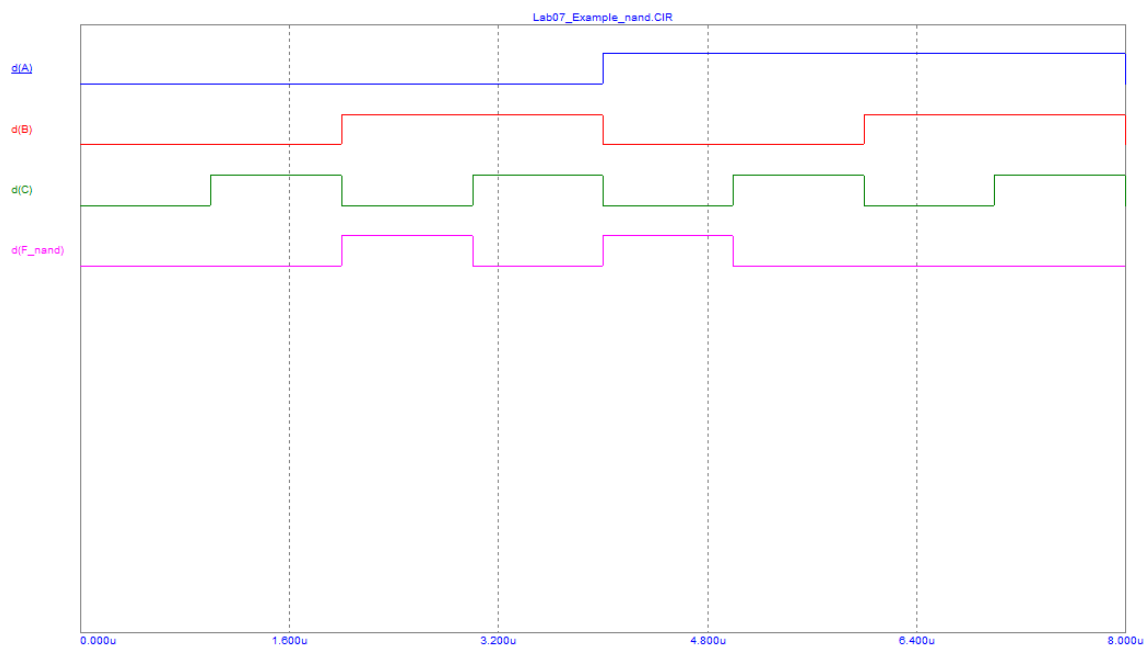


Рисунок 7.30 – Часові діаграми роботи схеми, яку наведено на рисунку 7.29

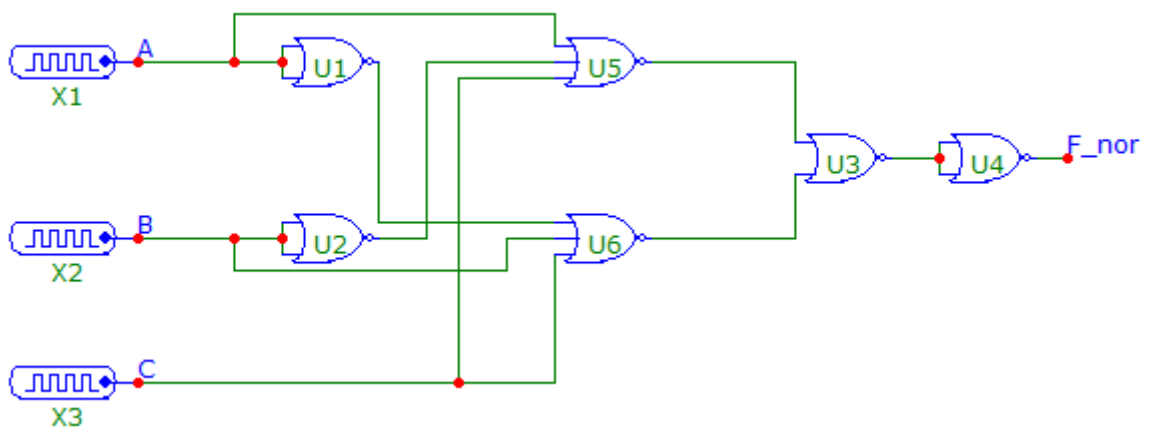


Рисунок 7.31 – Схема КЦП до прикладу виконання завдання 4

Перевіримо зібраний КЦП

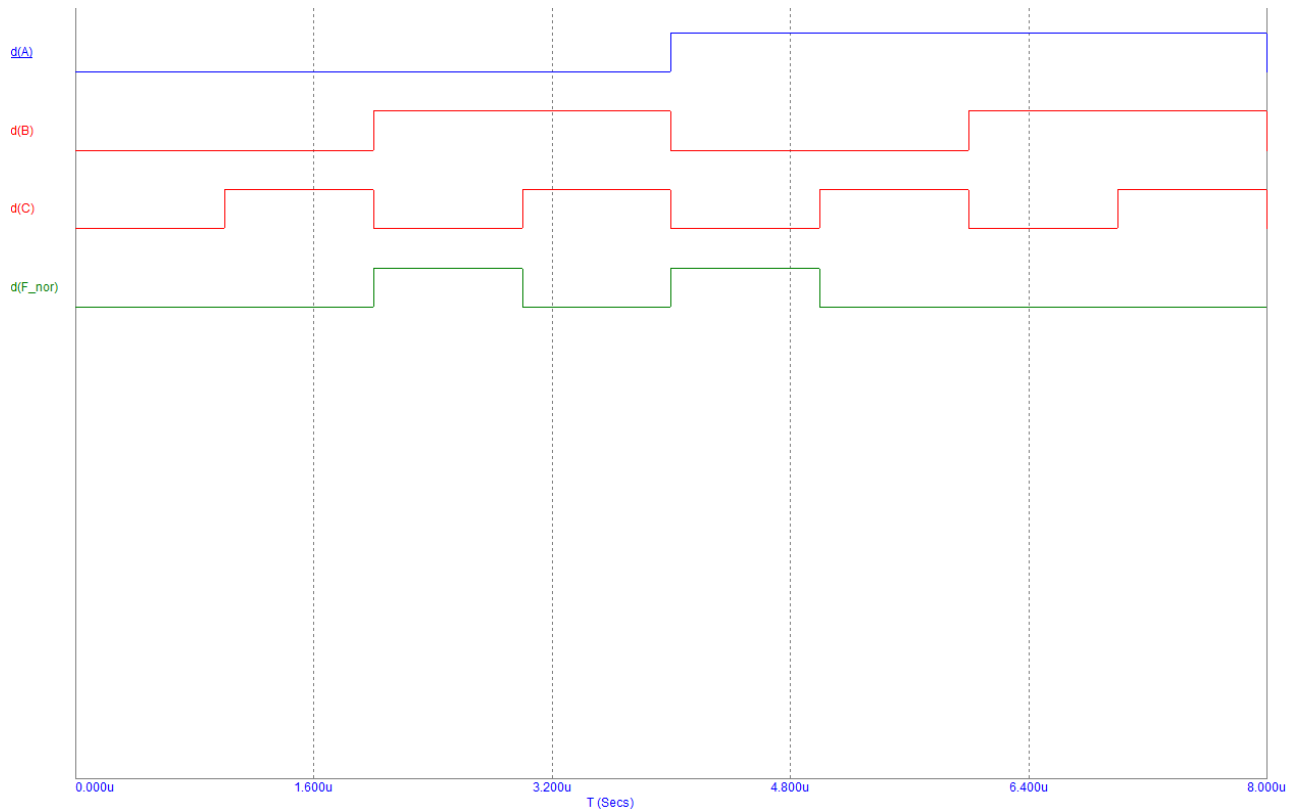


Рисунок 7.32 – Часові діаграми роботи схеми, яку наведено на рисунку 7.31

Примітка: ZeroWidth і OneWidth параметри кожного наступного генератора на схемах потрібно зменшувати вдвічі, для того, щоб збільшити частоту імпульсів в 2 рази. Як приклад, генератор X1 має значення кожного з вище вказаних параметрів 4u (4мкс), X2 – 2u, X3 – 1u.

### 7.3 Контрольні питання

- 1) Дайте визначення поняттю перемикальна функція.
- 2) Що таке мінімізація логічних функцій, які бувають види мінімізації?
- 3) Який принцип побудови діаграм Вейча (карт Карно)?
- 4) Наведіть умови, за яких ПФ вважається невизначеною.
- 5) Назвіть ціль мінімізації.
- 6) Яка основна відмінність карт Карно від діаграм Вейча?

- 7) Назвіть способи задання ПФ.
- 8) Який набір елементарних функцій називають базисним?
- 9) Назвіть принцип двоїстості булевої алгебри.
- 10) Назвіть основні тотожності та властивості булевої алгебри.
- 11) Дайте визначення диз'юнктивної нормальної форми, досконалої диз'юнктивної нормальної форми, кон'юнктивної нормальної форми, досконалої кон'юнктивної нормальної форми запису булевих виразів.
- 12) Дайте визначення поняття «логічний елемент».
- 13) Що таке інвертор? Яку логічну функцію він реалізовує?
- 14) Яку логічну функцію реалізує кон'юнктор?
- 15) Яка логіка роботи диз'юнктора? Яку логічну функцію він реалізовує?
- 16) Яку логічну функцію реалізує повторювач? Для чого використовується повторювач?
- 17) Які логічні функції реалізують логічні елементи «І–НЕ», «АБО–НЕ»?
- 18) Чому логічний елемент «виключне АБО» має таку назву? Яку логічну функцію він реалізує?
- 19) Яка логіка роботи логічних елементів «непарність» та «парність»? Які логічні функції вони реалізують?
- 20) Які логічні функції реалізують логічні елементи «еквівалентність», «нееквівалентність», «І–АБО–НЕ», «заборона»?
- 21) Для чого використовуються логічні елементи з відкритим колектором?
- 22) Який принцип дії логічних елементів з третім станом? Для чого вони використовуються?
- 23) Назвіть базисні набори логічних елементів.
- 24) Наведіть та поясніть теорему де Моргана.

## **7.4 Розрахунково–графічна робота. Синтез комбінаційних цифрових пристроїв**

### **7.4.1 Завдання на роботу**

Для перемикальної функції чотирьох змінних, яка задана (описана) таблицею істинності (таблиця 7.21), необхідно виконати наступне:

1. Записати булевий вираз, який відповідає заданій функції, у довершеній диз'юнктивній нормальній формі (ДДНФ) та довершеній кон'юнктивній нормальній формі (ДКНФ).
2. Провести мінімізацію функції із використанням діаграми Вейча. Мінімізацію провести за одиницями та нулями з отриманням мінімальної ДНФ та мінімальної КНФ.
3. Використовуючи теореми, закони та тотожності булевої алгебри, отримані мінімальні ДНФ та КНФ перетворити у булеві вирази, які можуть бути реалізовані у заданому в завданні базисі: І–НЕ чи АБО–НЕ.
4. Реалізувати отримані вирази на логічних елементах заданого базису, використовуючи існуючі типові набори логічних елементів [1,2,3].
5. Порівняти ці два варіанти схемної реалізації у заданому базисі після мінімізації за одиницями та нулями за кількістю використаних мікросхем і обрати одну реалізацію, яка потребує меншої кількості мікросхем.
6. Виконати моделювання отриманої принципової схеми на персональному комп'ютері. Навести часові діаграми роботи розробленого пристрою, які підтверджують його відповідність завданню.
7. Зробити відповідні висновки.



Таблиця 7.21 – Завдання на розрахункову роботу

№ варіанта	Номер набору (конституенти)																Базис
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
1	Ø	0	Ø	0	Ø	1	1	1	0	Ø	0	1	0	0	0	0	АБО–НЕ
2	Ø	1	0	1	0	0	0	1	0	0	Ø	1	1	0	1	0	І–НЕ
3	1	0	1	0	1	0	0	Ø	0	1	0	1	1	0	0	1	АБО–НЕ
4	0	0	0	0	Ø	0	0	1	0	0	Ø	1	0	Ø	1	0	АБО–НЕ
5	Ø	1	1	Ø	1	0	0	Ø	Ø	0	0	1	1	1	0	1	АБО–НЕ
6	0	0	Ø	Ø	0	1	1	0	Ø	1	0	0	1	0	0	1	І–НЕ
7	1	1	1	0	0	1	1	Ø	1	0	0	0	0	0	0	0	АБО–НЕ
8	1	Ø	0	1	0	Ø	0	1	0	0	Ø	0	1	1	0	1	АБО–НЕ
9	1	0	0	0	1	0	1	0	1	1	0	1	1	Ø	0	0	І–НЕ
10	0	1	0	Ø	0	0	1	0	Ø	Ø	1	1	1	1	1	1	І–НЕ
11	0	1	1	1	0	1	0	1	0	1	1	1	0	1	0	0	І–НЕ
12	0	0	Ø	0	1	0	Ø	0	0	0	0	1	0	Ø	1	1	АБО–НЕ
13	0	1	1	Ø	Ø	0	0	1	1	0	Ø	0	0	Ø	1	1	АБО–НЕ
14	1	0	1	0	1	1	1	0	1	1	0	Ø	Ø	0	0	Ø	І–НЕ
15	0	1	1	0	0	1	1	0	0	0	0	0	0	0	1	Ø	І–НЕ
16	0	0	0	0	1	0	1	1	0	0	1	1	1	0	0	1	АБО–НЕ
17	1	1	0	1	0	1	1	0	Ø	1	0	0	1	0	1	1	АБО–НЕ
18	0	0	0	1	Ø	1	0	1	0	0	0	0	0	Ø	1	0	АБО–НЕ
19	0	1	1	1	0	0	1	0	1	1	1	0	0	Ø	1	Ø	АБО–НЕ
20	Ø	1	0	1	1	0	0	1	0	Ø	1	0	0	1	1	1	І–НЕ
21	1	1	0	0	1	1	1	Ø	1	0	1	0	Ø	0	1	1	І–НЕ
22	0	1	1	0	1	Ø	1	0	1	1	Ø	1	0	0	Ø	0	АБО–НЕ
23	1	Ø	0	0	1	1	1	0	0	0	1	1	0	0	1	0	І–НЕ
24	0	0	1	1	1	1	1	0	0	0	0	1	1	0	1	1	І–НЕ
25	1	Ø	1	0	1	1	1	1	0	0	0	1	1	0	Ø	0	АБО–НЕ
26	0	0	1	0	1	0	0	0	1	1	0	1	1	0	Ø	Ø	І–НЕ
27	0	0	1	1	1	0	0	0	0	1	1	0	1	1	1	0	АБО–НЕ
28	1	0	1	Ø	1	1	1	1	Ø	0	1	1	0	0	1	1	АБО–НЕ
29	0	1	1	0	1	1	0	0	0	0	0	0	1	1	0	1	АБО–НЕ
30	1	1	1	1	1	1	1	0	0	0	1	0	1	1	1	0	І–НЕ
31	1	1	0	1	0	0	0	1	0	0	Ø	1	0	0	1	0	І–НЕ
32	1	Ø	1	0	1	1	0	0	Ø	0	1	1	1	1	Ø	Ø	І–НЕ
33	1	1	Ø	1	0	1	0	1	1	0	Ø	1	0	1	0	1	АБО–НЕ
34	0	0	1	1	1	0	1	0	0	0	0	1	0	0	0	Ø	І–НЕ
35	0	0	1	1	0	1	0	1	1	1	0	Ø	1	1	1	1	АБО–НЕ
36	0	1	0	0	0	1	0	0	1	0	1	1	0	1	0	1	І–НЕ
37	Ø	1	Ø	0	Ø	0	1	Ø	1	0	1	Ø	1	1	1	0	І–НЕ
38	0	0	0	1	0	1	Ø	0	0	Ø	1	1	1	1	1	0	АБО–НЕ
39	0	Ø	0	0	Ø	0	0	1	1	1	0	0	1	0	1	0	І–НЕ
40	1	0	0	1	1	1	Ø	0	1	0	1	0	1	Ø	0	0	АБО–НЕ
41	1	1	1	0	0	Ø	Ø	0	0	0	1	1	1	Ø	0	0	І–НЕ
42	1	0	1	1	0	0	0	Ø	0	0	Ø	0	1	0	0	0	АБО–НЕ
43	Ø	0	1	0	1	0	0	0	1	1	0	1	1	1	Ø	0	І–НЕ
44	1	0	1	Ø	1	1	0	1	1	1	0	1	1	1	1	1	АБО–НЕ
45	1	0	0	1	0	0	0	1	0	1	1	1	1	0	Ø	1	АБО–НЕ

Продовження таблиці 7.21

46	0	0	0	Ø	0	0	Ø	0	0	Ø	Ø	0	1	0	0	0	АБО-НЕ
47	0	0	1	0	1	0	1	1	0	0	1	0	Ø	1	0	0	I-НЕ
48	0	0	0	1	Ø	Ø	1	0	1	Ø	1	1	0	0	0	0	I-НЕ
49	0	1	Ø	0	Ø	0	0	0	Ø	1	0	0	0	0	1	Ø	I-НЕ
50	1	1	0	0	1	1	0	1	0	1	1	Ø	Ø	0	1	1	АБО-НЕ
51	Ø	0	0	1	Ø	0	1	0	1	0	1	0	1	1	Ø	1	I-НЕ
52	0	Ø	0	1	1	0	0	0	1	1	1	0	0	0	1	1	АБО-НЕ
53	0	0	0	1	0	1	1	Ø	0	1	1	0	Ø	Ø	1	0	АБО-НЕ
54	0	0	Ø	Ø	1	1	0	1	1	1	0	1	1	0	0	1	I-НЕ
55	0	0	1	1	Ø	1	1	1	0	0	0	Ø	0	Ø	1	1	АБО-НЕ
56	0	0	1	0	0	1	1	1	Ø	0	0	1	0	0	1	1	I-НЕ
57	1	1	0	Ø	1	1	0	1	0	1	1	0	0	0	0	1	АБО-НЕ
58	0	0	0	1	0	0	1	0	0	1	1	1	1	0	1	1	I-НЕ
59	1	1	0	0	0	0	1	0	1	1	0	1	1	1	0	0	АБО-НЕ
60	1	0	0	1	0	Ø	1	1	1	Ø	1	0	Ø	0	0	0	АБО-НЕ
61	0	1	1	0	Ø	1	0	0	0	1	1	Ø	Ø	0	1	0	I-НЕ
62	0	0	1	1	1	0	1	0	0	1	1	1	1	1	0	0	АБО-НЕ
63	1	1	1	0	1	1	Ø	0	1	0	Ø	1	1	1	1	0	АБО-НЕ
64	1	0	1	0	0	1	1	0	1	1	Ø	1	1	0	1	1	I-НЕ
65	Ø	0	0	1	0	0	Ø	0	1	0	0	1	0	1	0	1	АБО-НЕ
66	1	1	1	1	1	1	1	1	1	1	1	0	0	1	1	1	АБО-НЕ
67	1	0	1	0	0	0	1	0	Ø	1	0	1	0	1	1	1	АБО-НЕ
68	1	1	1	1	0	1	0	0	1	0	1	1	0	1	0	1	АБО-НЕ
69	1	0	1	0	0	0	0	1	0	0	0	Ø	0	1	1	1	АБО-НЕ
70	0	1	0	Ø	0	1	0	1	1	1	1	0	0	Ø	1	0	I-НЕ
71	0	1	1	0	1	1	1	0	0	0	Ø	1	1	1	1	0	АБО-НЕ
72	0	1	0	1	1	Ø	0	0	0	1	0	1	1	1	Ø	0	I-НЕ
73	0	0	1	0	0	Ø	1	0	Ø	1	0	1	1	1	1	0	I-НЕ
74	0	0	0	0	1	0	1	1	0	1	1	0	1	1	1	1	АБО-НЕ
75	1	0	Ø	0	1	0	0	1	0	0	0	1	0	0	1	1	АБО-НЕ
76	0	Ø	1	1	0	0	1	1	Ø	1	1	1	1	0	1	0	I-НЕ
77	1	1	0	0	1	1	0	1	0	1	1	1	0	0	0	Ø	I-НЕ
78	0	1	Ø	1	1	0	0	1	0	0	0	0	Ø	1	1	Ø	АБО-НЕ
79	1	Ø	Ø	1	0	1	0	1	0	1	0	Ø	0	Ø	Ø	1	АБО-НЕ
80	Ø	1	Ø	Ø	1	0	1	1	1	1	0	0	0	1	0	0	I-НЕ
81	0	Ø	0	0	Ø	1	0	1	1	0	1	0	0	1	1	1	I-НЕ
82	0	1	0	0	Ø	0	0	1	0	1	0	0	1	Ø	0	0	АБО-НЕ
83	0	1	1	1	0	1	0	1	0	Ø	1	0	0	1	Ø	0	I-НЕ
84	0	1	0	1	0	0	0	1	1	1	1	0	1	1	Ø	1	АБО-НЕ
85	1	0	0	1	0	1	0	1	1	0	0	0	0	0	0	1	АБО-НЕ
86	1	0	1	1	0	0	1	0	1	1	1	0	0	0	0	0	I-НЕ
87	1	0	0	0	1	1	0	1	1	0	0	1	1	1	0	1	АБО-НЕ
88	0	0	0	0	0	0	1	0	1	0	Ø	1	0	Ø	0	1	АБО-НЕ
89	0	1	1	Ø	0	1	1	Ø	1	1	0	1	0	1	0	1	I-НЕ
90	0	1	0	1	1	1	0	1	1	0	1	1	Ø	1	1	Ø	I-НЕ
91	1	1	0	Ø	Ø	1	0	0	1	0	0	1	0	0	Ø	1	АБО-НЕ
92	0	Ø	1	0	1	0	1	Ø	0	1	1	0	0	0	1	0	АБО-НЕ

Продовження таблиці 7.21

93	1	1	1	1	Ø	1	1	0	1	0	0	0	0	1	0	I-HE
94	1	Ø	1	0	0	1	1	0	1	1	0	0	1	Ø	0	I-HE
95	0	0	0	1	1	0	1	0	0	1	1	0	0	1	0	АБО-HE
96	1	0	0	1	0	1	0	1	1	1	1	1	0	0	Ø	I-HE
97	0	Ø	0	0	0	0	0	0	1	0	0	1	0	Ø	1	I-HE
98	1	0	0	0	Ø	1	1	1	1	Ø	0	1	Ø	0	0	АБО-HE
99	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	I-HE
100	Ø	1	1	1	1	1	Ø	0	1	Ø	1	1	0	1	1	I-HE
101	1	1	Ø	0	0	0	Ø	0	1	1	0	0	0	1	0	АБО-HE
102	0	Ø	1	0	0	0	0	1	1	0	1	Ø	1	1	0	АБО-HE
103	0	1	0	1	0	Ø	0	1	0	1	1	1	1	Ø	0	АБО-HE
104	1	0	1	1	0	0	0	0	0	Ø	Ø	1	0	0	1	АБО-HE
105	0	0	0	0	Ø	Ø	0	0	1	1	0	0	0	1	1	АБО-HE
106	1	1	1	0	0	0	1	0	0	1	0	0	0	0	0	I-HE
107	0	Ø	0	0	1	0	1	Ø	0	1	1	1	1	0	0	I-HE
108	0	1	1	0	1	1	1	1	Ø	1	0	0	1	1	0	АБО-HE
109	1	1	0	1	1	1	1	0	1	1	0	Ø	Ø	0	1	I-HE
110	1	0	0	1	0	1	0	0	1	Ø	Ø	0	1	1	1	АБО-HE
111	0	0	1	0	1	1	0	0	0	1	0	0	0	Ø	0	АБО-HE
112	1	0	1	1	1	1	1	Ø	0	1	1	0	0	0	1	АБО-HE
113	0	1	1	1	0	0	1	1	1	0	0	1	1	1	1	АБО-HE
114	0	1	1	1	1	1	0	1	0	1	1	Ø	0	0	1	I-HE
115	0	1	0	0	1	1	0	0	0	1	Ø	1	1	0	1	АБО-HE
116	1	1	Ø	Ø	1	Ø	0	0	1	1	1	1	0	1	Ø	I-HE
117	Ø	Ø	1	Ø	Ø	0	0	1	1	1	1	1	1	1	Ø	I-HE
118	1	1	1	1	0	0	1	1	1	Ø	0	0	Ø	0	Ø	АБО-HE
119	0	1	1	1	0	1	0	1	1	1	1	0	0	1	1	I-HE
120	0	Ø	0	0	Ø	0	0	1	0	1	0	0	1	0	1	АБО-HE

#### 7.4.2 Методичні вказівки до виконання роботи

1) Відповідно до отриманого номера варіанту з таблиці 7.21 вибирають завдання, тобто значення чотиримісної логічної функції–перемикача залежно від номера набору (табличного). Причому, набори логічних змінних ( $X_3X_2X_1X_0$ ) впорядковані за збільшенням десяткових еквівалентів [2, 36].

Таблиця 7.22 – Приклад вихідної ПФ для  $i$ -того варіанту

Номер Варіанту	Номер набору (конституенти)															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
$i$	1	1	1	0	0	0	Ø	Ø	1	1	0	0	0	1	1	Ø

Ø – функція може набувати будь-якого значення (0/1), оскільки значення функції на цьому наборі довільне.

2) За таблицею 7.22 значення функції наносяться на діаграму Вейча для чотирьох змінних (рисунок 7.33).

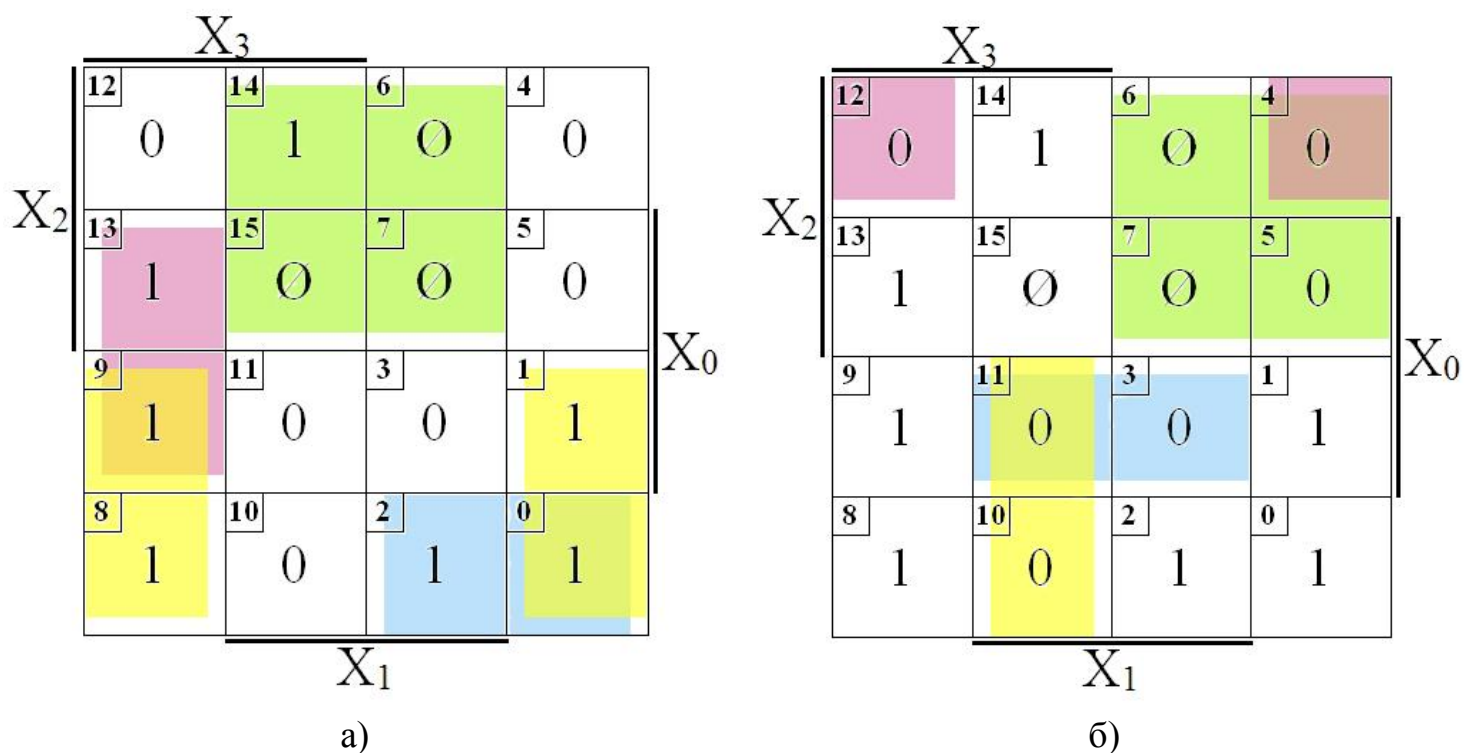


Рисунок 7.33 – Заповнена діаграма Вейча для заданої функції чотирьох змінних

- а – покриття всіх одиничних значень функції (при мінімізації за 1);  
 б – покриття всіх нульових значень функції (при мінімізації за 0).

Проводимо мінімізацію функції за одиницями. Для цього виконуємо покриття всіх одиничних значень функції мінімальним числом прямокутників максимальної площі (при цьому число 1/0 в прямокутнику має бути рівне  $2^i$ , де  $i=1,2,\dots,k$ , де  $k$  – ціле число; замість значення функції  $\emptyset$  можна записувати 1/0).

Перше покриття (рисунок 7.33 а, зелене) дає:  $X_1 \cdot X_2$ .

Друге покриття (рисунок 7.33 а, жовте) дає:  $\overline{X_1} \cdot \overline{X_2}$ .

Третє покриття (рисунок 7.33 а, синє) дає:  $\overline{X_0} \cdot \overline{X_2} \cdot \overline{X_3}$ .

Четверте покриття (рисунок 7.33 а, фіолетове) дає:  $X_0 \cdot \overline{X_1} \cdot X_3$ .

Запишемо результат покриття у вигляді мінімальної ДНФ для покриття одиниць:

$$F = X_1 \cdot X_2 + \overline{X_1} \cdot \overline{X_2} + \overline{X_0} \cdot \overline{X_2} \cdot \overline{X_3} + X_0 \cdot \overline{X_1} \cdot X_3.$$

Проводимо мінімізацію функції за нулями. Для цього виконуємо покриття всіх нульових значень функції мінімальним числом прямокутників максимальної площі (при цьому число 1/0 в прямокутнику має бути рівне  $2^i$ , де  $i=1,2,\dots,k$ , де  $k$  – ціле число; замість значення функції 0 можна записувати 1/0).

Перше покриття (рисунок 7.33 б, зелене) дає:  $\overline{X_2} + X_3$ .

Друге покриття (рисунок 7.33 б, жовте) дає:  $\overline{X_1} + X_2 + \overline{X_3}$ .

Третє покриття (рисунок 7.33 б, синє) дає:  $\overline{X_0} + \overline{X_1} + X_2$ .

Четверте покриття (рисунок 7.33 б, фіолетове) дає:  $X_0 + X_1 + \overline{X_2}$ .

Записуємо результат покриття у вигляді мінімальної КНФ для покриття нулів:

$$F = (\overline{X_2} + X_3) \cdot (\overline{X_1} + X_2 + \overline{X_3}) \cdot (\overline{X_0} + \overline{X_1} + X_2) \cdot (X_0 + X_1 + \overline{X_2}).$$

3) Представимо мінімізовану функцію в базисі І–НЕ та АБО–НЕ. Для цього скористаємося тотожністю:

$$A = \overline{\overline{A}},$$

та теоремою де Моргана:

$$A + B = \overline{\overline{A} \cdot \overline{B}},$$

$$A \cdot B = \overline{\overline{A} + \overline{B}}.$$

Отримаємо:

$$\begin{aligned} F &= X_1 \cdot X_2 + \overline{X_1} \cdot \overline{X_2} + \overline{X_0} \cdot \overline{X_2} \cdot \overline{X_3} + X_0 \cdot \overline{X_1} \cdot X_3 = \\ &= \overline{\overline{X_1 \cdot X_2} \cdot \overline{\overline{X_1} \cdot \overline{X_2}} \cdot \overline{\overline{X_0} \cdot \overline{X_2} \cdot \overline{X_3}} \cdot \overline{\overline{X_0} \cdot \overline{X_1} \cdot X_3}} \end{aligned}$$

після мінімізації за одиницями у базисі І–НЕ;

$$\begin{aligned}
F &= X_1 \cdot X_2 + \overline{X_1} \cdot \overline{X_2} + \overline{X_0} \cdot \overline{X_2} \cdot \overline{X_3} + X_0 \cdot \overline{X_1} \cdot X_3 = \\
&= \overline{\overline{\overline{X_1} + X_2}} + \overline{\overline{\overline{X_1} + X_2}} + \overline{\overline{\overline{X_0} + X_2 + X_3}} + \overline{\overline{\overline{X_0} + X_1 + X_3}} = \\
&= \overline{\overline{X_1} + X_2} + \overline{\overline{X_1} + X_2} + \overline{\overline{X_0} + X_2 + X_3} + \overline{\overline{X_0} + X_1 + X_3} = \\
&= \overline{\overline{\overline{\overline{\overline{\overline{X_1} + X_2} + \overline{\overline{X_1} + X_2} + \overline{\overline{X_0} + X_2 + X_3} + \overline{\overline{X_0} + X_1 + X_3}}}}}
\end{aligned}$$

після мінімізації за одиницями у базисі АБО–НЕ;

$$\begin{aligned}
F &= (\overline{X_2} + X_3) \cdot (\overline{X_1} + X_2 + \overline{X_3}) \cdot (\overline{X_0} + \overline{X_1} + X_2) \cdot (X_0 + X_1 + \overline{X_2}) = \\
&= (\overline{\overline{\overline{X_2} \cdot X_3}}) \cdot (\overline{\overline{\overline{X_1} \cdot X_2 \cdot X_3}}) \cdot (\overline{\overline{\overline{X_0} \cdot \overline{X_1} \cdot X_2}}) \cdot (\overline{\overline{\overline{X_0} \cdot \overline{X_1} \cdot \overline{X_2}}}) = \\
&= \overline{X_2 \cdot \overline{X_3} \cdot X_1 \cdot \overline{X_2} \cdot X_3 \cdot X_0 \cdot X_1 \cdot \overline{X_2} \cdot \overline{X_0} \cdot \overline{X_1} \cdot X_2} = \\
&= \overline{\overline{\overline{\overline{\overline{\overline{X_2 \cdot \overline{X_3} \cdot X_1 \cdot \overline{X_2} \cdot X_3 \cdot X_0 \cdot X_1 \cdot \overline{X_2} \cdot \overline{X_0} \cdot \overline{X_1} \cdot X_2}}}}}
\end{aligned}$$

після мінімізації за нулями у базисі І–НЕ;

$$\begin{aligned}
F &= (\overline{X_2} + X_3) \cdot (\overline{X_1} + X_2 + \overline{X_3}) \cdot (\overline{X_0} + \overline{X_1} + X_2) \cdot (X_0 + X_1 + \overline{X_2}) = \\
&= \overline{\overline{\overline{\overline{\overline{\overline{X_2} + X_3}} + \overline{\overline{\overline{X_1} + X_2 + \overline{X_3}}}} + \overline{\overline{\overline{X_0} + \overline{X_1} + X_2}} + \overline{\overline{\overline{X_0} + X_1 + \overline{X_2}}}}}
\end{aligned}$$

після мінімізації за нулями у базисі АБО–НЕ.

4) Відповідно до формул логічних функцій і вибраних елементів будуємо принципову схему. При виборі логічних елементів в межах заданого базису прагнуть до реалізації функції меншим числом корпусів інтегральних мікросхем.

У базисі І–НЕ як логічні елементи можна використовувати К1533ЛА1 (два елементи 4І–НЕ в одному корпусі), К1533ЛА3 (чотири елементи 2І–НЕ в одному корпусі) і К1533ЛА4 (три елементи 3І–НЕ в одному корпусі).

У базисі АБО–НЕ як логічні елементи можна використовувати К531ЛЕ7 (два елементи 5АБО –НЕ в одному корпусі), К1533ЛЕ1 (чотири елементи

2АБО–НЕ в одному корпусі) і K1533ЛЕ4 (три елементи 3 АБО–НЕ в одному корпусі).

В цьому випадку отримаємо наступні принципові електричні схеми (рисунки 7.34...7.37).

5) За побудованими схемами бачимо, що для реалізації схеми у базисі І–НЕ після мінімізації за одиницями потрібно 3 корпуси мікросхем (9 логічних елементів). Для реалізації тієї ж схеми у базисі АБО–НЕ після мінімізації за одиницями потрібно 4 корпуси мікросхем (10 логічних елементів). Для побудови даної схеми у базисі І–НЕ після мінімізації за нулями теж потрібно 4 корпуси мікросхем (10 логічних елементів). А в базисі АБО–НЕ після мінімізації за нулями потрібно 3 корпуси мікросхем (10 логічних елементів).

Все вищеописане відображено в таблиці 7.23.

Таблиця 7.23 – Кількість корпусів мікросхем, яка потрібна для реалізації схеми, в залежності від обраного базису та способу мінімізації

Тип мінімізації	Базис	Потрібна кількість корпусів мікросхем	Потрібна кількість логічних елементів
За одиницями	І–НЕ	3	9
За одиницями	АБО–НЕ	4	10
За нулями	І–НЕ	4	10
За нулями	АБО–НЕ	3	9

З таблиці випливає, що найбільш доцільно будувати пристрій для реалізації даної ПФ у базисі І–НЕ після мінімізації за одиницями, або ж у базисі АБО–НЕ після мінімізації за нулями.

6) Тепер моделюємо кожну з побудованих вище схем у пакеті MicroCap–9, щоб переконатися у їх працездатності.

Нижче приведені результати моделювання даних схем в пакеті MicroCap–9 (рисунки 7.38...7.45).

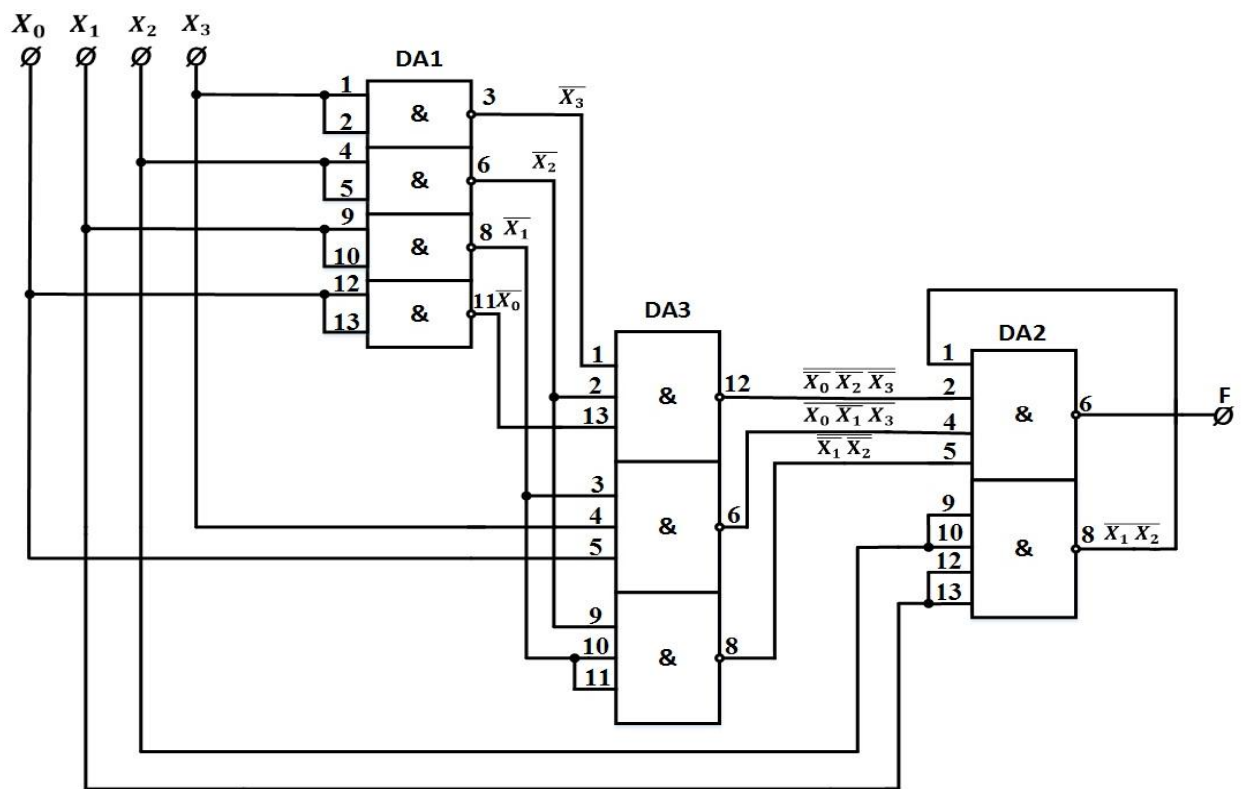


Рисунок 7.34 – Принципова схема пристрою після мінімізації за одиницями у базисі І–НЕ (DA1 – К1533ЛА3, DA2 – К1533ЛА1, DA3 – К1533ЛА4)



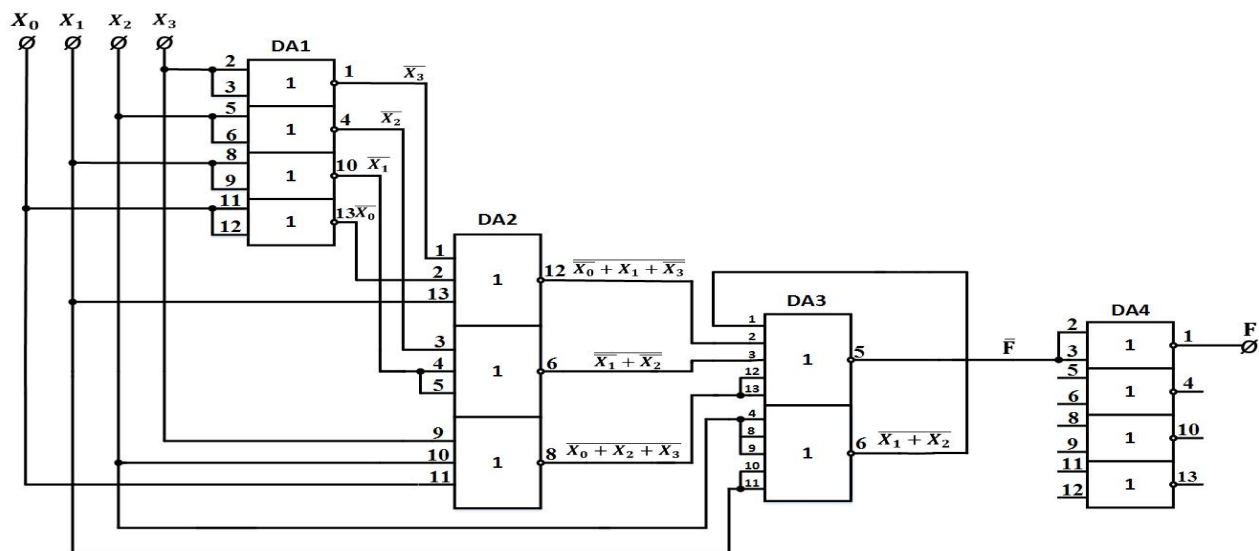


Рисунок 7.35 – Принципова схема пристрою після мінімізації за одиницями у базисі АБО–НЕ (DA1 – К1533ЛЕ1, DA2 – К1533ЛЕ4, DA3 – К531ЛЕ7, DA4 – К1533ЛЕ1)

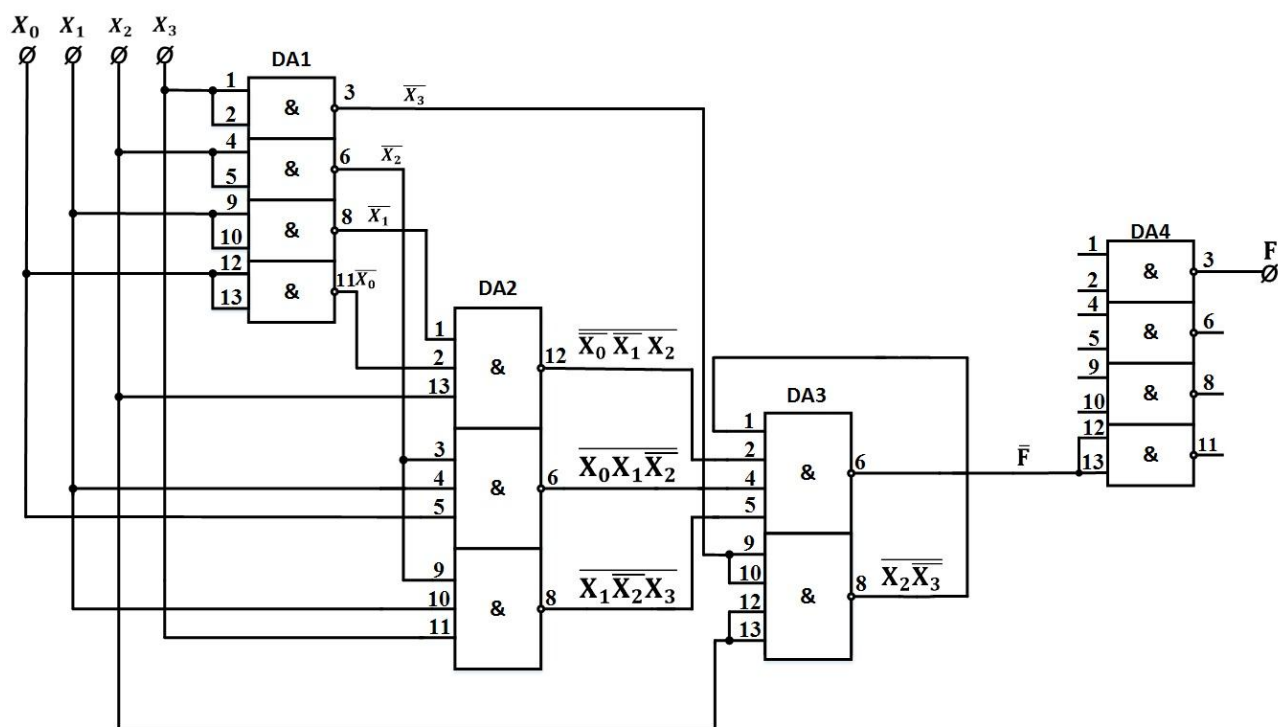


Рисунок 7.36 – Принципова схема пристрою після мінімізації за нулями у базисі І–НЕ (DA1 – К1533ЛА3, DA2 – К1533ЛА4, DA3 – К1533ЛА1, DA4 – К1533ЛА3)

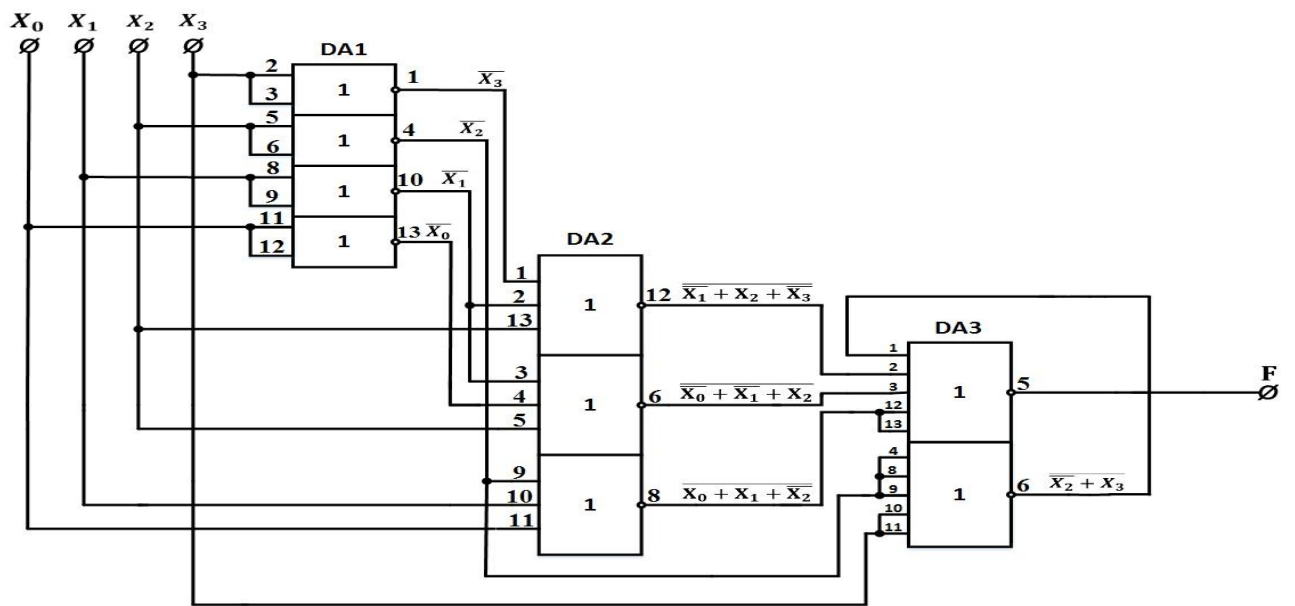


Рисунок 7.37 – Принципова схема пристрою після мінімізації за нулями у базисі АБО-НЕ (DA1 – К1533ЛЕ1, DA2 – К1533ЛЕ4, DA3 – К531ЛЕ7)

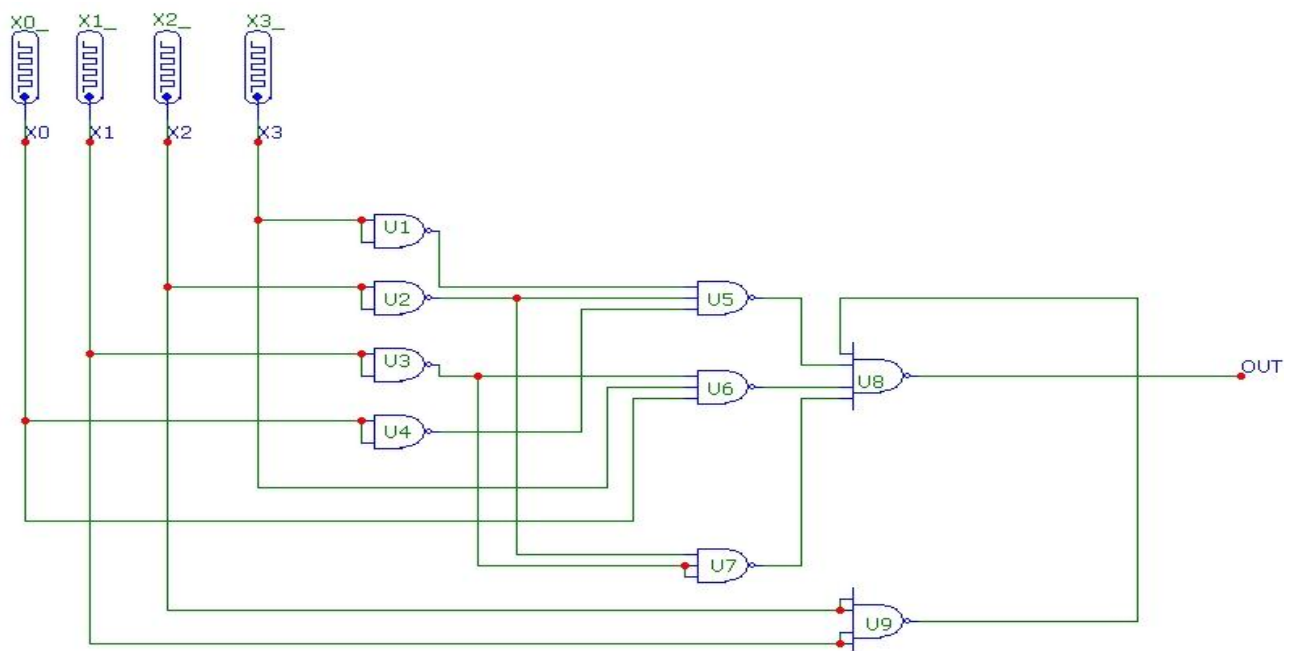


Рисунок 7.38 – Модель схеми, яку побудовано у базисі І-НЕ після мінімізації за одиницями, в середовищі MicroCap-9

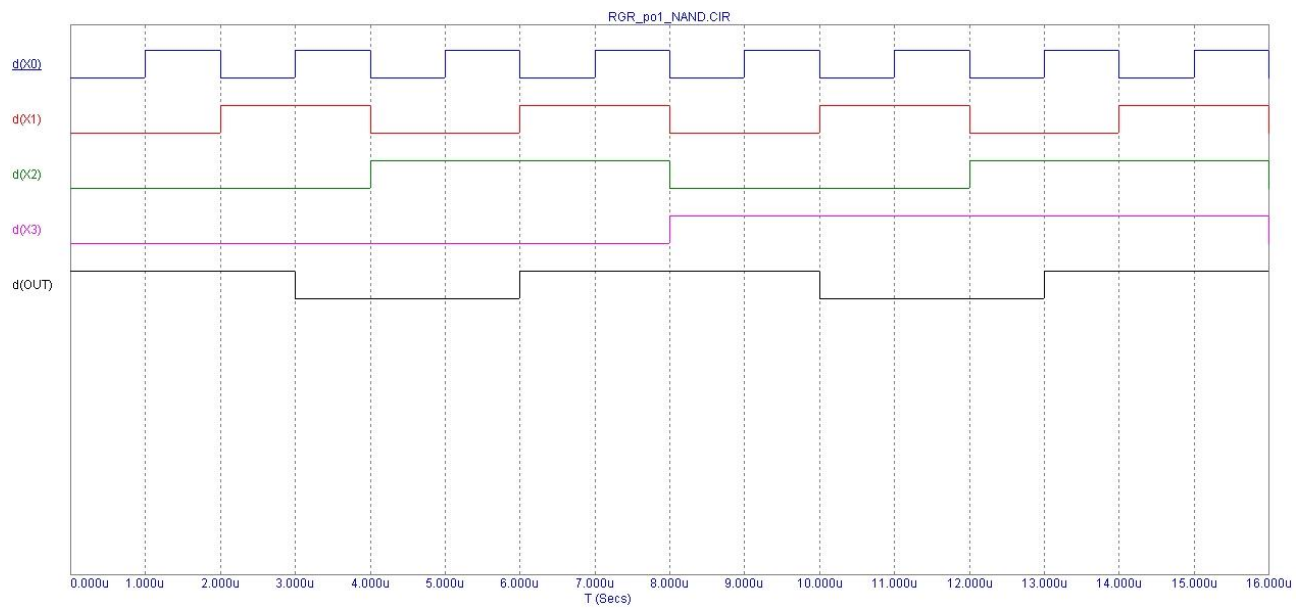


Рисунок 7.39 – Часові діаграми роботи схеми, яку побудовано у базисі І-НЕ після мінімізації за одиницями, в середовищі MicroCap–9

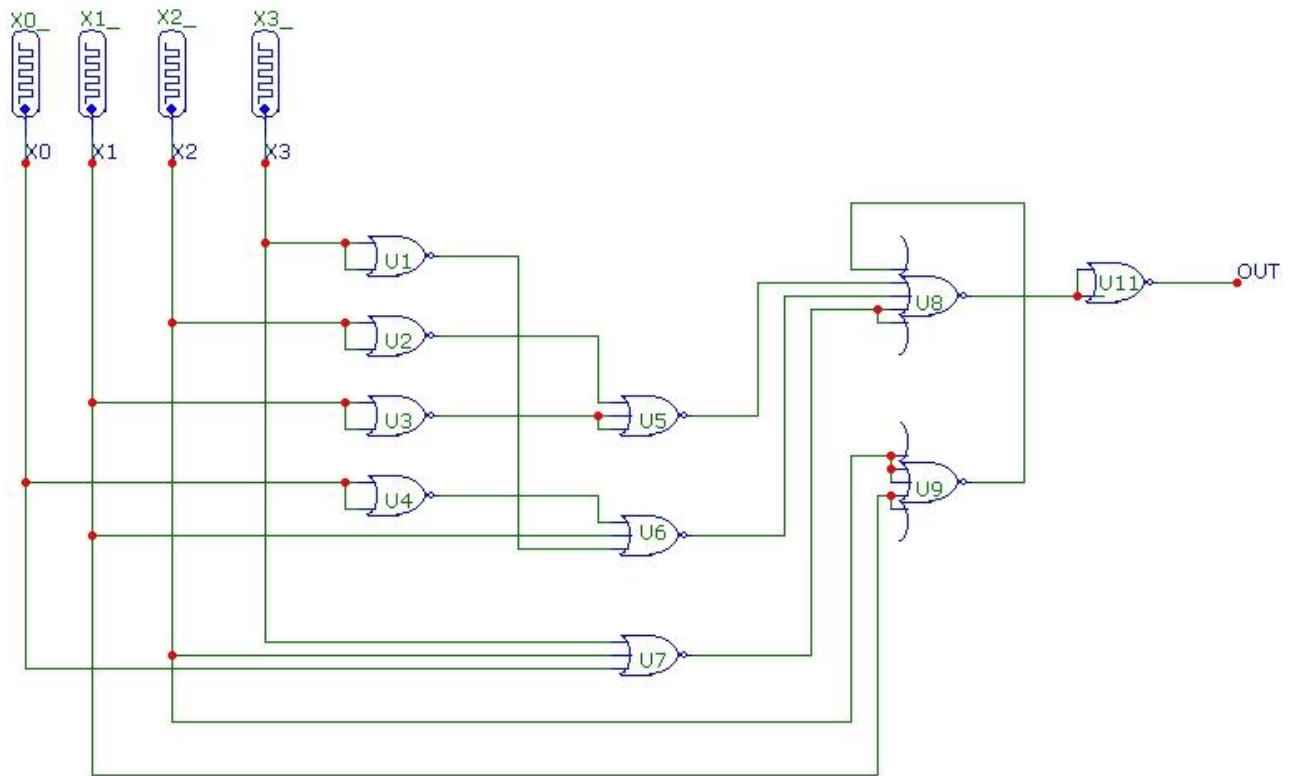


Рисунок 7.40 – Модель схеми, яку побудовано у базисі АБО–НЕ після мінімізації за одиницями, в середовищі MicroCap–9

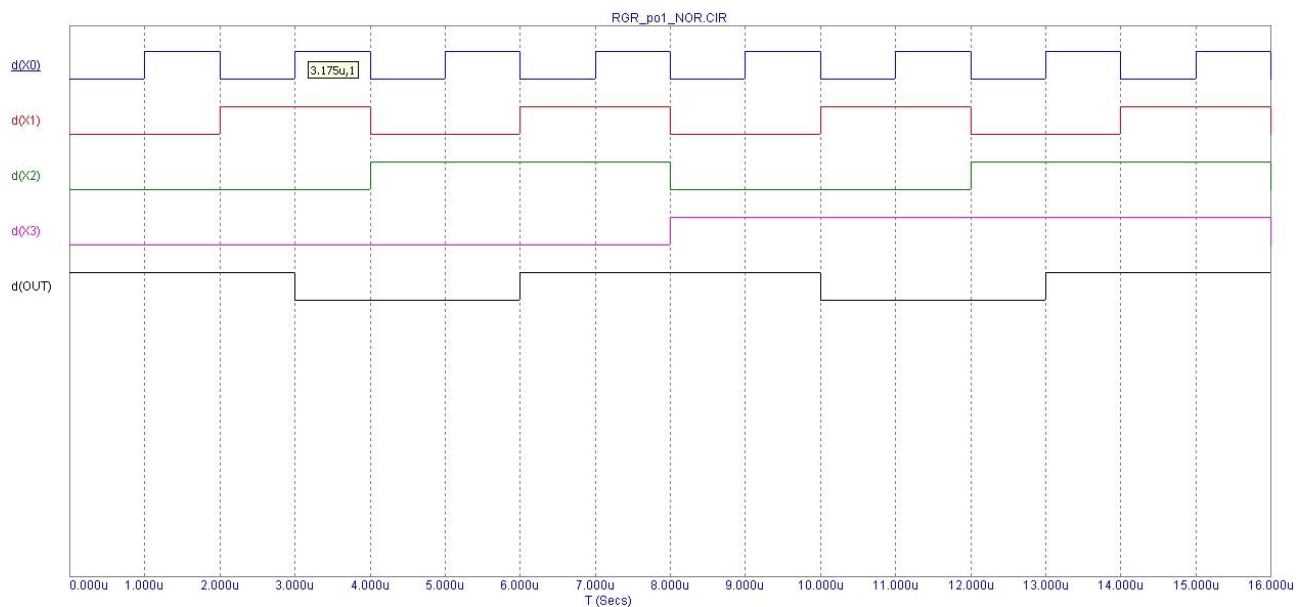


Рисунок 7.41 – Часові діаграми роботи схеми, яку побудовано у базисі АБО–НЕ після мінімізації за одиницями, в середовищі MicroCap–9

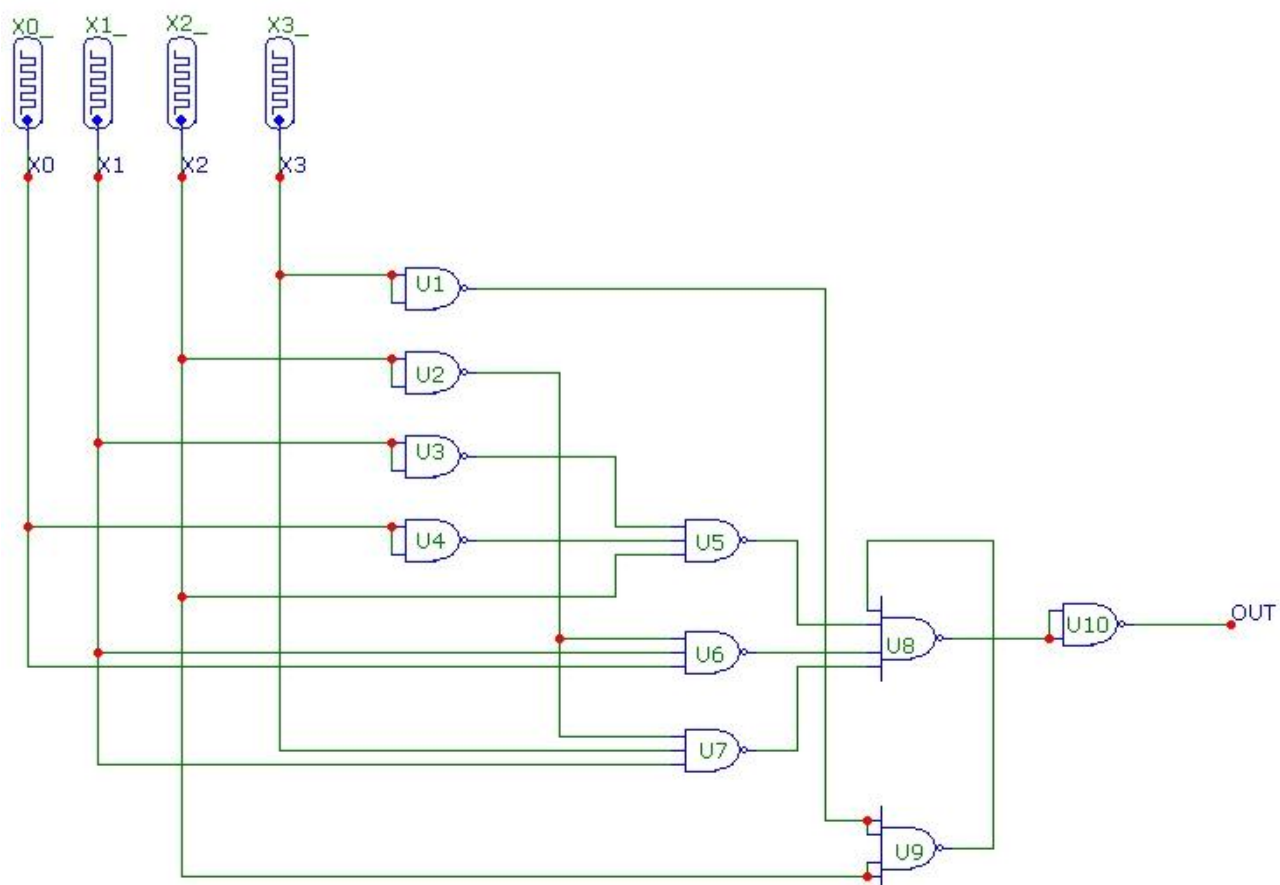


Рисунок 7.42 – Модель схеми пристрою, яку побудовано у базисі І–НЕ після мінімізації за нулями, в середовищі MicroCap–9

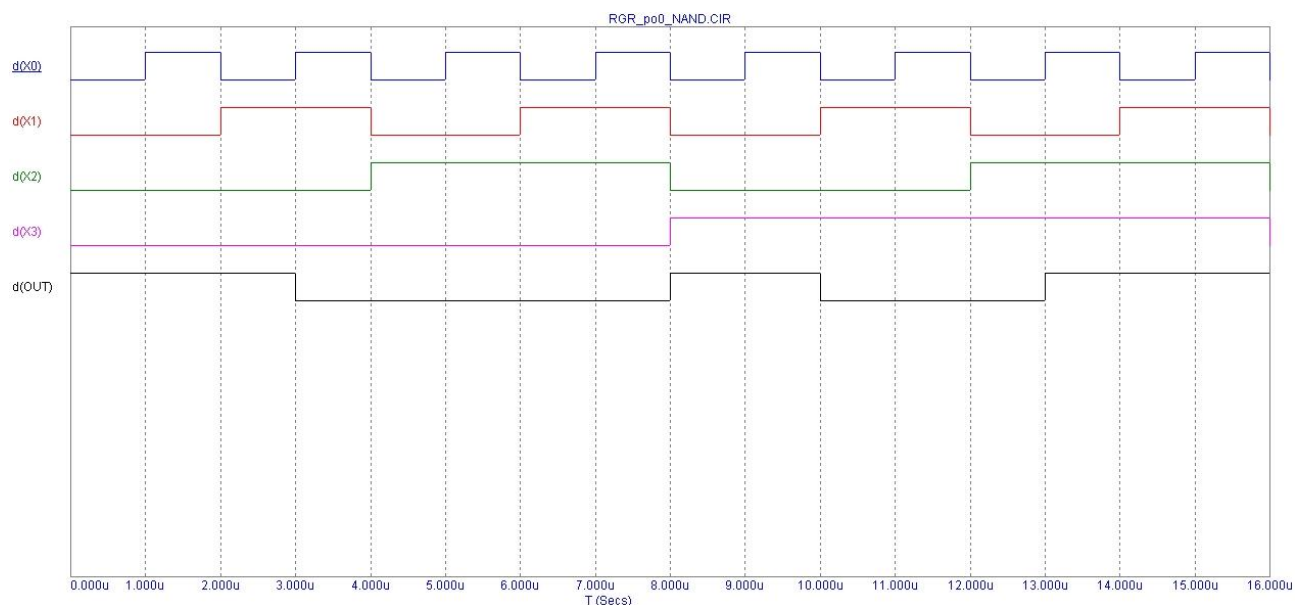


Рисунок 7.43 – Часові діаграми роботи схеми, яку побудовано у базисі І–НЕ після мінімізації за нулями, в середовищі MicroCap–9

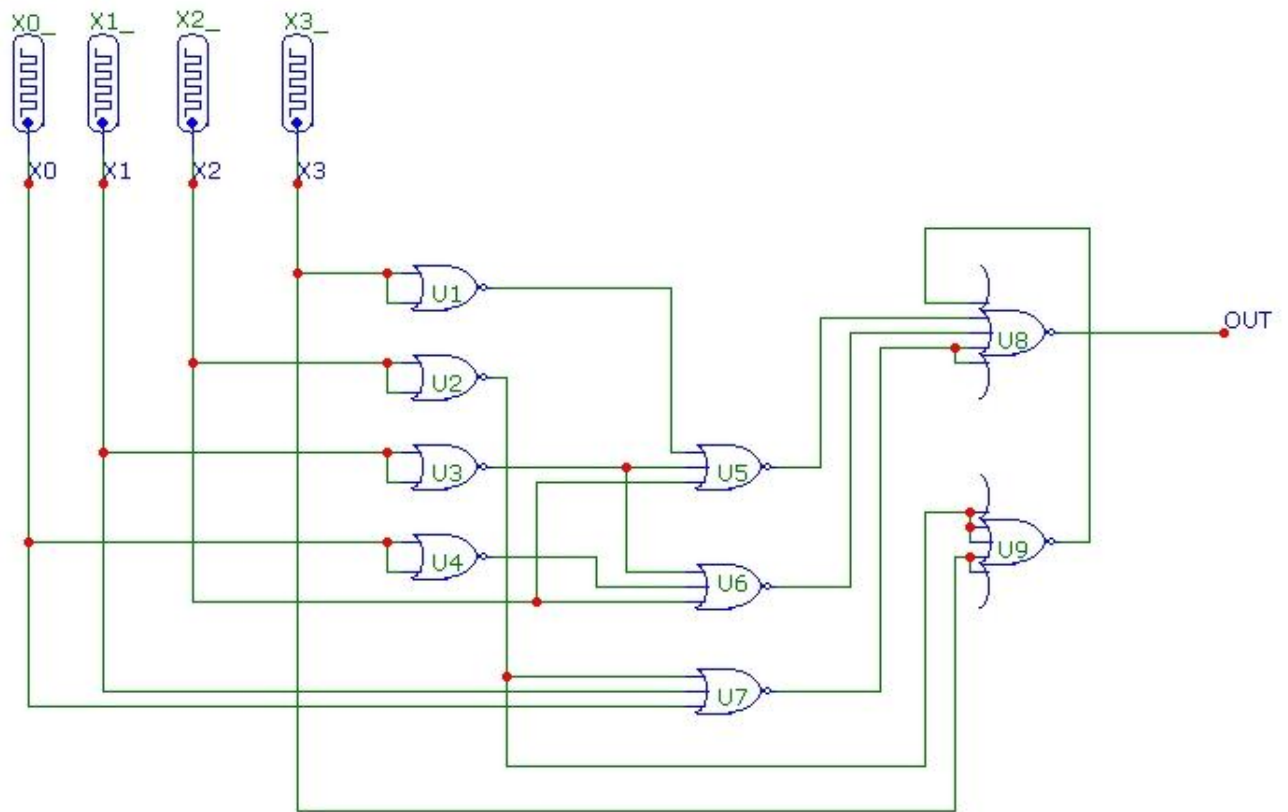


Рисунок 7.44 – Модель схеми пристрою, яку побудовано у базисі АБО–НЕ після мінімізації за нулями, в середовищі MicroCap–9

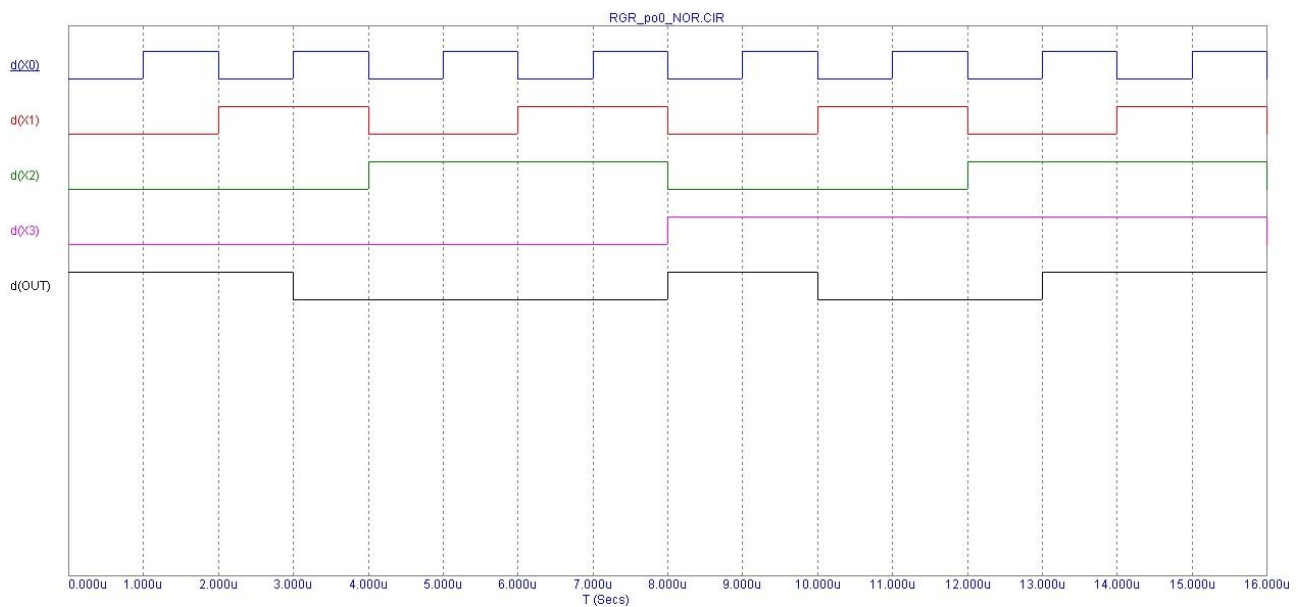


Рисунок 7.45 – Часові діаграми роботи схеми, яку побудовано у базисі АБО–НЕ після мінімізації за нулями, в середовищі MicroCap–9

### 7.4.3 СПИСОК ЛІТЕРАТУРИ

1. Логічні елементи. W\NOVATSKY\KOMP\_ELEKTR\_NEW\RGR\rgr.rar\LE.doc;
2. Бирюков С. А. Применение цифровых микросхем серий ТТЛ и КМОП. – М.: ДМК, 1999;
3. Токхейм Р. Основы цифровой электроники: Пер. с англ. – М.: Мир, 1988;
4. Електронний конспект лекцій. W\NOVATSKY\KOMP\_ELEKTR\_NEW\KONSP\_RUS(KONSP\_UKR).

## 8 ЛАБОРАТОРНА РОБОТА №8

**Тема:** Дослідження послідовних цифрових пристроїв (ПЦП).

**Мета:** Дослідити принцип дії, основні властивості та характеристики тригерів. Ознайомитись із основними видами, параметрами цих пристроїв та областю їх застосування.

### 8.1 Короткі теоретичні відомості

#### 8.1.1 Послідовні цифрові пристрої

Вище були розглянуті комбінаційні цифрові пристрої, у яких є однозначний зв'язок між вхідними і вихідними сигналами і відсутні елементи пам'яті [1, 2, 18, 27, 30, 33, 36, 36].

В цифровій електроніці існує ще одна група пристроїв, що містять елементи пам'яті. Тому їх вихідні сигнали в загальному випадку можуть залежати не тільки від сигналів, які присутні на входах у даний момент часу, але і від сигналів, що впливали на пристрої раніше. Оскільки наявність пам'яті дозволяє задавати послідовність виконання визначених логічних операцій, то такі цифрові пристрої називаються послідовними.

До них насамперед належать тригери, а також схеми, що виконуються на їх основі: регістри, лічильники, розподільники, напівпровідникові запам'ятовуючі пристрої (ЗП) і т. ін.

В цій роботі розглядаються найпростіші послідовні цифрові пристрої – тригери.

##### 8.1.1.1 Тригери

Тригером називається пристрій, що має два стійких стани рівноваги і може під дією керуючих сигналів швидко (стрибкоподібно) переходити з одного стану в інший. При вмиканні напруги живлення і відсутності зовнішніх керуючих сигналів тригер довільно займає один з двох станів і



може знаходитися в ньому як завгодно довго. Тригер є елементом пам'яті і може зберігати 1 біт інформації.

Існує чотири різновиди схемної реалізації (виконання) тригерів:

1. На дискретних компонентах з використанням транзисторів (напівпровідникові імпульсні тригери).
2. На інтегральних мікросхемах операційних підсилювачів (тригери Шмітта).
3. На логічних елементах.
4. У вигляді спеціалізованої інтегральної мікросхеми.

Перші дві групи були розглянуті в роботі 4. Нижче розглянуто деякі види цифрових тригерів.

В залежності від властивостей, кількості входів і функціонального призначення цифрові тригери можна розділити на декілька видів.

Насамперед, варто розрізняти нетактовані (асинхронні) і тактовані (синхронні) тригери. Зміна стану асинхронного тригера відбувається відразу ж після відповідної зміни потенціалів на його керуючих входах.

У синхронному тригері переключення може відбутися тільки в момент присутності відповідного сигналу на тактовому (синхро) вході.

Тактування може здійснюватися імпульсом (потенціалом) або фронтом (перепадом потенціалу). У першому випадку, сигнали на керуючих входах впливають на стан тригера тільки при дозволяючому потенціалі на тактовому вході. У другому випадку, вплив керуючих сигналів виявляється в момент переходу одиниця–нуль або нуль–одиниця на синхровході.

Існують також універсальні тригери, що можуть працювати як у синхронному, так і в асинхронному режимі.

Основними типами тригерів у залежності від функціонального призначення є:

- RS – тригери ;
- T – тригери ;

- D – тригери ;
- JK – тригери.

#### 8.1.1.1.1 Тригери на логічних елементах

##### 8.1.1.1.1.1 RS – тригери

RS – тригери поділяються на асинхронні і синхронні.

##### 8.1.1.1.1.1.1 Асинхронні RS – тригери

Асинхронні RS – тригери можуть бути виконані на логічних елементах базисів АБО–НЕ і І–НЕ.

Нижче показані: принципова схема (рисунок 8.1, а), позначення на електричних схемах (рисунок 8.1, б) і таблиця істинності (таблиця 8.1) асинхронного RS – тригера на логічних елементах АБО–НЕ.

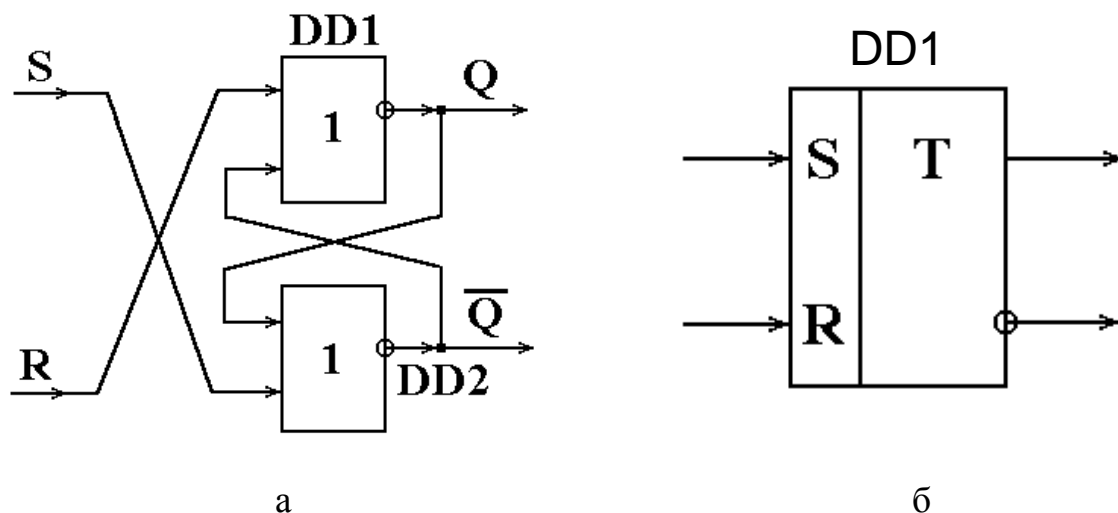


Рисунок 8.1 – Асинхронний RS–тригер:

а – схема на ЛЕ АБО–НЕ; б – позначення на електричних схемах

У таблиці 8.1 прийняті такі позначення: R і S – сигнали на керуючих входах тригера;  $Q^t$  – вихідний сигнал тригера до надходження вхідних керуючих сигналів;  $Q^{t+1}$  – вихідний сигнал після впливу керуючих сигналів.

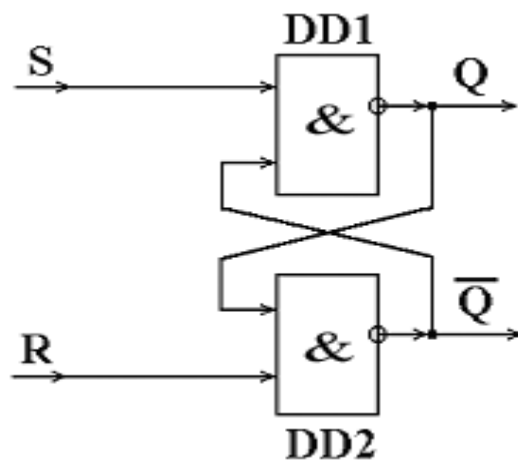
Таблиця 8.1 – Таблиця істинності  
асинхронного RS–тригера на ЛЕ АБО–НЕ

№	S	R	$Q^{t+1}$
0	0	0	$Q^t$
1	0	1	0
2	1	0	1
3	1	1	Стан не визначений

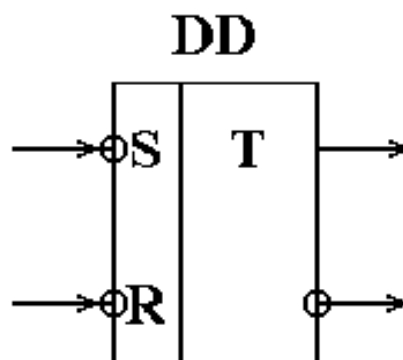
Тригер називається асинхронним, тому що він переходить у новий стан негайно після зміни комбінації вхідних керуючих сигналів. Входи S і R названі за першими буквами англійських слів: set – встановлення і reset – попереднє встановлення (скидання). Тригер встановлюється в одиницю ( $Q=1$ ;  $\bar{Q}=0$ ) при комбінації вхідних сигналів  $S=1$ ,  $R=0$ . Скидання в нуль ( $Q=0$ ;  $\bar{Q}=1$ ) відбувається при  $S=0$ ,  $R=1$ . Якщо  $S=R=0$ , то стан схеми не змінюється ( $Q^{t+1}=Q^t$ ). Комбінація  $S=R=1$ , заборонена, тому що стан тригера в цьому випадку не визначений. У схемі виконується умова виникнення стрибків: баланс фаз (тригер містить додатний зворотний зв'язок (ДЗЗ)) і баланс амплітуд (сумарне підсилення схеми більше сумарного згасання, яке внесене пасивними елементами). Тому при зміні вхідних керуючих сигналів тригер швидко (лавиноподібно) змінює свій стан. При вмиканні живлення і пасивного значення керуючих сигналів  $R=S=0$  схема займає довільний стан (нульовий  $Q=0$ ;  $\bar{Q}=1$  або одиничний –  $Q=1$ ;  $\bar{Q}=0$ ).

Для проектування RS – тригера можуть бути використані також логічні елементи базису І–НЕ.

Нижче показані: принципова схема (рисунок 8.2, а), позначення на електричних схемах (рисунок 8.2, б) і таблиця істинності (таблиця 8.2) асинхронного RS – тригера на логічних елементах І–НЕ.



а



б

Рисунок 8.2 – Асинхронний RS–тригер: а – схема на ЛЕ І–НЕ

Таблиця 8.2 – Таблиця істинності асинхронного RS–тригера на ЛЕ І–НЕ

№	S	R	$Q^{t+1}$
0	0	0	Стан не визначений
1	0	1	1
2	1	0	0
3	1	1	$Q^t$

Відмінність цього тригера від попереднього складається в тому, що активним значенням керуючих сигналів є логічний нуль, а пасивним – логічна одиниця.

#### 8.1.1.1.1.2 Синхронні RS – тригери

В результаті явища “змагань” (“перегонів”) на входах асинхронного RS–тригера можуть тимчасово з'являтися помилкові комбінації, що викликають помилкові спрацьовування (переключення) схеми і будуть помилково зафіксовані логічним пристроєм опрацювання вихідних сигналів тригера. Для усунення цієї похибки використовують синхронні RS–тригери, що містять додатковий тактовий (синхро) вхід.

Синхронні RS–тригери поділяються на:

- одноступеневі (однотактні);
- двоступеневі (двотактні).

Нижче показані: позначення на електричних схемах (рисунок 8.3, в) і функціональні схеми (рисунок 8.3, а, б) однотактного синхронного RS–тригера.

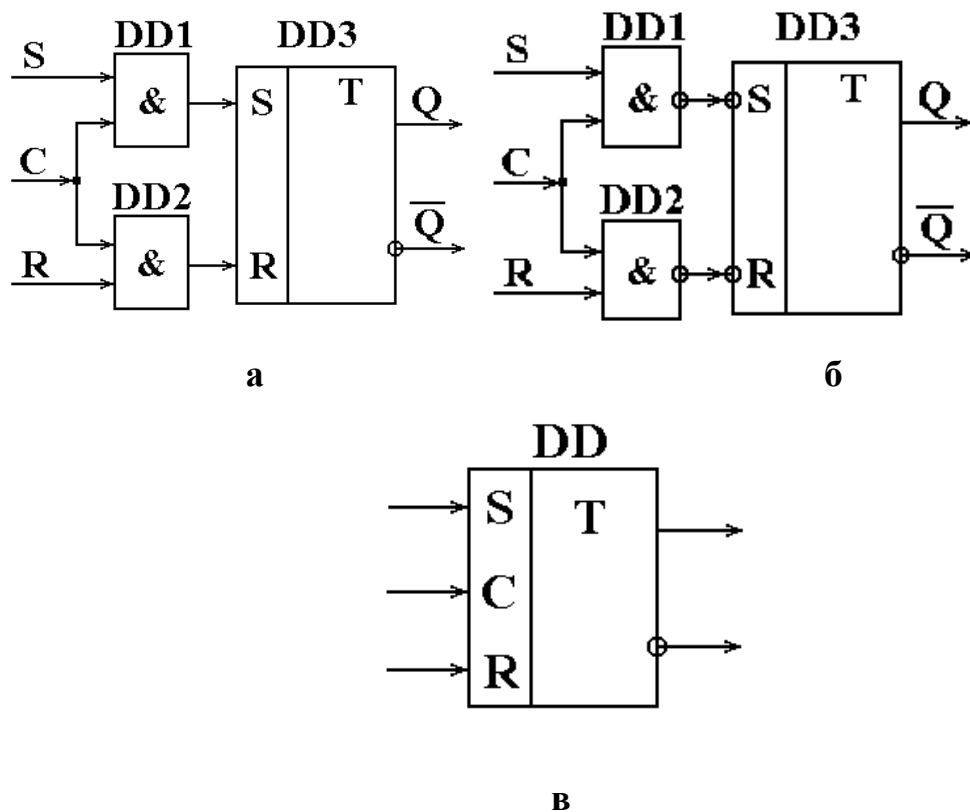


Рисунок 8.3 – Однотактний синхронний RS–тригер: а– функціональна схема на ЛЕ “Т” ; б – функціональна схема на ЛЕ “Т–НЕ”; в – позначення на електричних схемах

Однотактний синхронний RS–тригер (рисунок 8.3, а, б) включає асинхронний RS–тригер DD3 і два додаткових логічних елементи DD1, DD2: І (рисунок 8.3, а) або І–НЕ (рисунок 8.3, б). Більш кращою є друга схема (рисунок 8.3, б), тому що вона містить елементи одного базису І–НЕ (рисунок 8.2).

Однотактний (одноступеневий) синхронний RS–тригер (рисунок 8.3) тактується (синхронізується) потенціалом або одиничним імпульсом на вході С.

Часто потрібно здійснювати переключення тригера переходом потенціалу на його синхровході С із 1 в 0 або з 0 в 1 (зрізом або фронтом вхідного імпульсу). Синхронний RS–тригер, що має таку спроможність, називається двоступеневим (двотактним).

Нижче показані: позначення на електричних схемах (рисунок 8.4, а) і функціональна схема (рисунок 8.4, б) двотактного синхронного RS–тригера, що переключається переходом із 1 в 0 на динамічному тактовому (синхро) вході.

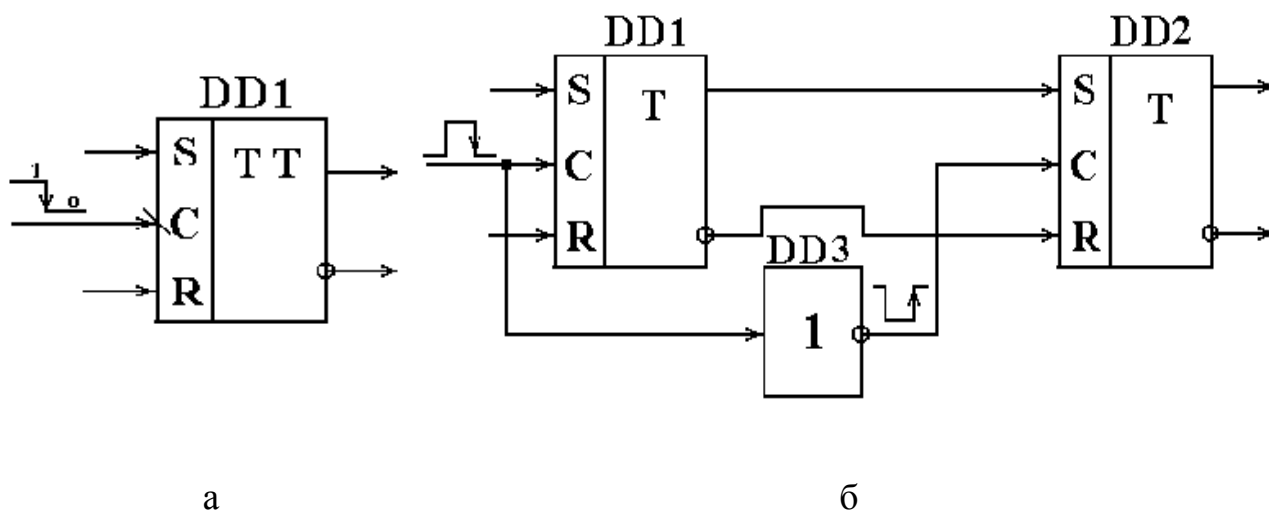


Рисунок 8.4 – Двотактний синхронний RS–тригер:

а – позначення на схемах; б – функціональна схема

Тригер виконаний на двох однотактних синхронних RS–тригерах (DD1, DD2), розглянутих вище, і інверторі DD3. Вхід С (рисунок 8.4, а)

називається динамічним, тому що активним сигналом на ньому є перехід із 1 в 0. Переключення тригера відбувається за два такти: у першому такті вхідна інформація записується в перший тригер DD1, а стан другого тригера DD2 не змінюється, тому що на його синхровхід з виходу інвертора подається нульовий імпульс. В другому такті в момент закінчення одиничного імпульсу на вході (при переході з 1 в 0) з виходу інвертора на синхровхід тригера DD2 починає надходити одиничний потенціал і інформація з першого тригера DD1 переписується в другий DD2. У такий спосіб стан виходу змінюється лише в момент переходу з 1 в 0 вхідного синхросигналу.

Нижче показані: позначення на електричних схемах (рисунок 8.5, а) і функціональна схема (рисунок 8.5, б) двотактного синхронного RS–тигера, що переключається переходом з 0 в 1 на динамічному синхровході.

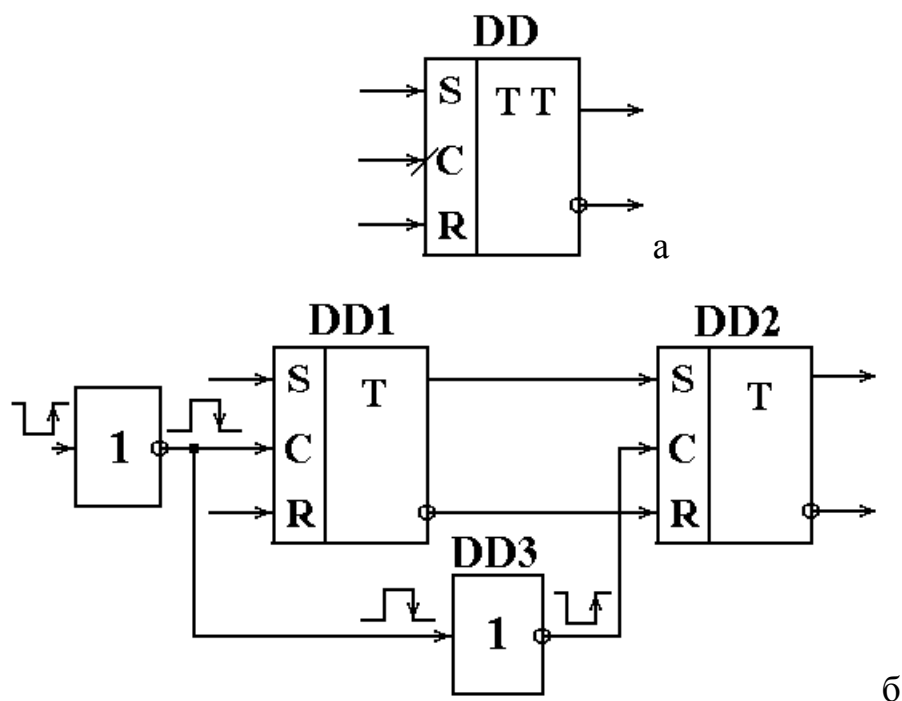


Рисунок 8.5 – Двотактний синхронний RS–тригер: а – позначення на електричних схемах; б – функціональна схема

#### 8.1.1.1.2 Т–тригери (тригери з рахунковим входом)

Т–тригер (тригер з рахунковим входом) містить рахунковий (лічильний) вхід, що позначається буквою Т, і переключається кожним імпульсом на Т–вході.

Нижче показані: позначення на електричних схемах (рисунок 8.6, а, б) і функціональна схема (рисунок 8.6, в) Т–тригера, що переключається переходом із 1 в 0 кожного вхідного імпульсу.

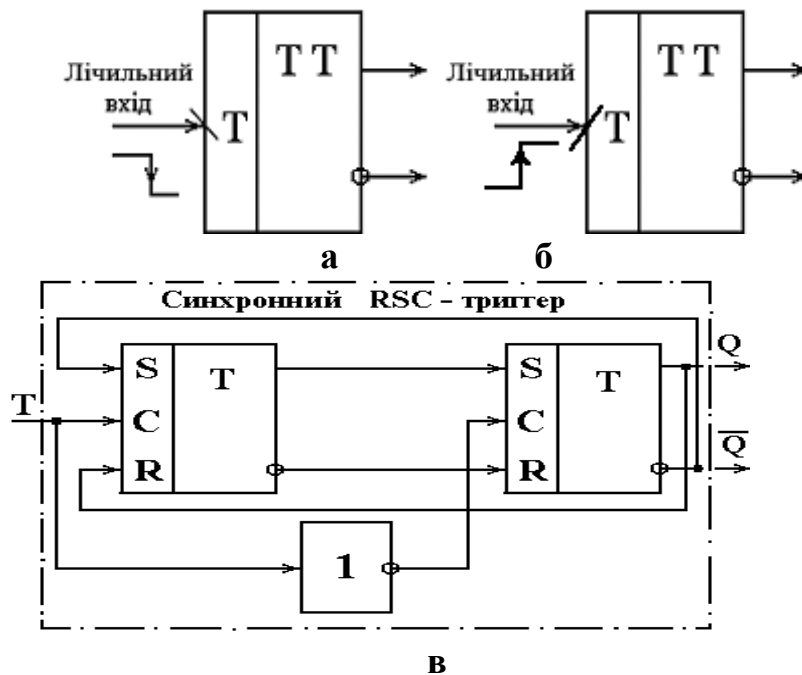


Рисунок 8.6 – Т–тригер: а, б – позначення на схемах; в – функціональна схема

Тригер виконаний на основі синхронного двоступеневого RSC–тригера з динамічним синхровходом, охопленого двома зворотними зв'язками.

В момент зрізу рахункових вхідних імпульсів тригер переключається в протилежний стан  $Q^{t+1} = \bar{Q}^t$ . На рисунку 8.7 приведені часові діаграми, що пояснюють роботу Т–тригера. Початковий стан схеми – одиничний ( $U_Q=1$ ). Зрізом кожного рахункового імпульсу вихідний сигнал змінює своє значення на протилежне. Період вихідних імпульсів  $T_{\text{вих}} = 2T_{\text{вх}}$ , а частота  $f_{\text{вих}} = f_{\text{вх}}/2$ , тобто Т–тригер ділить вхідну частоту на 2.



На рисунку 8.6, б приведені позначення на електричних схемах Т-тригера, що переключається переходом з 0 в 1 на рахунковому вході.

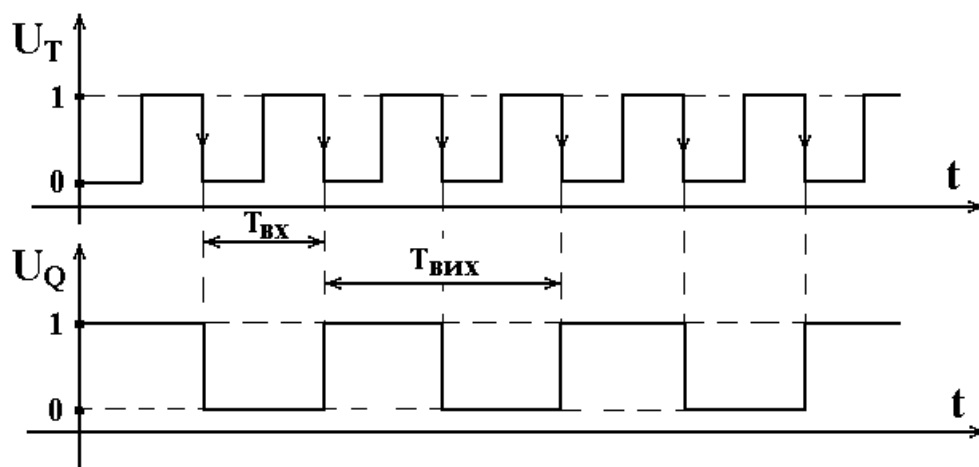


Рисунок 8.7 – Часові діаграми роботи Т-тригера

#### 8.1.1.1.3 D – тригери (тригери затримки)

D – тригери (тригери затримки) містять інформаційний (D) вхід і тактовий (синхро) вхід (рис. 8.8).

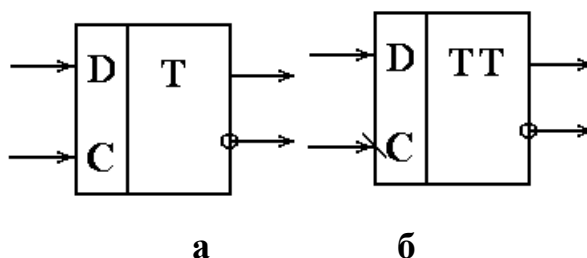


Рисунок 8.8 – Позначення D-тригера на електричних схемах:

а – одноклоковий; б – двоклоковий

Існують одноклокові D-тригери, що переключаються потенціалом, або імпульсом на тактовому вході (рис. 8.8, а), і двоклокові D-тригери, що переключаються динамічним синхросигналом (переходом), наприклад, з 1 в 0 (рис. 8.8, б).

Нижче показані: функціональна схема (рис. 8.9, а) і часові діаграми роботи (рис. 8.9, б) одноклокового D-тригера, виконаного на

однотактному синхронному RS–тригері (RSC – тригері) – DD1 і логічному елементі (інверторі) – DD2.

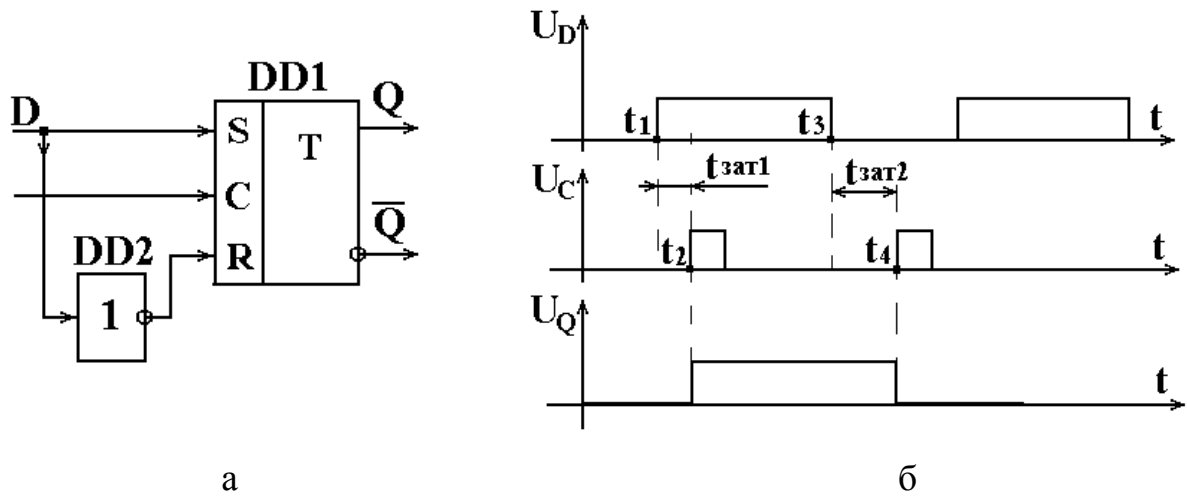


Рисунок 8.9 – Однотактний D–тригер:

а – функціональна схема; б – часові діаграми роботи

В момент надходження тактового імпульсу D–тригер переключається в стан, обумовлений сигналом на інформаційному вході D, тобто схема запам'ятовує сигнал на вході D у момент надходження синхроімпульсу ( $Q^{t+1}=D$ ) і зберігає його до наступного тактового імпульсу. Затримка дорівнює інтервалу часу між моментами приходу інформаційного сигналу на D–вхід і надходженням синхросигналу на C–вхід:  $t_{3ar1} = t_2 - t_1$ ;  $t_{3ar2} = t_4 - t_3$  (рисунок 8.9, б). D–тригери широко застосовуються в якості елементів пам'яті, спроможних зберігати 1 біт інформації.

Нижче показані: позначення на електричних схемах (рисунок 8.10, а) і функціональна схема (рисунок 8.10, б) двотактного D–тригера, що переключається переходом з 1 в 0 на динамічному синхровході C.

Тригер виконаний на основі двох однотактних RSC–тригерів (DD1, DD2) і двох інверторів (DD3, DD4).

D–тригер можна використовувати в якості тригера з рахунковим входом (T–тригера), якщо з'єднати його виводи як показано на рисунку 8.10, в.

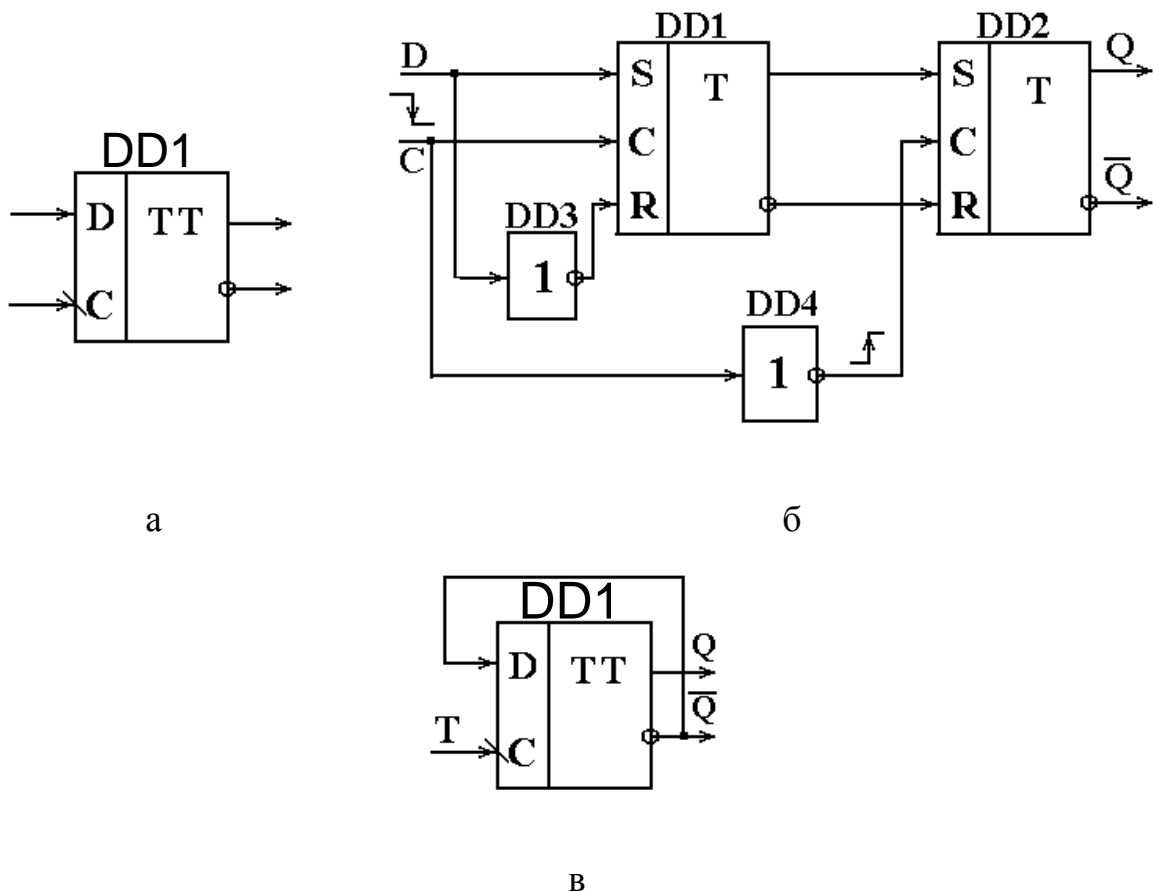


Рисунок 8.10 – Двотактний D–тригер: а – позначення на схемах; б – функціональна схема; в – реалізація Т–тригера на D–тригері

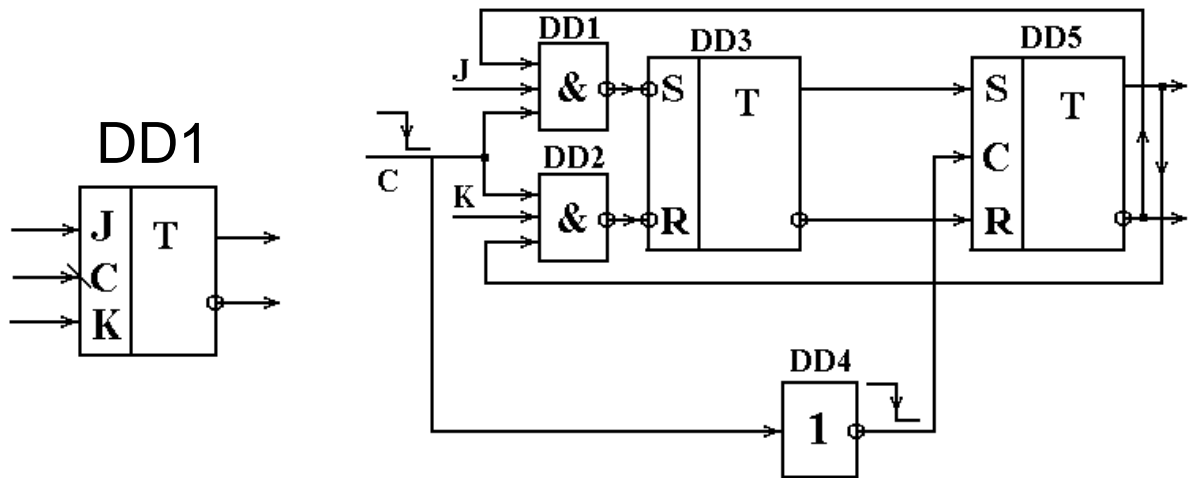
#### 8.1.1.1.4 JK – тригери

JK – тригери найбільш універсальні серед синхронних тригерів.

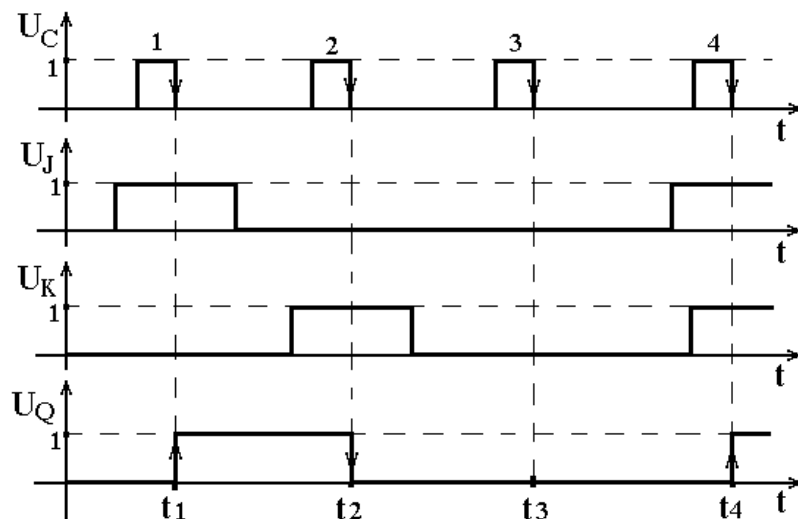
Нижче показані: позначення на електричних схемах (рисунок 8.11, а), функціональна схема (рисунок 8.11, б), таблиця істинності (таблиця 8.3) і часова діаграма роботи (рисунок 8.11, в) двотактного синхронного JK–тригера, що переключається переходом з 1 в 0 на динамічному синхровході С.

Розглянемо роботу JK–тригера. Початковий стан схеми – нульовий ( $U_Q=0$ ) (рисунок 8.11, в). При надходженні зрізу першого тактового імпульсу (момент  $t_1$ ) сигнал на J–вході дорівнює 1, а на K–вході – 0.

Тому тригер переключається в одиничний стан. Зрізом другого тактового імпульсу схема переключається в нульовий стан (момент  $t_2$ ), тому що в цей час  $J=0$ , а  $K=1$ .



б



в

Рисунок 8.11 – Двотактний JK – тригер: а – позначення на схемах;  
б – функціональна схема; в – часові діаграми роботи

В момент  $t_3$  обидва керуючих сигнали  $J=K=0$ , тому стан схеми не змінюється ( $Q^{t+1}=Q^t$ ). При надходженні зрізу 4-го синхроімпульсу (момент  $t_4$ )  $J=K=1$ , тому тригер переключається в стан, протилежний початковому,  $Q^{t+1}=\bar{Q}^t$ .

Таблиця 8.3 – Таблиця істинності JK–тригера

N <sup>o</sup> набору	J	K	C	Q <sup>t+1</sup>
0	0	0	$\downarrow$	Q <sup>t</sup>
1	0	1	$\downarrow$	0
2	1	0	$\downarrow$	1
3	1	1	$\downarrow$	$\overline{Q^t}$

На основі універсального JK–тригера може бути побудований ряд інших тригерів.

Синхронний RS–тригер. Ототожнимо  $J=S$  і  $K=R$ . При забороні комбінації  $J=S=1$  і  $K=R=1$  таблиця 8.3 зводиться до таблиці істинності RS–тригера (таблиця 8.1). Тому розглянута схема (рисунок 8.11) може використовуватися в якості двотактного синхронного RS–тригера.

T–тригер. У ньому використовується тільки 4–й рядок таблиці 8.3. Для цього входи J і K приєднуються до потенціалу, що відповідає логічній одиниці:  $J=K=1$  (рисунок 8.12, а).

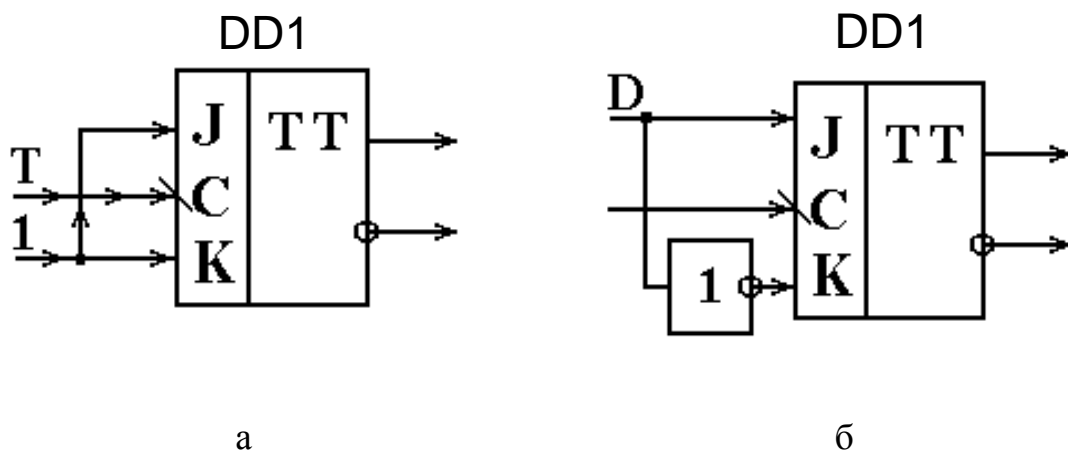


Рисунок 8.12 – Реалізація на JK–тригері: а – T–тригера; б – D–тригера

D-тригер. У цьому тригері  $J = \bar{K} = D$ , тобто крім тактового є тільки один вхід D (рисунок 8.12, б). З таблиці 8.3 (1-й і 2-й набори) видно, що в D-тригері  $Q^{t+1} = D = J$ , тобто останній запам'ятовує сигнал на вході D у момент зрізу тактового імпульсу і зберігає його до наступного синхросигналу.

## 8.2 Моделювання окремих пристроїв

### 8.2.1 Схема 1. Асинхронний RS-тригер на елементній базі NOR (АБО-НІ)

Нижче наведено приклад схеми асинхронного RS-тригера на елементній базі NOR (АБО-НІ), яку зібрано у середовищі MicroCap 9: lab0801\_async RS-nor.cir (рисунок 8.13).

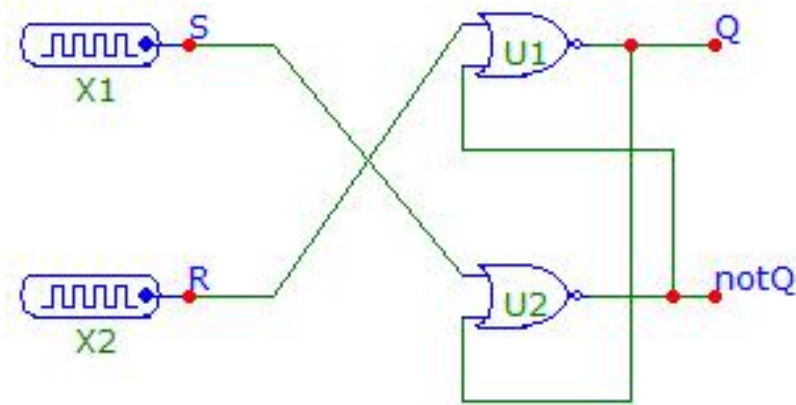


Рисунок 8.13 – Схема асинхронного RS-тригера на елементній базі NOR (АБО-НІ)

Параметри схеми:

1) X1 (Digital Primitives → Stimulus Generators → DClock):

Param: ZEROWIDTH = 1u;

Param: ONEWIDTH = 1u;

2) X2 (DClock):

Param: ZEROWIDTH = 2u;

Param: ONEWIDTH = 2u;

3) U1, U2 (Digital Primitives → Standart Gates → Nor Gates → Nor2):

TIMING MODEL = D0\_GATE.

### Результат досліду:

Нижче на рисунку 8.14 наведено часові діаграми роботи схеми, яку наведено на рисунку 8.13.

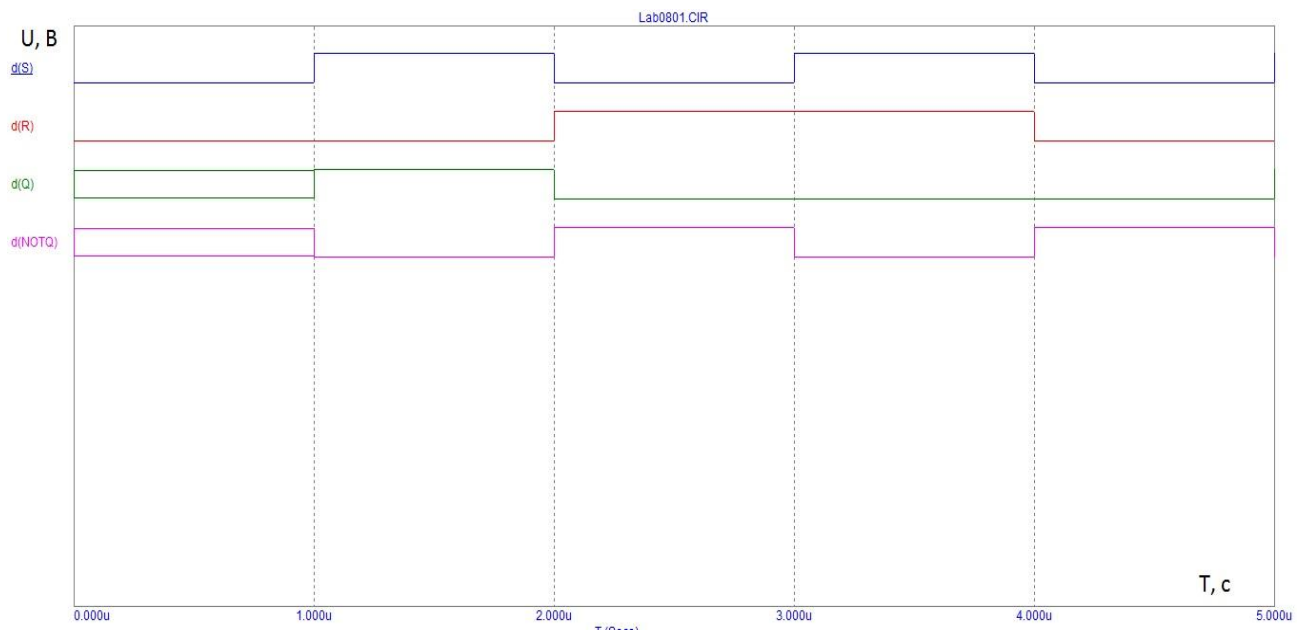


Рисунок 8.14 – Часові діаграми роботи схеми, яку наведено на рисунку 8.13

В даному тригері активним значенням керуючих сигналів є логічна одиниця, а пасивним – логічний нуль, що ілюструє таблиця 8.1. Початкове значення цифрових виходів  $D_Q(t)$ ,  $D_{\text{not}Q}(t)$  може бути 1 або 0 та встановлюється випадково.

Значення керуючих сигналів  $R = S = 1$  для цього тригера є забороненим. Але, як видно з рисунка 8.14, при  $R = S = 1$  вихідний сигнал  $Q = \bar{Q} = 0$ , що для робочого стану тригера є неможливим та є похибкою моделювання. Як відомо, у тригера, який працює нормально, цифрові сигнали на виходах  $Q$  та  $\bar{Q}$  повинні мати протилежні значення.

### 8.2.2 Схема 2. Асинхронний RS–тригер на елементній базі NAND (I–HE)

Нижче наведено приклад схеми асинхронного RS–тригера на елементній базі NAND (I–HE), яку зібрано у середовищі MicroCap 9: lab0802\_async RS– nand.cir (рисунок 8.15).

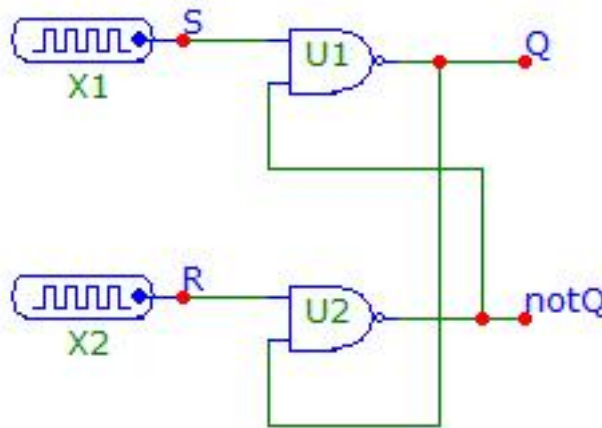


Рисунок 8.15 – Схема асинхронного RS–тригера на елементній базі NAND (I–HE)

#### Параметри схеми:

1) X1 (DClock):

Param: ZEROWIDTH = 1u;

Param: ONewidth = 1u;

2) X2 (DClock):

Param: ZEROWIDTH = 2u;

Param: ONewidth = 2u;

3) U1, U2 (Digital Primitives → Standart Gates → Nand Gates → Nand2):

TIMING MODEL = D0\_GATE.

#### **Результат дослід:**

Нижче на рисунку 8.16 наведено часові діаграми роботи схеми, яку наведено на рисунку 8.15.



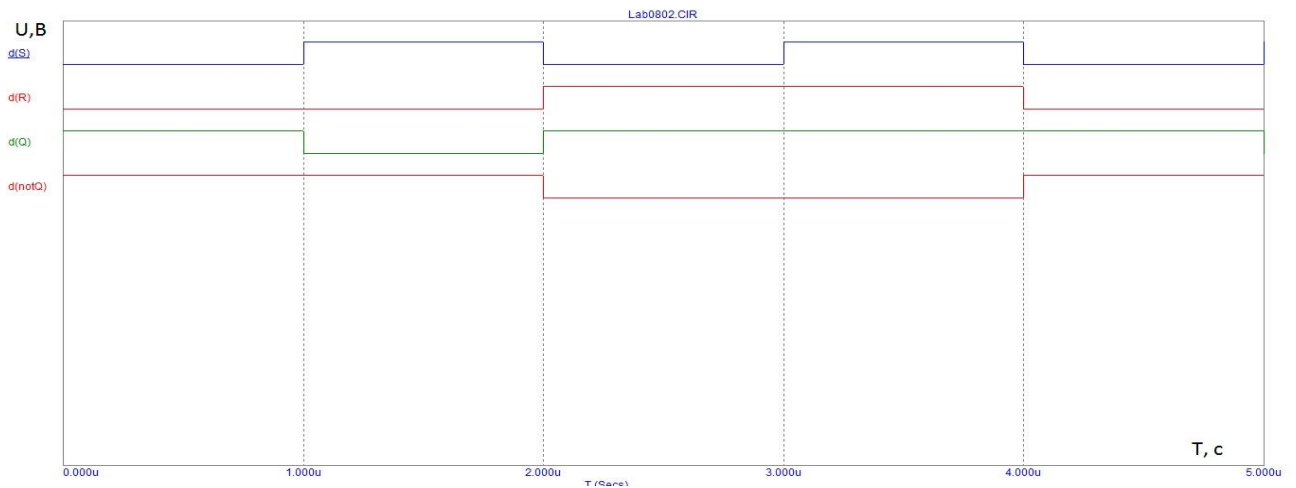


Рисунок 8.16 – Часові діаграми роботи схеми, яку наведено на рисунку 8.15

В даному тригері активним значенням керуючих сигналів є логічний нуль, а пасивним – логічна одиниця, що ілюструє таблиця 8.2.

Значення керуючих сигналів  $R = S = 0$  для цього тригера є забороненим. Але, як видно з рисунка 8.16, при  $R = S = 0$  вихідний сигнал  $Q = \bar{Q} = 1$ , що для робочого стану тригера є неможливим та є похибкою моделювання. Як відомо, у тригера, який працює нормально, цифрові сигнали на виходах  $Q$  та  $\bar{Q}$  повинні мати протилежні значення.

### 8.2.3 Схема 3. Однотактний синхронний RSC–тригер

Нижче наведено приклад схеми однотактного синхронного RSC–тригера, яку зібрано у середовищі MicroCap 9: lab0803\_RSC.cir (рисунок 8.17).

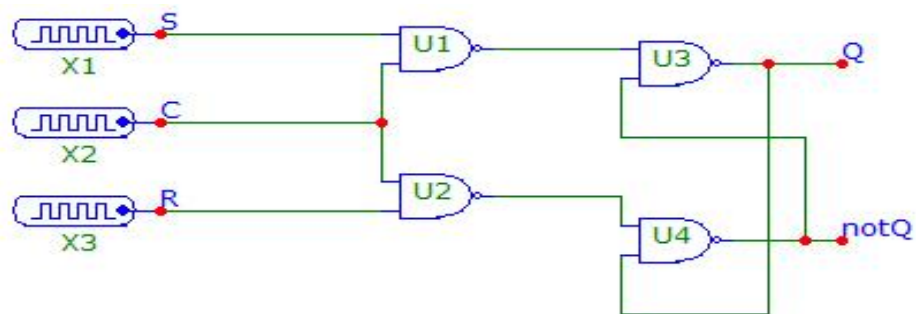


Рисунок 8.17 – Схема синхронного однотактного RS–тригера

### Параметри схеми:

#### 1) X1 (DClock):

Param: ZEROWIDTH = 1u;

Param: ONEWIDTH = 1u;

#### 2) X2 (DClock):

Param: ZEROWIDTH = 4u;

Param: ONEWIDTH = 4u;

#### 3) X3 (DClock):

Param: ZEROWIDTH = 2u;

Param: ONEWIDTH = 2u;

#### 4) U1...U4 (Nand2):

TIMING MODEL = D0\_GATE.

### **Результат дослід:**

Нижче на рисунку 8.18 наведено часові діаграми роботи схеми, яку наведено на рисунку 8.17.

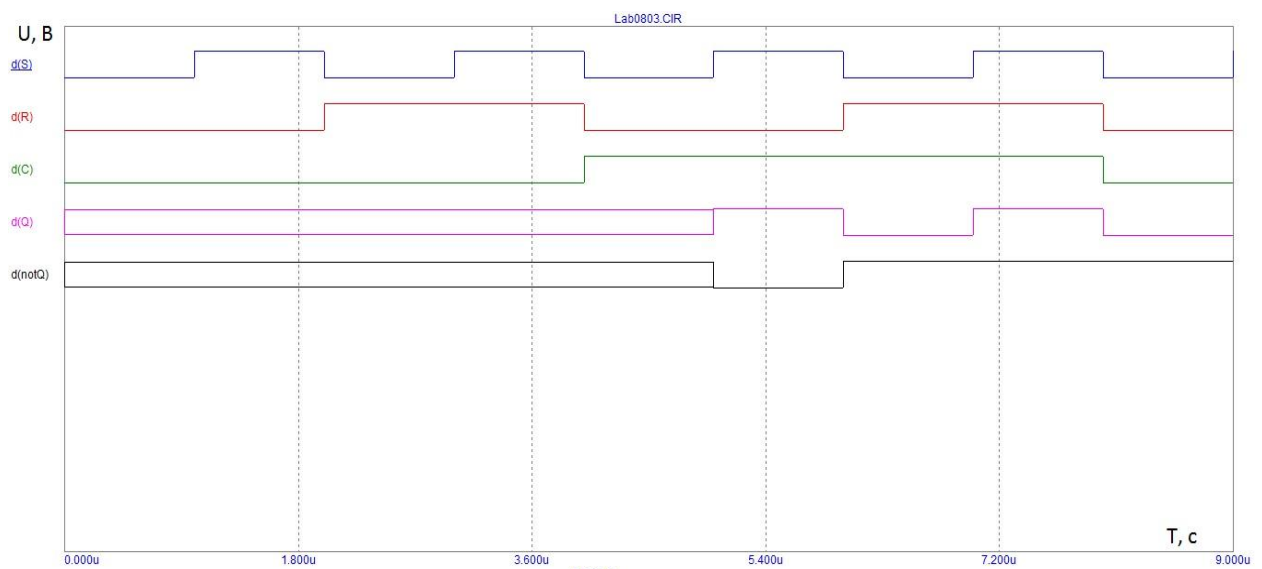


Рисунок 8.18 – Часові діаграми роботи схеми, яку наведено на рисунку 8.17

Даний тригер тактується (синхронізується) додатним потенціалом або одиничним імпульсом на вході С (зелена характеристика). Значення

цифрових виходів на певному етапі (від 0 до 4,5 с)  $D_Q(t)$ ,  $D_{\text{not}Q}(t)$  може бути 1 або 0 та встановлюється випадково. Зміна стану тригера відбувається при одиничному сигналі на вході С та визначається керуючими сигналами на входах R та S.

#### 8.2.4 Схема 4. Т–тригер (тригер з рахунковим входом)

Нижче наведено приклад схеми Т–тригера (тригера з рахунковим входом), яку зібрано у середовищі MicroCap 9: lab0804\_T.cir (рисунок 8.19).

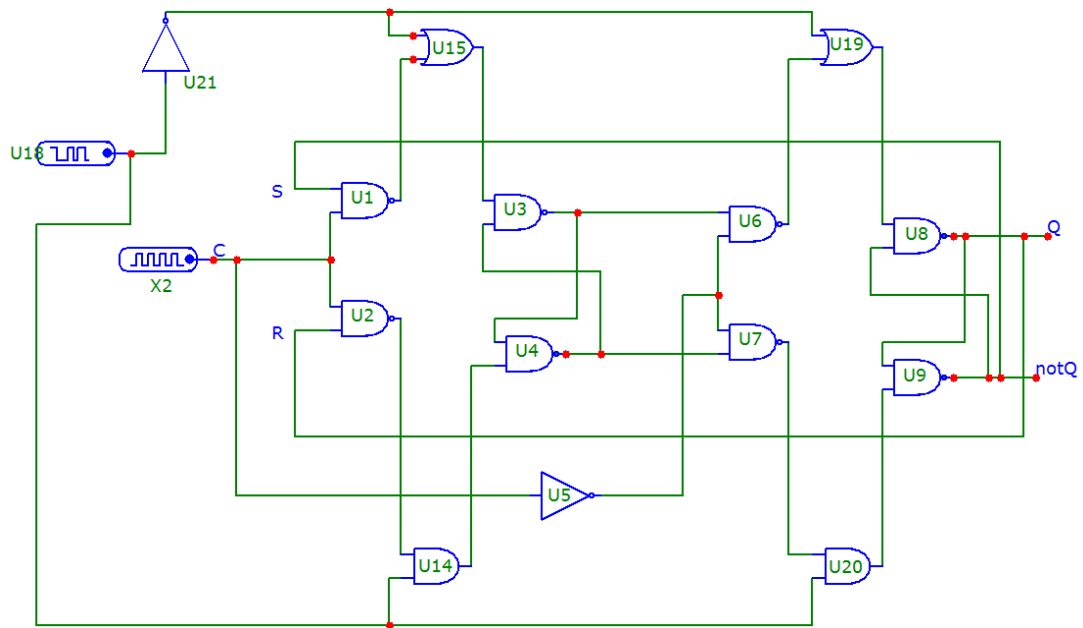


Рисунок 8.19 – Схема Т–тригера (тригера з рахунковим входом)

##### Параметри схеми:

- 1) X2 (DClock): Param: ZEROWIDTH = 250n; Param: ONEWIDTH = 250n;
- 2) U1...U4, U6...U9 (Nand2): TIMING MODEL = D0\_GATE;
- 3) U5, U21 (Inverter): TIMING MODEL = D0\_GATE;
- 4) U14, U20 ( And2): TIMING MODEL = D0\_GATE;
- 5) U15, U19 (Or2): TIMING MODEL = D0\_GATE;
- 6) U18 (1–Bit Digital Stimulus): Command = 0 0 250n 1 (перше та третє число означає час, на якому змінюється значення сигналу).

На рисунку 8.20 наведено графік сигналу даного блоку.

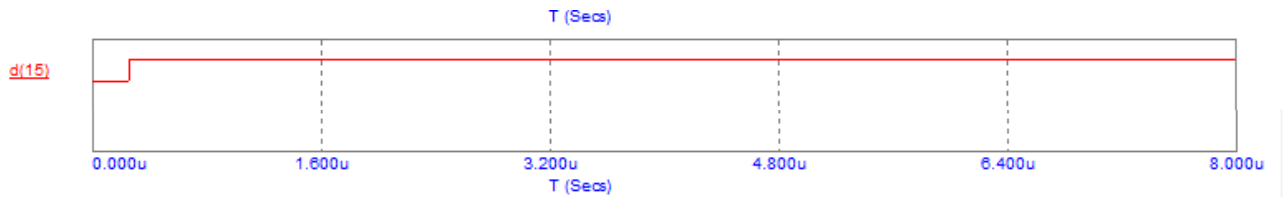


Рисунок 8.20 – Графік сигналу на виході блоку U18 (1–Bit Digital Stimulus)

Тобто від 0 до 250 мкс значення буде 0, після – завжди 1. Даний тригер виконаний на основі синхронного двоступінчастого RSC–тригера з динамічним синхровходом, який охоплений двома зворотними зв'язками, що складається з двох асинхронних RS–тригерів. На початковому етапі нам необхідно задати початковий стан для двох тригерів (встановити нульовий стан). Для цього необхідно на S подати 1, а на R – 0.

Так як:

$$\begin{array}{ll} \text{(І):} & X \& 0 = 0, \\ & X \& 1 = X, \end{array} \quad \begin{array}{ll} \text{(АБО):} & X + 0 = X, \\ & X + 1 = 1, \end{array}$$

то при такому виконанні схеми не важливо 0 чи 1 приходить на U15, U19 від U1 та U6 відповідно – на виході буде завжди 1, якщо інший сигнал на перших двох входах – 1. Аналогічно не важливо 0 чи 1 приходить на U14, U20 від U2 та U7 відповідно – на виході буде завжди 0, якщо інший сигнал – на перших двох входах – 0. Після того як U18 буде генерувати 1 – значення на виходах U15, U19 будуть рівні значенням U1 та U6 відповідно, а на U14, U20 – U2 та U7 відповідно.

### Результат дослідів:

Нижче на рисунку 8.21 наведено часові діаграми роботи схеми, яку наведено на рисунку 8.19.

Початковий стан схеми – нульовий ( $U_Q=0$ ). Зрізом (заднім фронтом) кожного лічильного імпульсу на вході С вихідний сигнал змінює своє значення на протилежне. Період вихідних імпульсів  $T_{\text{вих}} = 2 T_{\text{вх}}$ , а частота  $f_{\text{вих}} = f_{\text{вх}}/2$ , тобто Т–тригер ділить вхідну частоту на 2. Окрім використання у подільниках частоти, Т–тригери використовуються у лічильниках.

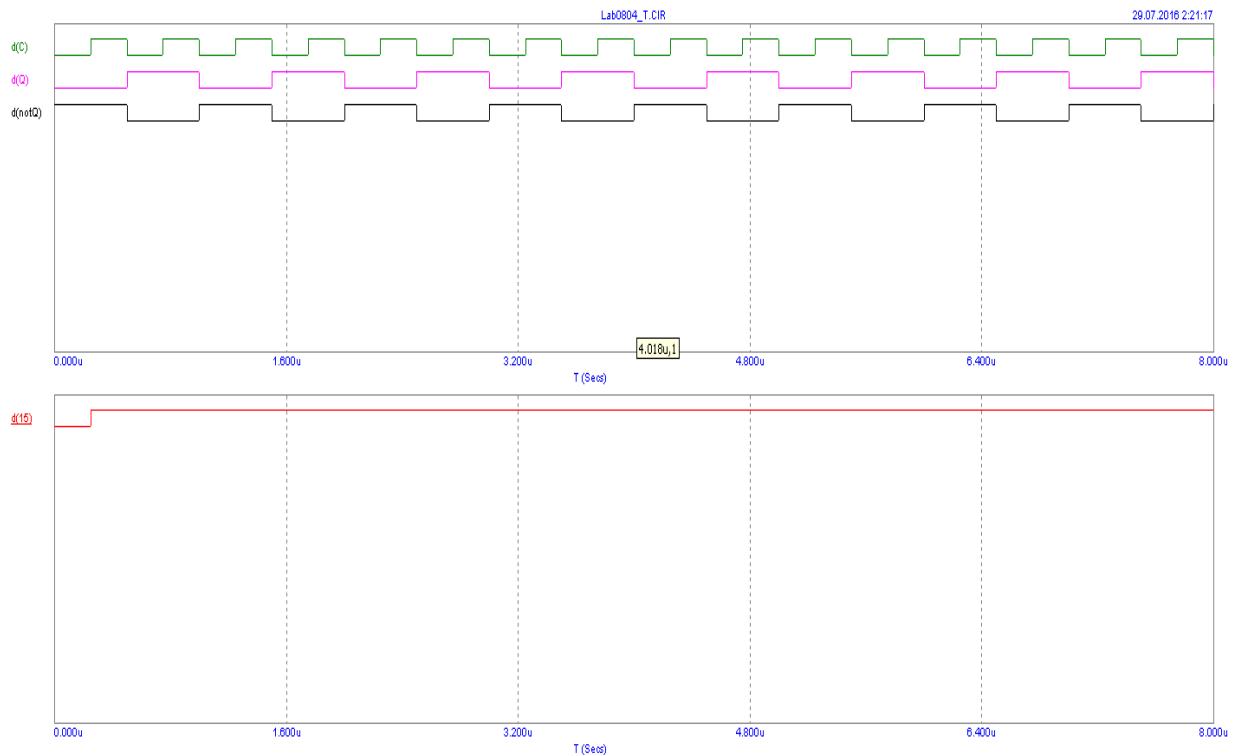


Рисунок 8.21 – Часові діаграми роботи схеми Т–тригера, яку наведено на  
рисунку 8.19

### 8.2.5 Схема 5. Однотактний синхронний D–тригер

Нижче наведено приклад схеми однотактного синхронного D–тригера, яку зібрано у середовищі MicroCap 9: lab0805\_D.cir (рисунок 8.22).

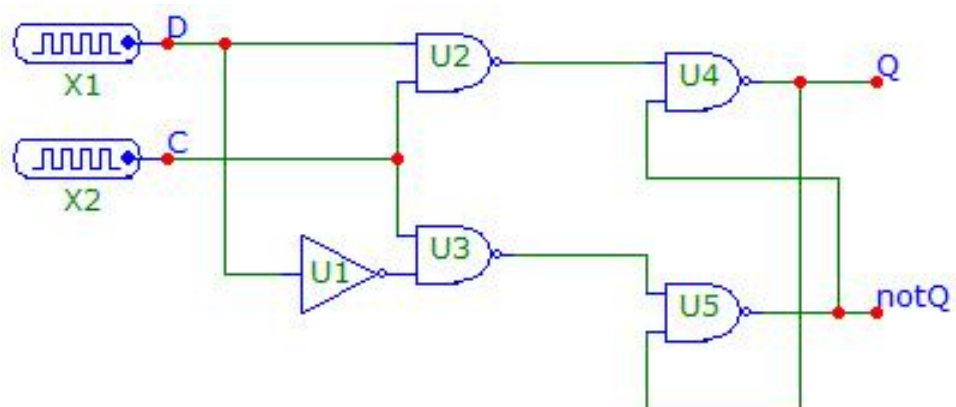


Рисунок 8.22 – Схема однотактного синхронного D–тригера

### Параметри схеми:

- 1) X1 (DClock): Param: ZEROWIDTH = 1u; Param: ONEWIDTH = 1u;
- 2) X2 (DClock): Param: ZEROWIDTH = 4u; Param: ONEWIDTH = 4u;
- 3) U1 (Inverter): TIMING MODEL = D0\_GATE;
- 4) U2...U5 (Nand2): TIMING MODEL = D0\_GATE.

### **Результат дослід:**

Нижче на рисунку 8.23 наведено часові діаграми роботи схеми, яку наведено на рисунку 8.22.

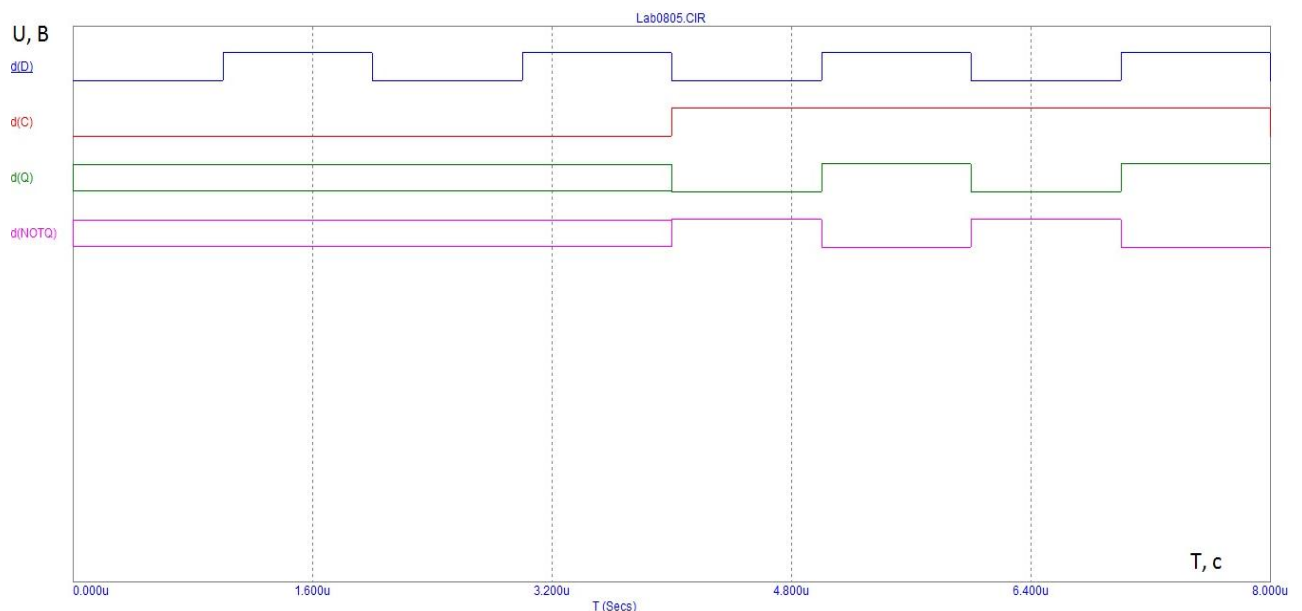


Рисунок 8.23 – Часові діаграми роботи схеми D–тригера, яку наведено на рисунку 8.22

Даний тригер змінює свій стан під час імпульсу на тактовому вході. В момент надходження тактового імпульсу D–тригер переключається в стан, обумовлений сигналом на інформаційному вході D. Тобто схема запам'ятовує сигнал на вході D у момент надходження синхроімпульсу ( $Q^{t+1}=D$ ) і береже його до наступного тактового імпульсу. D–тригер називають також тригером затримки. Затримка дорівнює інтервалу часу між моментами приходу

інформаційного сигналу на D–вхід і надходженням синхросигналу на C–вхід. Значення цифрових виходів на певному етапі (від 0 до 4 с)  $D_Q(t)$ ,  $D_{\text{not}Q}(t)$  може бути 1 або 0 та встановлюється випадково.

### 8.3 Порядок виконання роботи

- 1) Схема 1. Дослідження асинхронного RS–тригера на елементній базі NOR (АБО–НІ):

а) зняти та проаналізувати залежність цифрових виходів  $Q$  та  $\bar{Q}$  асинхронного RS–тригера від часу при всіх можливих комбінаціях цифрових входів  $R$  та  $S$ . Приклад характеристик наведений на рисунку 8.14.

- 2) Схема 2. Дослідження асинхронного RS–тригера на елементній базі NAND (І–НЕ):

а) зняти та проаналізувати залежність цифрових виходів  $Q$  та  $\bar{Q}$  асинхронного RS–тригера від часу при всіх можливих комбінаціях цифрових входів  $R$  та  $S$ . Приклад характеристик наведений на рисунку 8.16.

- 3) Схема 3. Дослідження однотактного синхронного RSC–тригера:

а) зняти та проаналізувати залежність цифрових виходів  $Q$  та  $\bar{Q}$  однотактного синхронного RSC–тригера від часу при всіх можливих комбінаціях цифрових входів  $R$ ,  $S$  та  $C$ . Приклад характеристик наведений на рисунку 8.18.

- 4) Схема 4. Дослідження схеми Т–тригера (тригера з рахунковим входом):

а) зняти та проаналізувати залежність цифрових виходів  $Q$  та  $\bar{Q}$  Т–тригера (тригера з рахунковим входом) від часу при всіх можливих комбінаціях цифрового входу:  $T$ . Приклад характеристик наведений на рисунку 8.21.

- 5) Схема 5. Дослідження однотактного синхронного D–тригера;

а) зняти та проаналізувати залежність цифрових виходів  $Q$  та  $\bar{Q}$  однотактного синхронного D–тригера від часу при всіх можливих

комбінаціях цифрових входів  $D$  та  $C$ . Приклад характеристик наведений на рисунку 8.23.

#### 8.4 Контрольні питання

- 1) Дайте визначення поняттю «тригер».
- 2) Які існують різновиди схемної реалізації тригерів?
- 3) Коли відбувається переключення синхронного та асинхронного тригерів?
- 4) Дайте класифікацію тригерів за функціональним призначенням.
- 5) На яких ЛЕ можуть бути виконанні асинхронні RS–тригери?
- 6) Для чого використовують синхронні RS–тригери?
- 7) Назвіть види синхронних RS–тригерів.
- 8) В чому відмінність Т–тригера в порівнянні з RS–тригером?
- 9) Яка будова D–тригера? Види D–тригерів.
- 10) У який стан переключається тригер при підключенні до нього напруги живлення?
- 11) Назвіть основні властивості тригера.
- 12) Чому D–тригер називають тригером затримки?
- 13) Для чого можна використовувати S– та R–входи у D– або JK–тригерах?
- 14) Яку особливість мають двотактні тригери у порівнянні з однотоактними?



## 9 ЛАБОРАТОРНА РОБОТА №9

**Тема:** Дослідження аналого–цифрових перетворювачів (АЦП).

**Мета:** Дослідити принцип дії, основні властивості та характеристики аналого–цифрових перетворювачів (АЦП). Ознайомитись із основними видами, параметрами цих пристроїв та областю їх застосування.

### 9.1 Короткі теоретичні відомості

#### 9.1.1 Призначення та види АЦП

Аналого–цифрові перетворювачі (АЦП) – це пристрої, що перетворюють вхідні аналогові сигнали у відповідні їм цифрові сигнали, придатні для роботи з обчислювальним пристроєм та іншими цифровими пристроями. АЦП широко застосовуються в пристроях дискретної автоматики, цифрових системах керування для перетворення аналогових сигналів від датчиків у цифрову форму, у системах відображення інформації для цифрової індикації, у системах передачі даних і багатьох інших областях техніки [2, 30, 33, 37, 38].

Різні за фізичною природою сигнали, що знімаються з датчиків, і що характеризують контрольований процес, спочатку перетворюються в електричний сигнал, а потім вже за допомогою перетворювачів “напруга–код” – у цифрові. На вході АЦП, як правило, є напруга, яка постійно чи повільно змінюється, а з виходу знімаються дані, як правило, в паралельному двійковому коді.

АЦП, які використовуються у мікропроцесорних системах, поділяються на послідовні, паралельні і послідовно–паралельні. Класифікація типів АЦП і основні принципи побудови приведені в [2, 30, 33, 37, 38].

#### 9.1.2 Принцип дії та розрахунок АЦП

В АЦП здійснюється квантування (дискретизація) вхідного сигналу

за рівнем і часом (рисунок 9.1).

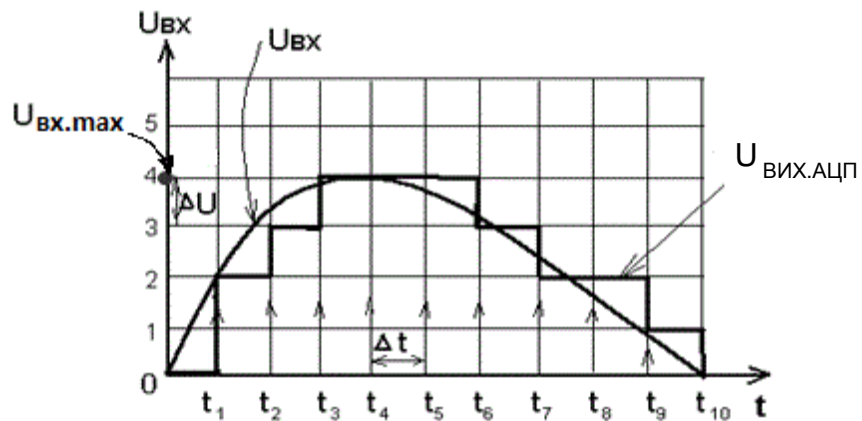


Рисунок 9.1 – Квантування (дискретизація) аналогової величини за рівнем і часом

На вхід перетворювача надходить аналогова напруга  $U_{вх}$ , що перетворюється в дискретну величину, яка визначається у фіксовані моменти часу найближчим до безперервної (аналогової) величини рівнем квантування.

На виході АЦП кожному дискретному значенню відповідає комбінація двійкового коду, число розрядів якого позначимо буквою  $N_p$ . Величина  $N_p$  залежить від числа дискретних значень  $N_d$  на виході АЦП, включаючи нульове. Вибір  $N_p$  робиться відповідно до співвідношення:

$$2^{N_p} \geq N_d. \quad (9.1)$$

Число дискретних значень (рівнів квантування) залежить від похибки квантування за рівнем.

Абсолютна похибка квантування за рівнем

$$\delta_{ABC} \leq \frac{\Delta U}{2}, \quad (9.2)$$

де  $\Delta U$  – величина кроку квантування за рівнем, що дорівнює

$$\Delta U = \frac{U_{ВХМАХ} - U_{ВХМИН}}{N_d - 1}. \quad (9.3)$$

З наведеного співвідношення (9.2) випливає, що максимальна абсолютна похибка дорівнює половині кроку квантування за рівнем. Відносна похибка квантування за рівнем

$$\begin{aligned}\delta_{\text{ВІД}} &\leq \frac{\delta_{\text{АБС}} \cdot 100\%}{U_{\text{ВХ.МАХ}} - U_{\text{ВХ.МІН}}} = \frac{\Delta U \cdot 100\%}{\{2 \cdot (U_{\text{ВХ.МАХ}} - U_{\text{ВХ.МІН}})\}} = \\ &= \frac{(U_{\text{ВХ.МАХ}} - U_{\text{ВХ.МІН}}) \cdot 100\%}{\{(N_{\text{Д}} - 1) \cdot 2 \cdot (U_{\text{ВХ.МАХ}} - U_{\text{ВХ.МІН}})\}} = \frac{50}{N_{\text{Д}} - 1} [\%].\end{aligned}\quad (9.4)$$

У наведеній формулі з  $N_{\text{Д}}$  віднімається одиниця, тому що одним з дискретних значень є нульове. Звідси необхідне число дискретних значень, що відображує нашу безперервну функцію з заданою точністю, визначається як

$$N_{\text{Д}} \geq \frac{50}{\delta_{\text{ВІД}}} + 1. \quad (9.5)$$

Наприклад, при  $\delta_{\text{ВІД}} \leq 0,2\%$   $N_{\text{Д}}$  повинно бути не менше 251. Приймаючи  $N_{\text{Д}}=256$  визначаємо, що число розрядів  $N_{\text{Р}}$  у цьому випадку повинно бути 8 ( $2^8=256$ ). Якщо вхідна безперервна величина змінюється, наприклад, у діапазоні від 0 до 2,55 В, то величина кроку квантування за рівнем при  $N_{\text{Д}}=256$  дорівнює  $\Delta U=10$  мВ;  $\delta_{\text{АБС}} \leq 5$  мВ;  $\delta_{\text{ВІД}} \leq 50/255 < 0,2\%$ .

При проектуванні АЦП важливе значення має вибір величини кроку квантування за часом  $\Delta t=T$ . Значення  $T$  визначає необхідну швидкодію АЦП і каналу обробки інформації.

За теоремою Котельникова значення  $\Delta t=T$  повинне задовольняти виразу:

$$\Delta t = T \leq \frac{1}{2f_{\text{МАХ}}}, \quad (9.6)$$

де  $f_{\text{МАХ}}$  – частота вищої гармоніки спектру вхідного аналогового сигналу АЦП.

Фізично цей вираз варто трактувати в такий спосіб: на один період максимальної гармоніки вхідного аналогового сигналу при переході від аналогової до дискретної величини необхідно взяти не менш двох відліків.

### 9.1.3 Пристрій вибірки і зберігання (ПВЗ)

При аналого–цифровому перетворенні швидко змінюваних сигналів виникають динамічні похибки, що визначаються, по–перше, частотою і часом перетворення, а, по–друге, – апертурною похибкою.

Похибка, що виникає через невідповідність вхідного сигналу перетвореному цифровому значенню, називається апертурною похибкою АЦП. Ця невідповідність виникає, якщо зміна вхідного сигналу під час перетворення еквівалентна більш ніж одиниці молодшого значущого розряду (МЗР). У цьому випадку, при швидко змінюваному у часі вхідному сигналі створюється невизначеність у тім, яким у дійсності було миттєве значення вхідного сигналу в момент вибірки.

Час між моментом фіксації миттєвого значення вхідного сигналу (моментом відліку) і моментом одержання його цифрового еквівалента називається апертурним часом.

Апертурна похибка визначається збільшенням змінюваного у часі вхідного сигналу АЦП за час перетворення. Точне значення апертурної похибки можна визначити з формули [40]:

$$\frac{1}{2^{N_p} - 1} \geq 2\pi f \cdot t_A, \quad (9.7)$$

де  $t_A$  – апертурний час, що, як правило, дорівнює часу перетворення  $t_{\text{ПРТ}}$  АЦП,  $f$  – частота вхідного сигналу,  $N_p$  – число розрядів АЦП.

Наприклад, якщо  $N_p = 8$ , а час перетворення АЦП  $t_{\text{ПРТ}} = 7,5$  мкс, то частота вхідного сигналу не повинна перевищувати 83 Гц. У цьому випадку апертурна похибка не перевищує одиниці молодшого значущого розряду двійкового коду на виході АЦП.

Для зменшення апертурної похибки АЦП звичайно використовуються пристрої вибірки і зберігання (ПВЗ), що включаються між входом АЦП і виходом джерела аналогового сигналу.

ПВЗ призначений для запам'ятовування миттєвого значення вхідного аналогового сигналу в момент вибірки і підтримки цього значення на постійному рівні під час перетворення інформації в АЦП. Подібний пристрій необхідно застосовувати в тих випадках, коли за час перетворення інформації в АЦП зміна його вхідного аналогового сигналу еквівалентна дискретній зміні вихідного сигналу більш ніж на одиницю молодшого значущого розряду (МЗР).

#### **9.1.4 АЦП послідовного наближення**

Різними методами побудови АЦП відповідають пристрої, що розрізняються за точністю, швидкодією, завадостійкістю, складністю реалізації і т. ін. Одним з найбільш розповсюджених є метод послідовного наближення, який застосовується в АЦП, орієнтованих на використання в мікропроцесорних системах (МПС), наприклад, К1113 ПВ1; К572 ПВЗ [37, 38].

На рисунку 9.2 приведена спрощена структурна схема АЦП послідовного наближення.

АЦП містить регістр послідовного наближення (РПН), цифро–аналоговий перетворювач (ЦАП), аналоговий компаратор (АК) і генератор тактових імпульсів (ГТІ). Після надходження імпульсу ПУСК на виході старшого (N–1)–го розряду регістра послідовного наближення (РПН) з'являється напруга логічної 1, а на інших його виходах – логічні нулі. На виході цифро–аналогового перетворювача (ЦАП) формується напруга  $U_{\text{ЦАП}} \approx 0,5 \cdot U_{\text{ВХ.МАХ}}$ , що на входах аналогового компаратора порівнюється з вхідною аналоговою напругою  $U_{\text{ВХ}}$ . Аналоговий компаратор включає власне аналоговий компаратор (ВАК) на мікросхемі операційного підсилювача (ІМС

ОП), схему формування рівнів (СФР), що перетворює різнополярні імпульси в цифровий сигнал, та інвертор.

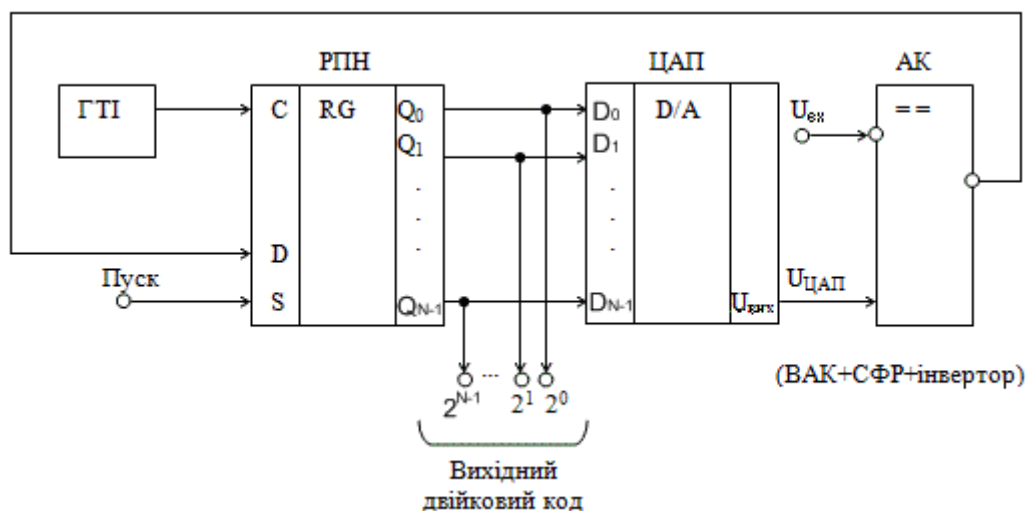


Рисунок 9.2 – Структура АЦП послідовного наближення

Якщо вхідна напруга  $U_{ВХ}$  більше напруги, що знімається з виходу ЦАП, то на виході ВАК з'являється від'ємний імпульс. СФР перетворює його в нульовий цифровий сигнал. При цьому з виходу інвертора АК знімається логічна одиниця, що подається на вхід D РПН. При надходженні на вхід С РПН імпульсу від ГТІ зберігається логічна 1 у старшому (N–1)–ому розряді і з'являється 1 у (N–2) розряді. Якщо при першому порівнянні  $U_{ВХ} < U_{ЦАП}$ , то з виходу АК знімається логічний 0. Імпульсом на синхровході вміст старшого (N–1) розряду РПН обнуляється, а в (N–2)–й записується одиниця. Якщо після двох порівнянь на виходах двох старших розрядів РПН містяться дві одиниці (при першому порівнянні  $U_{ВХ} > U_{ЦАП}$ ), то вихідний сигнал ЦАП:  $U_{ЦАП} \approx (0,5 + 0,25)U_{ВХ.МАХ}$ . Якщо після першого порівняння на виході (N–1) розряду буде нуль, а на виході (N–2) розряду – одиниця, то вихідний сигнал ЦАП:  $U_{ЦАП} \approx 0,25 * U_{ВХ.МАХ}$ . На компараторі  $U_{ВХ}$  знову порівнюється з цією напругою і т.д. Так встановлюються всі розряди на виході РПН до самого молодшого. Після виконання останнього  $N_p$ -го порівняння, де  $N_p$  – число розрядів вихідного коду АЦП, цикл формування вихідного коду закінчується. Стан виходів РПН відповідає цифровому еквіваленту вхідної напруги. Якщо,

наприклад,  $U_{BX} = U_{BX,MAX}$ , то комбінація вихідного коду дорівнює 111...11 (всі одиниці). У розглянутому АЦП час перетворення  $t_{ПРТ}$  постійний і визначається числом розрядів  $N_P$  вихідного двійкового коду і тактовою частотою  $f_{ГПІ}=1/T_{ГПІ}$ ;  $t_{ПРТ} \approx N_P \cdot T_{ГПІ}$ . Розглянуті АЦП мають досить високу швидкодію при відносно простій структурі, тому знаходять широке застосування.

#### 9.1.4.1 АЦП К1113 ПВ1

##### 9.1.4.1.1 Опис мікросхеми К1113 ПВ1

Мікросхема К1113 ПВ1 (рисунок 9.3) являє собою функціонально-закінчений АЦП послідовного наближення з часом перетворення  $\leq 30$  мкс, розрахований на входні напруги (0...10,23) В (уніполярний сигнал) чи (-5,12...+5,11) В (біполярний сигнал) [37, 38].

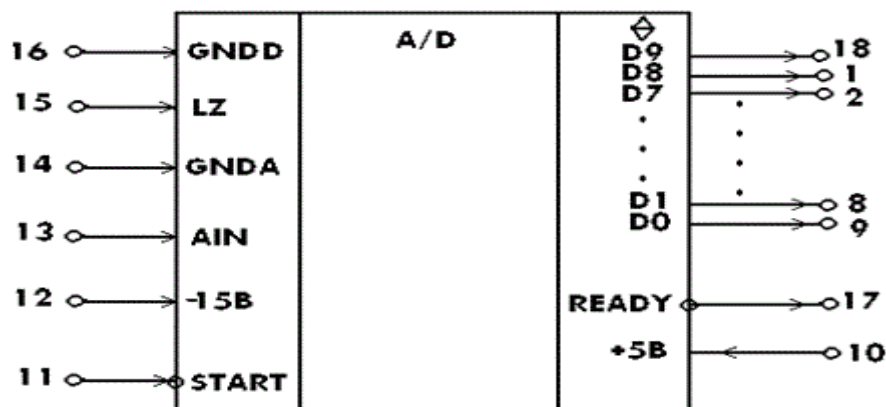


Рисунок 9.3 – Умовне позначення і нумерація виводів мікросхеми К1113 ПВ1

Для переключення діапазонів входних напруг використовується вхід LZ. Якщо  $LZ=0$ , то перетворюються уніполярні входні сигнали від 0 до 10,23В, якщо ж  $LZ=1$ , то перетворювач працює в двополярному режимі ( $U_{BX} = -5,12...+5,11$ ) В. Коефіцієнт передачі АЦП  $K_{ПЕР} = \frac{1}{10} \left[ \frac{МЗР}{мВ} \right]$ .

Якщо використовувати не всі десять розрядів вихідного двійкового коду розглянутого АЦП, то існує кілька варіантів його підключення.

Наприклад, якщо  $N_p = 8$ , то можна підключити вісім виходів АЦП, що відповідають молодшим розрядам. Інші два розряди не підключаються. У

цьому випадку коефіцієнт передачі  $K_{\text{ПЕР}} = \frac{1}{10} \left[ \frac{\text{МЗР}}{\text{мВ}} \right]$ , а  $U_{\text{ВХ.МАХ}} = 10 \cdot 255 = 2550 \text{ мВ} = 2,55 \text{ В}$ . Якщо використовувати вісім виходів АЦП, що відповідають старшим розрядам, то  $K_{\text{ПЕР}} = \frac{1}{40} \left[ \frac{\text{МЗР}}{\text{мВ}} \right]$ , а  $U_{\text{ВХ.МАХ}} = 40 \cdot 255 = 10,2 \text{ В}$ .

Якщо  $N_p = 7$ , і вихідний ДК (двійковий код) знімається з семи старших виходів, то  $K_{\text{ПЕР}} = \frac{1}{80} \left[ \frac{\text{МЗР}}{\text{мВ}} \right]$ , а  $U_{\text{ВХ.МАХ}} = 80 \cdot 127 = 10,16 \text{ В}$ . На рисунку 9.4 наведене позначення цієї мікросхеми на електричних схемах і пояснюється яким чином АЦП пов'язаний з іншими частинами мікропроцесорної системи керування (МПСК). Особливості взаємодії АЦП і мікроконтролера МПСК пояснює часова діаграма роботи АЦП (рисунк 9.5).

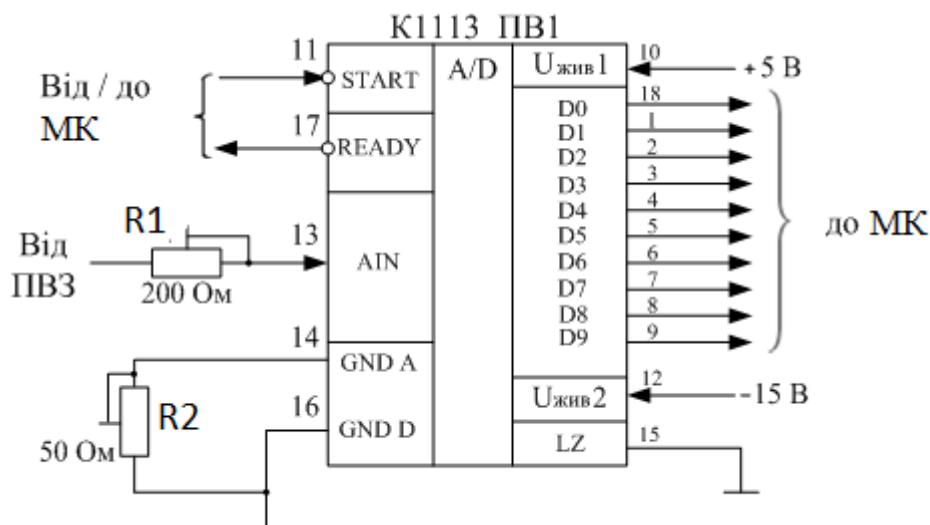


Рисунок 9.4 – Схема включення АЦП

Запуск АЦП відбувається при переключенні сигналу на вході START (СТАРТ) з логічної одиниці в нуль. Під час перетворення на виході READY (ГОТОВНІСТЬ) присутня логічна одиниця, а шина даних знаходиться в третьому (високоімпедансному) стані. По закінченню перетворення вихідні сигнали на виводах даних D0...D9 переходять в активний стан, а сигнал на



виході READY переключається з 1 в 0. Одержавши сигнал готовності, МК-р зчитує (вводить) дані від АЦП і переводить сигнал на вході START у стан 1 на час, не менший 2 мкс. Цим здійснюється «скидання» АЦП, після якого може вироблятися наступний «запуск» АЦП і т.д.

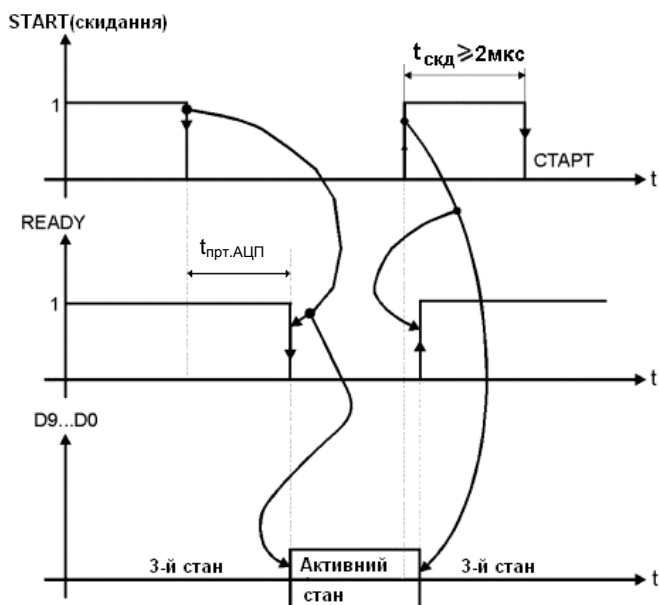


Рисунок 9.5 – Часові діаграми роботи АЦП

#### 9.1.4.1.2 Розрахунок АЦП на базі мікросхеми К1113 ПВ1

Виконаємо розрахунок абсолютної і відносної похибок перетворення, а також максимально припустимої частоти вищої гармоніки спектра вхідного сигналу для АЦП К1113 ПВ1. Кількість розрядів вихідного коду в цій мікросхемі дорівнює десяти ( $N_p=10$ ), діапазон значень вхідної напруги  $U_{\text{ВХ.МАХ}} - U_{\text{ВХ.МІН}} = 10,23 \text{ В}$ . Тому з виразів (9.1, 9. 3) отримаємо:

$$N_d \leq 2^{10} = 1024;$$

$$\Delta U = 10230 / 1023 = 10 \text{ мВ}.$$

Згідно (9.2, 9.4) абсолютна похибка перетворення такого АЦП буде не більше, ніж 5 мВ, тобто  $\delta_{\text{АБС}} \leq 5 \text{ мВ}$ , а відносна – не більше, ніж  $(50 / 1023) \%$ , тобто  $\delta_{\text{ВІД}} \leq (50 / 1023) \approx 0,049 \%$ .

Величина кроку квантування за часом, відповідно до рисунку 9.5, повинна бути не менша, ніж  $(t_{\text{ПРТ.АЦП}} + t_{\text{СКД}})$ , де  $t_{\text{ПРТ.АЦП}} \leq 30 \text{ мкс}$  – час перетворення АЦП;  $t_{\text{СКД}} \geq 2 \text{ мкс}$  – час скидання АЦП. Тобто величина кроку квантування за часом повинна бути не менш ніж 32 мкс. А значить максимально припустима частота вищої гармоніки спектру вхідного сигналу для АЦП К1113 ПВ1, яка впливає з (9.6), буде дорівнювати:

$$F_{\text{МАХ}} = 1 / [2 * (t_{\text{ПРТ.АЦП}} + t_{\text{СКД}})] \approx 15,6 \text{ кГц.}$$

### **9.1.5 Паралельно–послідовний АЦП**

#### **9.1.5.1 Опис мікросхеми АЦП MAX154**

На сучасному ринку мікросхем представлений широкий спектр надвеликих інтегральних схем (НВІС) АЦП, серед яких досить розповсюдженими є мікросхеми фірми «MAXIM».

Нижче розглянута одна з таких сучасних НВІС–паралельно–послідовний АЦП – MAX154 (рисунок 9.6), який виконаний за КМОН–технологією. Мікросхема являє собою високошвидкісний чотирьохканальний АЦП, а також виконує функції мультиплексора і ПВЗ.

Перетворювач має вбудований пристрій вибірки–зберігання, мультиплексор, внутрішній формувач опорної напруги: 2.5В.

Інтерфейс із мікропроцесором спрощений можливістю адресації мікросхеми як області пам'яті чи порту введення/виведення без використання зовнішньої логіки. В якості виходу використовується регістр–защіпка з третім станом, що дозволяє прямо підключити мікросхему до шини даних або портів введення.

Діапазон аналогового входу: від 0В до 5В.

Напруга живлення: +5В.

Час перетворення разом із часом скидання на кожен канал: 2.5 мкс.

Похибка: 1/2 МЗР.

Припустимий діапазон робочих температур:  $-40^{\circ}\text{C}$  до  $+85^{\circ}\text{C}$ .



Мікросхема MAX154 використовує тільки два керуючих виводи: читання – RD і вибір кристала – CS. Операції читання і перетворення ініціюються низькими рівнями CS і RD, які заціпують сигнали на адресних входах мультиплексора.

На вході схеми стоїть чотирьохканальний аналоговий мультиплексор, що у залежності від комбінації сигналів на адресних входах A0, A1 з'єднує (комутує) один з аналогових входів із пристроєм вибірки-зберігання, який запам'ятовує вхідний сигнал і підтримує його практично незмінним під час перетворення АЦП.

Вибір вхідного каналу адресними сигналами A1 і A0 відображає таблиця 9.1.

Таблиця 9.1 – Вибір вхідного каналу

A1	A0	Вхідний канал
0	0	AIN1
0	1	AIN2
1	0	AIN3
1	1	AIN4

В АЦП використаний «паралельно–послідовний» принцип перетворення. Два чотирирозрядних паралельних АЦП служать для одержання вихідного 8–бітного результату. Кожний з чотирирозрядних АЦП містить по п'ятнадцять компараторів, що здійснюють порівняння поточного значення вхідного сигналу з нормованими постійними еталонними напругами. Величини цих напруг залежать від значень опорних напруг:  $V_{REF+}$  і  $V_{REF-}$ , і відрізняються один від одного на величину  $\Delta U$ , що відповідає зміні вихідного 4–розрядного ДК кожного АЦП на: 1МЗР.

На початку перетворення, використовуючи 15 компараторів, верхній 4–бітний АЦП старших 4–х розрядів порівнює значення вхідної напруги з еталонними напругами і подає на вихід 4–ри старших біти. Одночасно значення цих старших біт надходять на вхід ЦАП, що формує аналогову напругу, пропорційну цьому коду. Ця напруга віднімається з вхідного аналогового сигналу й отримана різниця  $\Delta U$  надходить на вхід нижнього 4–бітного АЦП, де порівнюється з еталонними напругами 15 компараторів для одержання значень 4–х молодших розрядів вихідного ДК.

На виході MAX154 знаходиться регістр–защівка з третім станом, що дозволяє прямо підключати мікросхему до шини даних або портів введення.

На рисунку 9.7 наведена передатна характеристика MAX154.

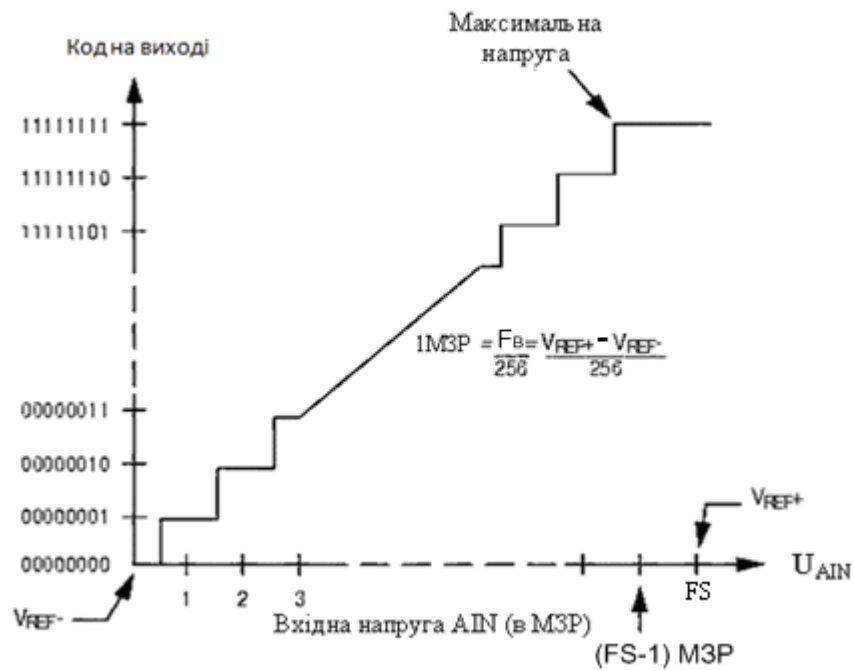


Рисунок 9.7 – Передатна характеристика MAX154

### 9.1.5.2 Розрахунок АЦП на базі мікросхеми MAX154

Мікросхема MAX154 може вимірювати вхідний сигнал зі швидкістю зміни до 157 мВ/мкс.

Якщо вхідний сигнал змінюється за синусоїдальним законом

$$U_{\text{ВХ.АЦП}} = U_m \cdot \sin 2\pi f \cdot t, \quad (9.8)$$

то швидкість його зміни:

$$\frac{dU_{\text{ВХ.АЦП}}}{dt} = U_m \cdot 2\pi f \cdot \cos 2\pi f \cdot t. \quad (9.9)$$

При  $2\pi f t = 0$  значення швидкості буде максимальним, а  $\cos 0 = 1$ .

У цьому випадку вираз (9.9) матиме вигляд:

$$\frac{dU_{\text{ВХ.АЦП}}}{dt} \max = U_m \cdot 2\pi f. \quad (9.10)$$

Підставляючи замість  $\frac{dU_{\text{ВХ.АЦП}}}{dt} \max$  значення 157 мВ/мкс, а також враховуючи, що максимальне значення  $U_m$ , що може оброблятися

розглянутим АЦП, дорівнює 2,5В, визначимо значення максимальної частоти зміни вхідного сигналу:

$$f = \frac{157 \cdot 10^6}{10^3 \cdot 2,5 \cdot 6,28} = 10 \text{кГц}.$$

Максимальна частота квантування за часом  $f_{\text{MAX}}$  обмежена часом перетворення  $t_{\text{ПРТ}} = 2 \text{мкс}$  і часом між перетвореннями (часом скидання)  $t_{\text{СКИД}} = 0,5 \text{мкс}$ . Тоді:

$$f_{\text{MAX}} = \frac{1}{t_{\text{ПРТ}} + t_{\text{СКИД}}} = \frac{1}{(2,0 + 0,5) \text{мкс}} = 400 \text{кГц}. \quad (9.11)$$

При використанні в АЦП MAX154 чотирьох каналів перетворення максимальна частота дискретизації на один канал дорівнює:

$$f_{\text{MAX.K}} = \frac{f_{\text{MAX}}}{4} = \frac{400 \text{кГц}}{4} = 100 \text{кГц}. \quad (9.12)$$

Це значення значно перевищує вимоги теореми взяття відліків (теореми Котельникова): частота дискретизації повинна бути не менш, як у два рази вище, ніж максимальна частота зміни вхідного сигналу, що дорівнює 10 кГц.

### 9.1.6 Опис роботи паралельного 4–х розрядного АЦП

Спрощена схема паралельного чотирьох розрядного АЦП наведена на рисунку 9.8. Перетворювачі цього типу здійснюють одночасне квантування сигналу за допомогою набору компараторів, які включено паралельно джерелу вхідного сигналу  $U_{\text{ВХ}}$ . Порогові рівні компараторів встановлюються за допомогою резистивного дільника, який підключено до джерела опорної напруги  $U_{\text{ОП}}$  відповідно до шкали квантування, що використовується. Число рівнів квантування, а відповідно і число компараторів для  $n$ –розрядного АЦП дорівнює:  $2^N - 1$ . В даному випадку  $N_{\text{АК}} = 2^4 - 1 = 15$ .

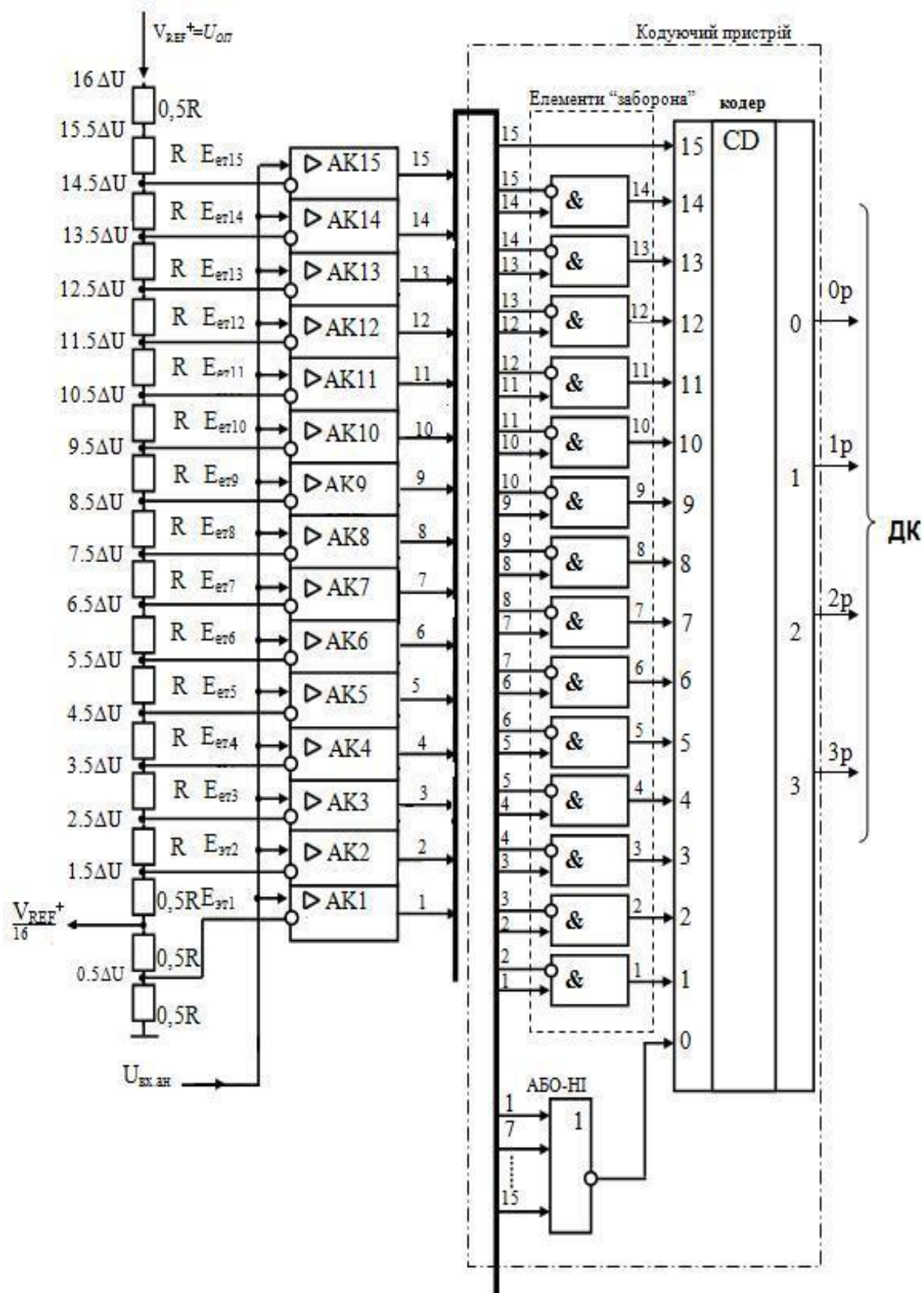


Рисунок 9.8 – Структурна схема паралельного 4 розрядного АЦП

При подачі на такий набір компараторів сигналу  $U_{\text{вх.ан}}$  на їхніх виходах має місце дискретний сигнал, що відображає спрацювання окремих компараторів. Так, наприклад (див. рисунок 9.8), якщо вхідна напруга не виходить за межі діапазону від  $2,5\Delta u$  до  $3,5\Delta u$  ( $\Delta u$  – крок квантування), то компаратори з першого по третій встановлюються в стан 1, а компаратори з четвертого по п'ятнадцятий – у стан 0.

Для відображення кількості компараторів, що спрацювали, та переведення цього числа у двійковий код використовується відповідний пристрій, що кодує. Стани даного кодуючого пристрою для чотирьох розрядного АЦП показані в таблиці 9.2.

Таблиця 9.2 – Стани кодуючого пристрою для 4-го АЦП

Вхідна напруга	Стан компараторів															Вихідний двійковий код				
	$u_{\text{вх}}$	K <sub>15</sub>	K <sub>14</sub>	K <sub>13</sub>	K <sub>12</sub>	K <sub>11</sub>	K <sub>10</sub>	K <sub>9</sub>	K <sub>8</sub>	K <sub>7</sub>	K <sub>6</sub>	K <sub>5</sub>	K <sub>4</sub>	K <sub>3</sub>	K <sub>2</sub>	K <sub>1</sub>	a <sub>3</sub>	a <sub>2</sub>	a <sub>1</sub>	a <sub>0</sub>
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0
3	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	1
4	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	1	0	0
5	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	1	0	1
6	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	1	1	0
7	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0	1	1	1
8	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	0	0	0
9	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0	0	1
10	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	0
11	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
12	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0
13	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
14	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
15	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Наприклад, якщо вхідна напруга перевищує рівень  $2,5\Delta u$ , але менше рівня  $3,5\Delta u$ , то вихідний двійковий код повинен мати значення: 0011, що відповідає рівню з номером 3.

При вказаному значенні рівня вхідної напруги спрацювають нижні три аналогових компаратори (АК1...АК3) і на їхніх виходах з'являються логічні одиниці. Інші компаратори не спрацювають і на їхніх виходах будуть логічні нулі. Для цього стану вихідних сигналів компараторів логічна



одиниця з'являється на виході третього елемента “заборона”. На виходах інших елементів “заборона” будуть присутні логічні нулі. На виході кодуючого пристрою після елементів “заборона” стоїть кодер (шифратор) шістнадцятипозиційного унітарного коду з активним одиничним рівнем в чотирьох розрядний паралельний двійковий код.

Цей двійковий код відповідає десятковому номеру входу, на якому присутня активна одиниця. В нашому прикладі це вхід з номером 3, тому вихідний ДК: 0011. Якщо вхідна напруга менша рівня  $0,5\Delta u$ , то не спрацює ні один компаратор, на виході елемента АБО–НЕ буде логічна 1, а двійковий код буде мати значення: 0000. Якщо вхідна напруга перевищує рівень  $14,5 \Delta u$ , то логічна 1 з'являється на виході п'ятнадцятого компаратора, на виходах всіх чотирнадцяти елементів “заборона” будуть логічні 0, що відповідає вихідному ДК: 1111. Таким чином, кодуючий пристрій (рисунок 9.8) реалізовано з застосуванням одного 15–ти входового логічного елементу “АБО–НЕ”; 14–ти елементів “заборона” і шифратора (кодера) 16–позиційного “унітарного” коду в 4–х розрядний двійковий код (роботу кодуючого пристрою показує таблиця 9.2). В якості кодуючого пристрою може бути використаний пріоритетний кодер з активними нульовими вхідними рівнями (рисунок 9.9), який формує на виході 4–х розрядний двійковий код. Якщо на декількох входах кодера присутні нулі, то комбінація двійкового коду відповідає входу з більшим номером. Наприклад, якщо на входах 0, 1, 2 присуні нулі, а на інших входах – 1, то на виході кодера з'являється комбінація: 0011.

*Примітка до таблиці 9.2:* Вхідна напруга дана в умовних одиницях: цифрами від 0 до 15 пронумеровані рівні квантування аналогового вхідного сигналу.

## 9.2 Моделювання окремих пристроїв

### 9.2.1 Схема 1. Паралельний АЦП

Нижче наведено приклад схеми паралельного АЦП, яку зібрано у середовищі MicroCap 9: lab0901.cir (рисунок 9.9).

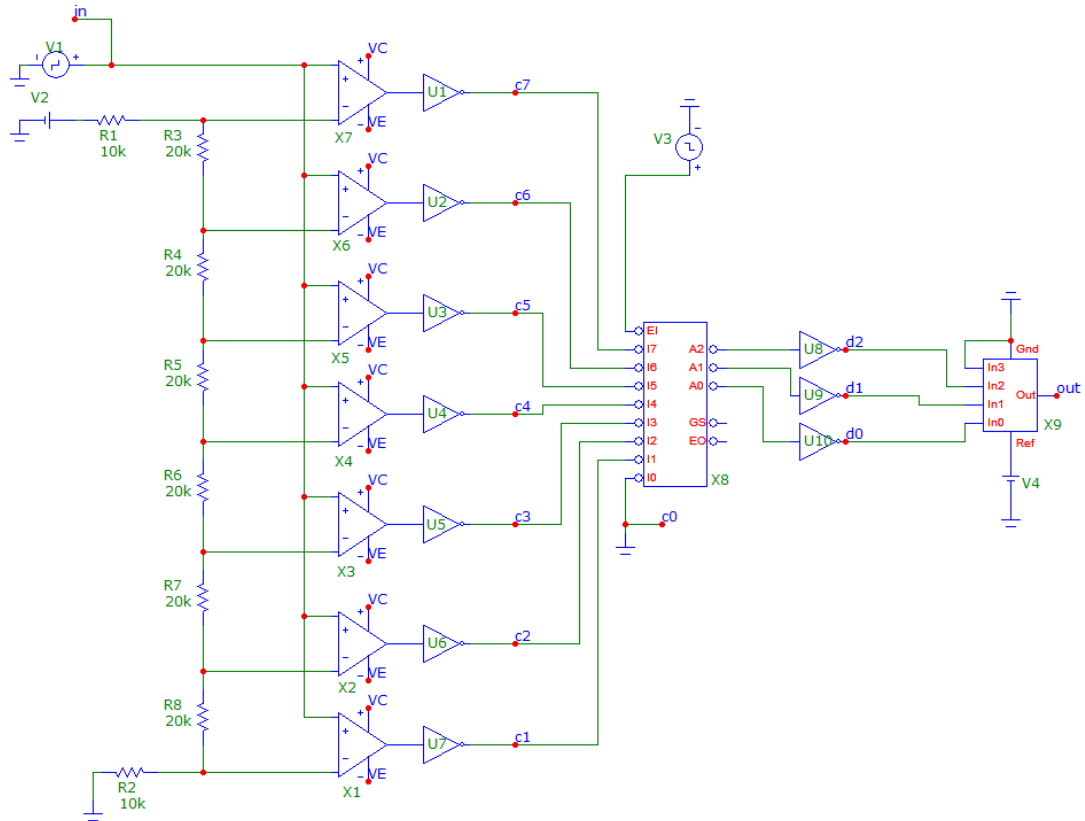


Рисунок 9.9 – Схема паралельного АЦП

Даний АЦП – 3-х розрядний (кількість виходів шифратора дорівнює 3).  
Загальна кількість рівнів, включаючи нульовий рівень, дорівнює:  $N_d = 8$ .

Крок квантування за рівнем визначається як:

$$\Delta U = \frac{U_{BX \max} - U_{BX \min}}{N_d - 1}.$$

В даному випадку  $\Delta U = (5 - 0) / (8 - 1) = 0,714V$ .

Резистори  $R1 \dots R8$  утворюють подільник напруги для створення опорних величин для компараторів:  $X1 \dots X7$ , що виконують порівняння вхідної напруги з частинами опорної. Мікросхеми  $U1 \dots U7$  – інвертори, які

необхідні для інверсії вихідних сигналів компараторів через те, що мікросхема–кодер (X8) має низькі активні рівні вхідних сигналів (входи помічені «кружечками»). Через те, що виходи мікросхеми–кодера теж інвертовані, то також використано мікросхеми U8...U10, щоб повторно інвертувати вихідні сигнали кодера. Далі ці сигнали поступають на 4–розрядний ЦАП (X9) і на виході матимемо дискретний імпульсний сигнал, частота якого визначається генератором V3. Амплітуда вихідних імпульсів ЦАП визначається комбінацією двійкового коду на його вході. Сигнал від генератора V3 подається на інверсний керуючий вхід кодера: EI. Нульові значення імпульсного сигналу дозволяють роботу кодера. При одиничних значеннях на всіх виходах кодера з'являються одиниці. Компаратори, що спрацьовують, сигнали на їхніх інверсних виходах та результуючий цифровий сигнал d0, d1, d2 залежать від рівня напруги, що подається на вхід АЦП (V1). Дана залежність наведена в таблиці 9.3.

Таблиця 9.3 – Зв'язок рівня вхідної напруги з сигналами на виході компараторів (інверторів c1... c7), з сигналом на вході кодера c0=0 та результуючим цифровим сигналом на виході АЦП: d0, d1, d2

$U_{BX}$	Компаратори, що спрацьовують	C <sub>0</sub>	C <sub>1</sub>	C <sub>2</sub>	C <sub>3</sub>	C <sub>4</sub>	C <sub>5</sub>	C <sub>6</sub>	C <sub>7</sub>	Результуючий цифровий сигнал
$U_{BX} \leq 0,5\Delta U$	—	0	1	1	1	1	1	1	1	000
$U_{BX} > 0,5\Delta U$	X1	0	0	1	1	1	1	1	1	001
$U_{BX} > 1,5\Delta U$	X1...X2	0	0	0	1	1	1	1	1	010
$U_{BX} > 2,5\Delta U$	X1...X3	0	0	0	0	1	1	1	1	011
$U_{BX} > 3,5\Delta U$	X1...X4	0	0	0	0	0	1	1	1	100
$U_{BX} > 4,5\Delta U$	X1...X5	0	0	0	0	0	0	1	1	101
$U_{BX} > 5,5\Delta U$	X1...X6	0	0	0	0	0	0	0	1	110
$U_{BX} > 6,5\Delta U$	X1...X7	0	0	0	0	0	0	0	0	111

Як видно з таблиці 9.3, вихідний цифровий сигнал показує номер входу шифратора з найвищим пріоритетом, на якому присутній нульовий сигнал.

Джерело живлення V4 забезпечує опорну напругу для ЦАП X9. Для нормального відтворення (перетворення) цифрового сигналу в аналоговий сигнал (амплітуду вихідних імпульсів) коефіцієнт передачі ЦАП має бути:

$K_{\text{цап}} = \Delta U = 0,714 \left[ \frac{\text{В}}{\text{МЗР}} \right]$ . Опорна напруга ЦАП розраховується як:

$U_{\text{оп}} = K_{\text{цап}} \cdot 2^N = 0,714 \cdot 16 = 11,424 \text{ В}$ , де  $N = 4$  – кількість розрядів ЦАП.

Параметри схеми (рисунок 9.9):

V1 (Pulse source):

1) Model = TRIANGLE;

2) Параметри P1, P2, P3, P4, P5 розрахувати в залежності від номеру бригади так, щоб період трикутного імпульсу дорівнював:

$T = \langle \text{номер бригади} \rangle \cdot 200 \text{ мс} = \langle \text{номер бригади} \rangle \cdot 200 \text{ м[sec]}$ ;

Приклад: Номер бригади = 3;

$P1 = 0$ ;  $P2 = 300 \text{ м}$ ;  $P3 = 300 \text{ м}$ ;  $P4 = 600 \text{ м}$ ;  $P5 = 600 \text{ м}$ ;

3) VONE = 5 [V];

V2 (Battery):

4) Value = 5 [V];

V3 (Pulse source):

5) Model = PULSE;

6) Параметри P1, P2, P3, P4, P5 розрахувати в залежності від номеру бригади так, щоб період прямокутного імпульсу дорівнював:

$T = \langle \text{номер бригади} \rangle \text{ [mili sec]}$ ;

а шпаруватість сигналу дорівнювала 2.

Приклад: Номер бригади = 3 →

$P1 = 0$ ;  $P2 = 0$ ;  $P3 = 3 \text{ м}$ ;  $P4 = 3 \text{ м}$ ;  $P5 = 6 \text{ м}$ ;

7) VONE = 5 [V];

R1, R2 (Resistor):

8) Value = 10k [Om];

R3...R8 (Resistor):

9) Value = 20k [Om];

X1...X7 (Opamp):

10) Model = \$GENERIC;

U1...U10 (Inverter):

11) TIMING MODEL = D0\_GATE;

X8 (Digital Library → 74xx120 → 148 → 74LS148, 8-Line To 3-Line priority encoder);

X9 (Digital Primitives → DtoA Converters → DtoA4, 4-Bit DtoA Converter):

12) TIMING MODLE = T1 (створити нову);

13) TSWMN = 10n;

14) TSWMX = 10n;

15) TSWTY = 10n;

V4 (Battery):

1) Value =  $K_{\text{цан}} \cdot 2^4 = \Delta U \cdot 2^4 = 0,714 \cdot 16 = 11,424$  [V].

### Результат дослід:

Нижче на рисунку 9.10 наведено часові діаграми роботи схеми, яку наведено на рисунку 9.9. На рисунку 9.10 зображені залежності вхідної, вихідної напруг, а також цифрових розрядів від часу. На першій характеристиці бачимо інвертований стан компараторів (c1...c7) в залежності від вхідної напруги, яка змінюється за трикутним законом. На другій характеристиці наведено інвертовані цифрові сигнали на виході кодера. Високий рівень відповідає 1, тобто спрацювали певні комбінації компараторів, низький – нулю. Оскільки на керуючий вхід кодера (X8) подається імпульсний сигнал (V3), нульові значення якого дозволяють роботу мікросхеми X8, то інвертований цифровий сигнал d0, d1, d2 має високочастотне заповнення з частотою V3.

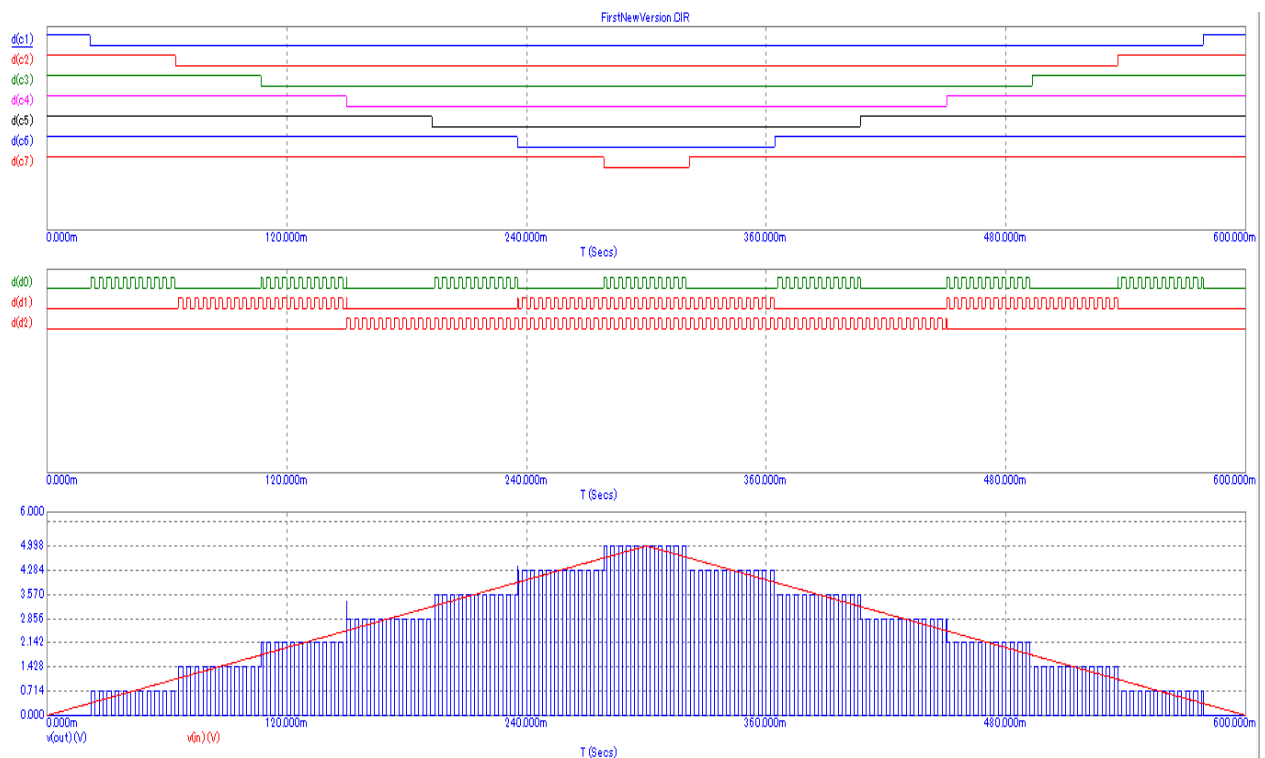


Рисунок 9.10 – Часові діаграми роботи схеми, яку наведено на рисунку 9.9

На рисунку 9.10 зображені залежності вхідної, вихідної напруг, а також цифрових розрядів від часу. На першій характеристиці схеми бачимо інвертований стан компараторів (с1...с7) в залежності від вхідної напруги. На другій характеристиці наведено інвертовані цифрові сигнали на виході кодера. Високий рівень відповідає 1, тобто спрацювали певні комбінації компараторів, низький – нулю. Оскільки на керуючий вхід кодера (X8) подається імпульсний сигнал (V3), нульові значення якого дозволяють роботу мікросхеми X8, то інвертований цифровий сигнал d0, d1, d2 має високочастотне заповнення з частотою V3.

Даний АЦП – 3-х розрядний (кількість виходів шифратора дорівнює 3). Загальна кількість рівнів, включаючи нульовий рівень, дорівнює:  $N_d = 8$ .

Крок квантування за рівнем визначається як:

$$\Delta U = \frac{U_{BX \max} - U_{BX \min}}{N_d - 1}.$$

В даному випадку  $\Delta U = (5 - 0) / (8 - 1) = 0,714V$ .

На нижній характеристиці часових діаграм схеми, яку наведено на рисунку 9.9, зображено порівняння вхідного та вихідного сигналів. Вхідна напруга схеми являє собою трикутний аналоговий сигнал, а вихідна – квантований аналоговий сигнал (змінюється амплітуда вихідних імпульсів в залежності від амплітуди вхідного трикутного сигналу).

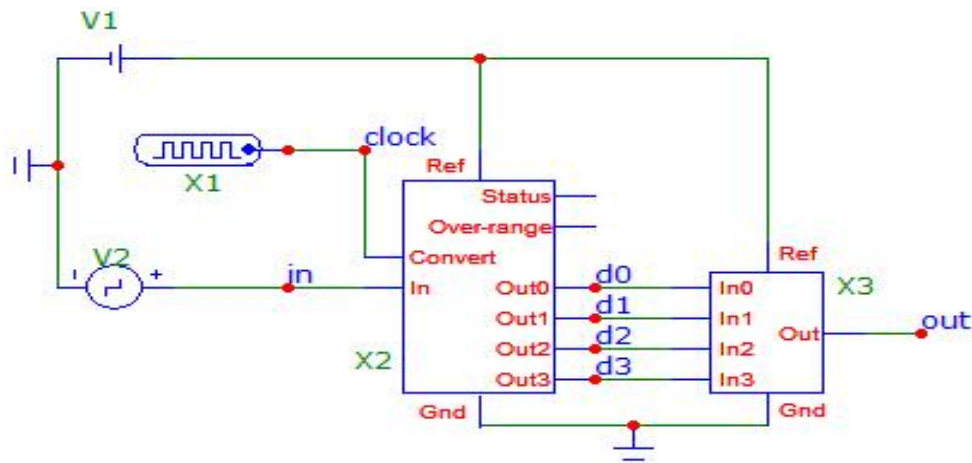
Наприклад, якщо рівень вхідної напруги став більше  $\frac{\Delta U}{2} = \frac{0.714}{2} = 0,357$ , то спрацьовує компаратор X1, на його виході з'являється логічна 1, а на виході інвертора V7 з'являється логічний 0 ( $C1 = 0$ ). На виходах пріоритетного кодера з'являється інвертований цифровий сигнал:  $A0 = 0$ ;  $A1 = A2 = 1$  із високочастотним заповненням. Після інверторів V8...V10 з'являється цифровий сигнал:  $d0 = 1$ ;  $d1 = d2 = 0$  з високочастотним заповненням.

Якщо рівень вхідної напруги став більше  $U = 4,284 + \frac{\Delta U}{2} = 4,284 + 0,357 = 4,641$ , то спрацьовують всі сім компараторів. На всіх входах кодера I1...I7 з'являються логічні нулі. На виходах пріоритетного кодера з'являється інвертований цифровий сигнал:  $A0 = A1 = A2 = 0$  із високочастотним заповненням. Після інверторів V8...V10 з'являється цифровий сигнал:  $d0 = d1 = d2 = 1$  із високочастотним заповненням. Цей сигнал подається на входи мікрохеми ЦАП (X9). Як було зазначено вище, її коефіцієнт передачі  $K_{\text{ЦАП}} = 0.714 \left[ \frac{\text{В}}{\text{мЗР}} \right]$ . Тоді на виході ЦАП з'являється імпульсний сигнал з амплітудою:  $0,714 * 7 = 4,998 \text{ В}$ .

### 9.2.2 Схема 2. Використання мікросхем АЦП та ЦАП

Нижче наведено приклад схеми з використанням мікросхем АЦП та ЦАП, яку зібрано у середовищі MicroCap 9: lab0902.cir (рисунки 9.11).

На даній схемі X1 – джерело прямокутних імпульсів, яке є джерелом імпульсів, що запускають процес виміру АЦП. V2 – джерело трикутних імпульсів, сигнал якого ми робитимемо дискретним.



1

Рисунок 9.11 – Схема з використанням мікросхем АЦП та ЦАП

X2 – 4-х розрядний АЦП, що приймає на вхід аналогову напругу, а на виходах Out0...Out3 видає значення вхідної величини у двійковому коді. Це значення поступає на входи In0...In3 ЦАП (X3), що перетворює отриманий код на квантований (ступінчастий) сигнал на виході. Значення амплітуди кожної сходинки дорівнює відповідному рівню квантування вхідного сигналу.

Параметри схеми (рисунок 9.11):

V1 (Battery):

- 1) Value = 8 [V];

V2 (Pulse source):

- 2) Model = TRIANGLE;
- 3) P1 = 0 [sec];
- 4) P2 = 500u [sec];
- 5) P3 = 500u [sec];
- 6) P4 = 1m [sec];
- 7) P5 = 1m [sec];
- 8) VONE = 8 [V];
- 9) VZERO = 0 [V].

X1 (Digital Primitives → Stimulus Generators → DClock, Digital clock):

- 10) Param: ZEROWIDTH = 2u [sec];



11) Param: ONEWIDTH =  $2u$  [sec].

X2 (Digital Primitives → AtoD Converters → AtoD4):

12) TIMING MODLE = T1 (створити нову);

13) TPCSMN =  $1n$ ;

14) TPCSMX =  $2n$ ;

15) TPCSTY =  $3n$ ;

16) TPDSMN = 0;

17) TPDSMX = 0;

18) TPDSTY = 0;

19) TPSDMN = 0;

20) TPSDMX = 0;

21) TPSDSTY = 0.

X3 (Digital Primitives → DtoA Converters → DtoA4):

22) TIMING MODLE = T2 (створити нову);

23) TSWMN =  $1n$ ; TSWMX =  $1n$ ; TSWTY =  $3n$ .

### **Результат дослідю:**

Нижче на рисунку 9.12 наведено часові діаграми роботи схеми, яку наведено на рисунку 9.11.

На рисунку 9.12 зображена залежність цифрового сигналу  $d0$ ,  $d1$ ,  $d2$  та  $d3$  на виході мікросхеми АЦП, а також вхідної та вихідної напруг схеми (рисунок 9.11) від часу. В якості вхідної напруги подається трикутна напруга. Це – аналоговий сигнал. Вихідна напруга схеми (X3)– квантований за часом та рівнем дискретний сигнал. Зміна значення цифрових розрядів на виході АЦП (X2) свідчить про досягнення вхідного сигналу певного рівня (див. рисунок 9.7). Різниця між АЦП, роботу якого показує цей рисунок, та АЦП, який входить в схему моделювання (рисунок 9.11) тільки в кількості розрядів. Величина кроку квантування за рівнем  $\Delta U$ , що відповідає зміні вихідного 4–розрядного ДК АЦП на:  $\pm 1M3P$ , дорівнює  $U_{REF}/16=8/16=0,5V$ .

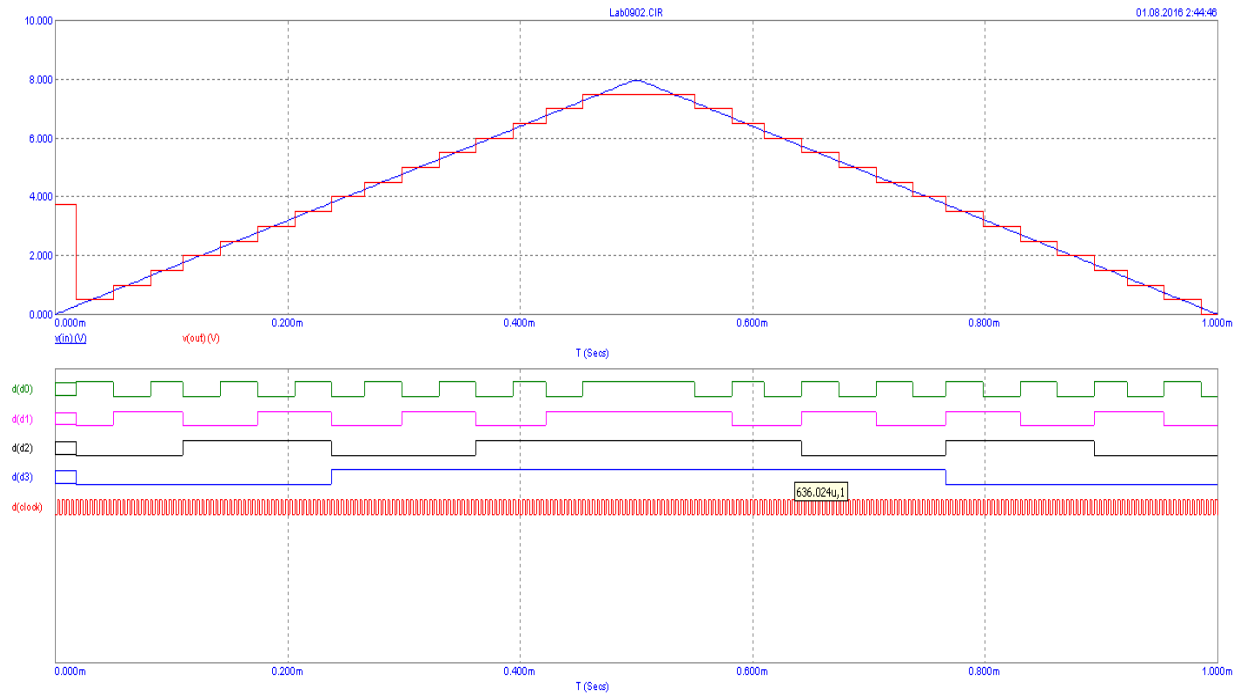


Рисунок 9.12 – Часові діаграми роботи схеми, яку наведено на рисунку 9.11

Перша зміна вихідного коду АЦП на 1 МЗР відбувається при досягненні вхідної напруги половини кроку квантування за рівнем  $\Delta U/2=0,25V$ . Наступні зміни вихідного коду відбувається при досягненні вхідної напруги  $1,5\Delta U$ ,  $2,5\Delta U$ ,  $3,5\Delta U$ , і т. д.

Мікросхема ЦАП (Х3) перетворює 4–розрядний ДК на вході в ступінчастий вихідний сигнал. Значення амплітуди кожної сходинки дорівнює відповідному рівню квантування вхідного сигналу.

### 9.3 Порядок виконання роботи

#### 1) Схема 1. Паралельний АЦП;

а) зняти та проаналізувати залежність вхідної, вихідної напруг паралельного АЦП, а також значень цифрових розрядів  $d0\dots d2$  від часу. Вихідна напруга даної схеми – це напруга на виході мікросхеми ЦАП. Приклад характеристик наведений на рисунку 9.10.

б) проаналізувати вплив пріоритетного шифратора на роботу пристрою. Пояснити чому в даному пристрої неможливе використання звичайного шифратора.

2) Схема 2. Використання мікросхем АЦП та ЦАП:

а) зняти та проаналізувати залежність вхідної, вихідної напруг зібраної схеми, а також значень цифрових розрядів  $d_0 \dots d_3$  від часу. Вихідна напруга даної схеми – це напруга на виході мікросхеми ЦАП. Приклад характеристик наведений на рисунку 9.12.

#### **9.4 Контрольні питання**

- 1) Що таке аналого–цифровий перетворювач? Для чого призначені АЦП?
- 2) Як визначається і від чого залежить кількість рівнів квантування АЦП?
- 3) Чому дорівнює абсолютна та відносна похибка квантування за рівнем АЦП?
- 4) Для чого призначені пристрої вибірки і зберігання? Чому необхідно їх використовувати?
- 5) З чого складається АЦП послідовного наближення? Приклад АЦП послідовного наближення.
- 6) Як відбувається перетворення сигналу в АЦП послідовного наближення?
- 7) Як відбувається перетворення сигналу в паралельно–послідовному АЦП? Приклад паралельно–послідовних АЦП.
- 8) Який принцип роботи паралельного 4–х розрядного АЦП?
- 9) З яких міркувань вибирається величина кроку квантування за рівнем у АЦП?
- 10) З яких міркувань вибирається величина кроку квантування за часом у АЦП?

- 11) Поясніть фізичне трактування теореми Котельнікова.
- 12) Чому дорівнює коефіцієнт передачі мікросхеми АЦП К1113 ПВ1?
- 13) Як розрахувати максимальне значення вхідної напруги АЦП К1113ПВ1 у випадках, коли:
  - число розрядів вихідного ДК:  $N_{р.дк}$  дорівнює 9, які видаються на виходи 9 старших розрядів;
  - $N_{р.дк} = 7$ , двійковий код видається на 2-й, 3-й,..., 8-й виходи АЦП;
  - $N_{р.дк} = 5$ , двійковий код видається на 4-й, 5-й,..., 8-й виходи АЦП.
- 14) Поясніть роботу АЦП К1113 ПВ1 за часовими діаграмами.
- 15) Поясніть передатну характеристику АЦП МАХ154.

## **10 РЕКОМЕНДОВАНИЙ ЗМІСТ ЗВІТУ**

- 1) Титульний лист.
- 2) Мета роботи.
- 3) Короткі теоретичні відомості.
- 4) Схеми до лабораторної роботи.
- 5) Хід виконання роботи.
- 6) Отриманні характеристики та їх аналіз.
- 7) Висновок.

## 11 ВКАЗІВКИ ЩОДО РОБОТИ В ПРОГРАМНОМУ СЕРЕДОВИЩІ MICROCAP 9

### 11.1 Вступ

В лабораторних роботах з курсу «Комп'ютерна електроніка» для моделювання пристроїв використовується симулятор електронних схем MicroCap 9. В даному керівництві містяться короткі вказівки, щодо роботи в MicroCap 9 в межах лабораторних робіт курсу «Комп'ютерна електроніка». Для глибшого пізнання симулятора електронних схем MicroCap 9 рекомендується ознайомитись з керівництвом користувача, що міститься в меню Help. Перед початком роботи, рекомендується повністю прочитати дане керівництво.

### 11.2 Початок роботи

Запуск MicroCap 9 здійснюється стандартними засобами операційної системи. За умовчанням, при відкритті нового вікна MicroCap відразу відкриється новий документ моделі. Для створення нової моделі необхідно в меню File вибрати пункт меню New (рисунок 11.1).

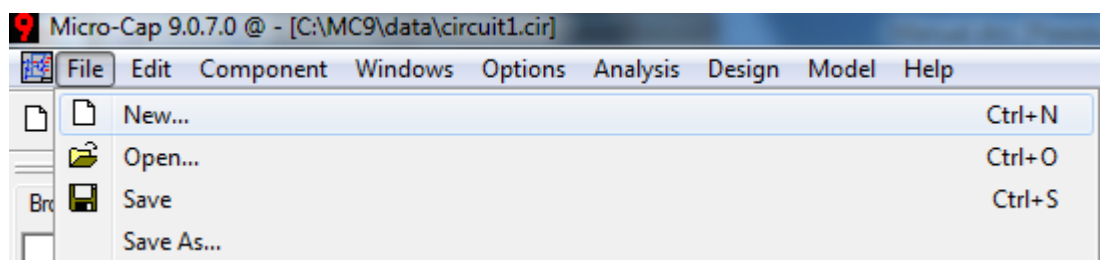


Рисунок 11.1 – Деякі елементи меню File

Після цих дій відкриється меню вибору типу моделі (рисунок 11.2), в якому необхідно вибрати пункт Schematic File (.cir) та натиснути кнопку ОК.

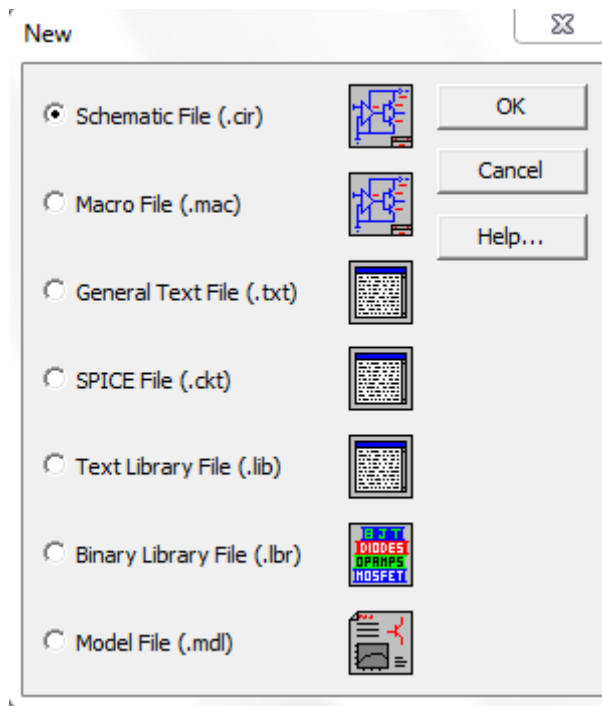


Рисунок 11.2 – Типи моделей

Щоб відкрити існуючу модель необхідно вибрати в меню File пункт меню Open (рисунок 11.1). Після цього відкриється вікно провідника, в якому можна вибрати необхідний файл. Збереження файлу здійснюється за допомогою пунктів меню Save та Save As. Щоб закрити MicroCap, необхідно вибрати в меню File пункт меню Exit.

### 11.3 Створення простої схеми

Кожна схема складається з елементів та провідників, що їх з'єднують. Елементи схем знаходяться на відповідній панелі, що знаходиться в лівій частині екрану (рисунок 11.3). Якщо панель відсутня, необхідно в меню Options встановити прапорець в пункті меню Panel. Також це можна зробити за допомогою натиснення комбінації клавіш Ctrl+Alt+X. В панелі елементів необхідно перейти на вкладку Browse.

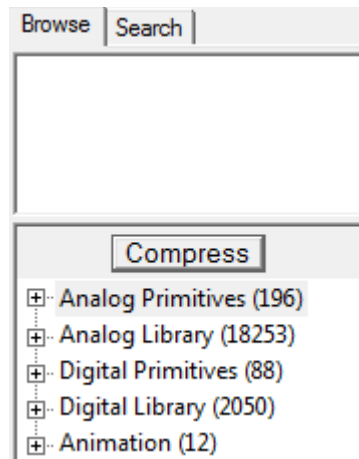


Рисунок 11.3 – Панель елементів схем

В панелі елементів схем міститься перелік елементів, що використовуються для моделювання. Для встановлення елемента необхідно вибрати режим Component натисканням відповідної кнопки на панелі інструментів (рисунок 11.4).



Рисунок 11.4 – Вибраний режим Component

Після цього вибрати елемент натисканням лівої клавіші миші (рисунок 11.5), навести на необхідне місце на робочому просторі та повторно натиснути ліву клавішу миші. Після цих дій з'явиться вікно властивостей елемента, в якому встановлюються параметри даного елемента (рисунок 11.6).

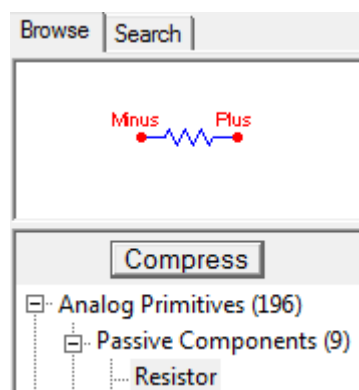


Рисунок 11.5 – Вибраний елемент Resistor

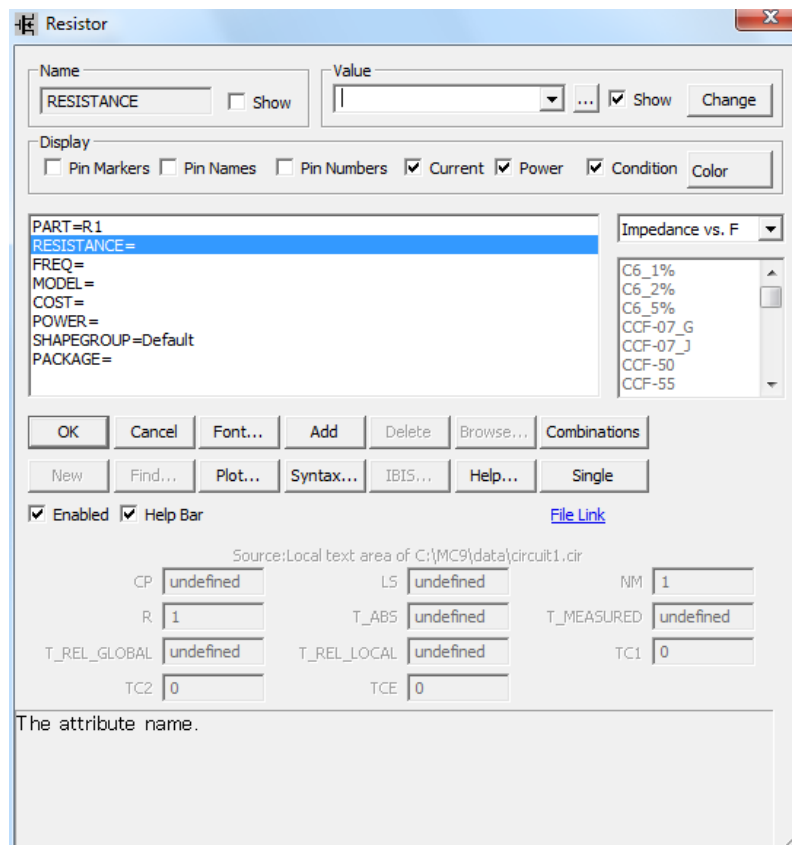


Рисунок 11.6 – Вікно властивостей елементу Resistor

Вибравши необхідний параметр елементу, потрібно ввести значення цього параметру в полі Value. Після встановлення всіх параметрів, необхідно натиснути кнопку ОК для підтвердження введених значень, або кнопку Cancel для скасування. Якщо на вже встановленому елементі натиснути лівої клавішею миші в режимі Component, або двічі в режимі Select (рисунок 11.7), то відкриється вікно параметрів, де можна редагувати параметри елементу таким же чином, як і при його встановленні.



Рисунок 11.7 – Вибраний режим Select

Для складання потрібної схеми необхідно встановити її елементи на робочий простір, налаштувати їх параметри та з'єднати їх провідниками. Для цього потрібно ввімкнути режим Orthogonal wire mode (рисунок 11.8) або Diagonal wire mode (рисунок 11.9) для прямокутного та похилого



розташування провідників на схемі та, затиснувши ліву клавішу миші, протягнути провідник від одного елементу до іншого.



Рисунок 11.8 – Вибраний режим Orthogonal wire mode



Рисунок 11.9 – Вибраний режим Diagonal wire mode

Щоб встановити вузол для подальшого аналізу перехідних процесів в ньому, необхідно перейти в режим Select та двічі клікнути лівою кнопкою миші по бажаній точці на провідниках схеми. У вікні, що з'явилося потрібно ввести ім'я нового вузла та натиснути кнопку ОК (рисунок 11.10).

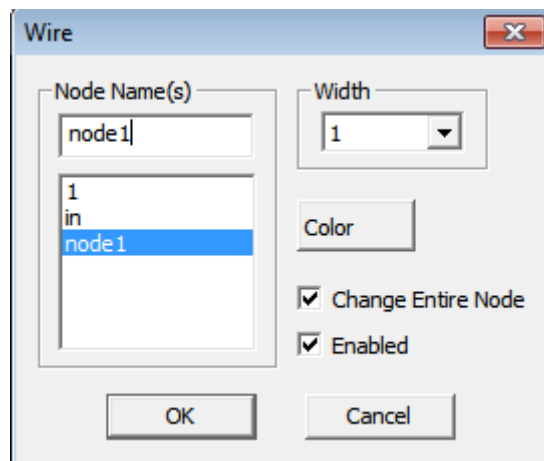


Рисунок 11.10 – Вікно вузлів вибраної ділянки кола

Для видалення вузла необхідно вибрати його кліком миші на робочому просторі та натиснути клавішу Delete на клавіатурі.

Аналіз перехідних процесів запускається з меню Analysis кліком на пункті меню Transient (рисунок 11.11) або комбінацією клавіш Alt+1.

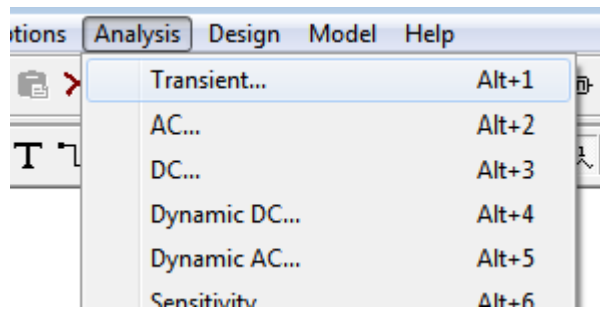


Рисунок 11.11 – Меню Analysis

Користування аналізатором перехідних процесів описано нижче у відповідному розділі.

Величини можна задати в різних степенях, для цього використовується суфікс, що вказує величину степеня. Перелік суфіксів для різних степенів:

- f –  $10^{-15}$ , фемто–;
- p –  $10^{-12}$ , піко–;
- n –  $10^{-9}$ , нано–;
- u –  $10^{-6}$ , мікро–;
- m –  $10^{-3}$ , мілі–;
- k –  $10^3$ , кіло–;
- meg –  $10^6$ , мега–;
- g –  $10^9$ , гіга–;
- t –  $10^{12}$ , тера–.

Суфікс вказується після значення величини. Наприклад, запис 10u для часу означає 10 мікросекунд.

## 11.4 Елементи схем

Нижче приведений перелік деяких елементів (компонентів) схем, що використовуються в лабораторних роботах. В завданнях до робіт вказуються точні параметри компонентів схем. В даному підрозділі подано лише загальні дані про елементи. Також навівши курсором миші на полі будь-якого параметру, можна побачити підказку щодо цього параметру.

- 1) Sine Source – джерело синусоїдальної напруги:



Знаходиться в Analog Primitives → Waveform Sources → Sine Source.

Основні параметри:

Model – модель джерела напруги, зазвичай вибирається 60HZ.

A – амплітуда напруги джерела (В).

F – частота напруги джерела (Гц).

- 2) Ground – заземлення:



Знаходиться в Analog Primitives → Connectors → Ground.

- 3) Battery – Ідеальне джерело напруги:



Знаходиться в Analog Primitives → Waveform Sources → Battery.

Основні параметри:

Value – значення напруги джерела (В).

- 4) Resistor – резистор:

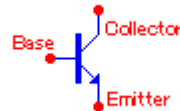


Знаходиться в Analog Primitives → Passive Components → Resistor.

Основні параметри:

Resistance – опір резистору (Ом).

5) N–P–N (n–p–n)–транзистор:



Знаходиться в Analog Primitives → Active Devices → N–P–N.

Основні параметри:

Model – тип транзистора, зазвичай вибирається 2N2102.

6) Capacitor – конденсатор:

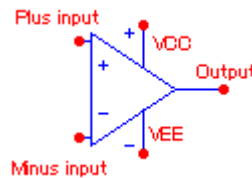


Знаходиться в Analog Primitives → Passive Components → Capacitor.

Основні параметри:

Capacitance – ємність конденсатора (Ф).

7) Opamp – операційний підсилювач:



Знаходиться в Analog Primitives → Active Devices → Opamp.

Основні параметри:

Model – тип підсилювача, зазвичай вибирається LM358

8) Diode – діод:



Знаходиться в Analog Primitives → Passive Components → Diode.

Основні параметри:

Model – тип діоду, зазвичай вибирається \$GENERIC.

9) Pulse Source – генератор імпульсів:



Знаходиться в Analog Primitives → Waveform Sources → Pulse Source.

Основні параметри генератора імпульсів ( рисунок 11.12) наведені в таблиці 11.1.

Таблиця 11.1 – Задання параметрів генератора імпульсного сигналу

Позначення	Параметр	Розмірність
Model	Модель джерела напруги (зазвичай вибирається PULSE)	–
VZERO	Початкове значення	В
VONE	Максимальне значення	В
P1	Початок переднього фронту	С
P2	Кінець переднього фронту	С
P3	Початок заднього фронту	С
P4	Момент досягнення рівня VZERO (кінець заднього фронту)	С
P5	Період повторення імпульсу	с

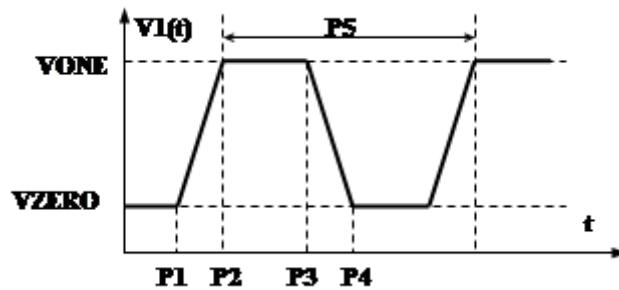
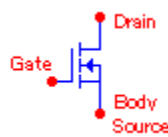


Рисунок 11.12 – Основні параметри імпульсного сигналу

10) DNMOS – метало–оксидо–напівпровідниковий (МОН) транзистор збагаченого типу з n–каналом:

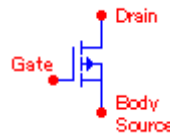


Знаходиться в Analog Primitives → Active Devices → DNMOS

Основні параметри:

Model – тип транзистору, зазвичай вибирається \$GENERIC\_N.

11) DPMOS – метало–оксидо–напівпровідниковий (МОН) транзистор збагаченого типу з p–каналом:



Знаходиться в Analog Primitives → Active Devices → DPMOS.

Основні параметри:

Model – тип транзистору, зазвичай вибирається \$GENERIC\_P.

12) DClock – генератор цифрового сигналу:



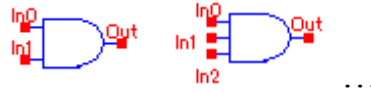
Знаходиться в Digital Primitives → Stimulus Generators → DClock.

Основні параметри:

ZEROWIDTH – час сигналу нуля,

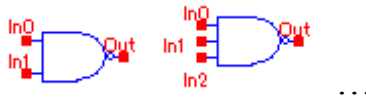
ONEWIDTH – час сигналу одиниці.

13) And2, And3 ... And9 – елементи, які виконують операцію «Логічне І». Мають 2...9 входів:



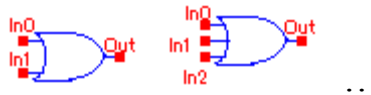
Знаходяться в Digital Primitives → Standart Gates → And Gates → And2.

14) Nand2, Nand3 ... Nand9 – елементи, які виконують операцію «Логічне – І – Не». Мають 2...9 входів:



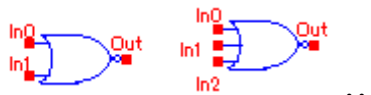
Знаходяться в Digital Primitives → Standart Gates → Nand Gates → Nand2.

15) Or2, Or3 ... Or9 – елементи, які виконують операцію «Логічне Або». Мають 2...9 входів:



Знаходяться в Digital Primitives → Standart Gates → Or Gates → Or2.

16) Nor2, Nor3 ... Nor9 – елементи, які виконують операцію «Логічне АБО–НЕ». Мають 2...9 входів:



Знаходяться в Digital Primitives → Standart Gates → Nor Gates → Nor2.

17) Inverter – Елементи, які виконують операцію «Логічне заперечення»:



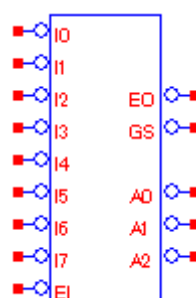
Знаходиться в Digital Primitives → Inverters → Inverter.

Параметри часової моделі елементу Inverter приведені в таблиці 11.2.

Таблиця 11.2 – Параметри Timing model елементу Inverter

TRHLMN	Мінімальна затримка при переході від 1 до 0
TRHLMX	Максимальна затримка при переході від 1 до 0
TRHLTY	Середня затримка при переході від 1 до 0
TPLHMN	Мінімальна затримка при переході від 0 до 1
TPLHMX	Максимальна затримка при переході від 0 до 1
TPLHTY	Середня затримка при переході від 0 до 1

17) 74LS148 – 8–3 пріоритетний шифратор:



Знаходиться в Digital Library → 74xx120 → 148 → 74LS148.

Мікросхема 74LS148 дозволяє розташувати 8 вхідних сигналів в послідовності згідно з важливістю сигналу (за пріоритетом). Також схема використовується як звичайний шифратор.



В мікросхемі 74LS148 є вісім входів (I0...I7) унітарного восьмипозиційного коду та три виходи двійкового коду (A0...A2).

Активним рівнем вхідних та вихідних сигналів для даної мікросхеми є низький рівень напруги. Якщо на всі входи подається напруга високого рівня (логічна 1), або на всі, крім входу I0 (на нього подаємо логічний 0) то на всіх виводах встановлюється напруга високого рівня. Тобто, на виході отримаємо інверсний двійковий код, що вказує на вхід з найбільшим пріоритетом. Якщо, наприклад, на входи I0...I3 подати сигнали низького рівня, а на всі інші, сигнали високого рівня, то на виході отримаємо інверсний двійковий код: 100. Якщо його інвертувати ще раз, отримаємо номер входу на якому наявний сигнал низького рівня, причому, з найвищим пріоритетом. В даному випадку  $100 \rightarrow 011 = I3$ .

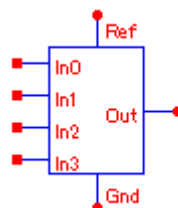
В мікросхемі також є два виходи для каскадного з'єднання мікросхем GS і EO. На виході GS формується напруга низького рівня, якщо така напруга подається на будь-який із входів. На виході EO встановлюється напруга низького рівня, коли на всі входи подається напруга високого рівня. Дозволяючи входи і виходи мікросхеми дозволяють з'єднувати модулі в каскади для прийняття більшого числа вхідних сигналів. На виході EO, як і на виході GS, формується напруга високого рівня, коли така напруга подається на дозволяючий вхід EI. В нормальному режимі роботи на вхід EI повинна подаватися напруга низького рівня. Час затримки проходження сигналу дорівнює 10 нс, а струм споживання дорівнює 12мА.

В таблиці 11.3 наведена залежність сигналів на виходах від сигналів на входах та значення сигналу на дозволяючому вході.

Таблиця 11.3 – Робота шифратора

Входи									Виходи				
$\overline{EI}$	0	1	2	3	4	5	6	7	A2	A1	A0	$\overline{GS}$	$\overline{EO}$
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	X	X	X	X	X	X	X	0	0	0	0	0	1
0	X	X	X	X	X	X	0	1	0	0	1	0	1
0	X	X	X	X	X	0	1	1	0	1	0	0	1
0	X	X	X	X	0	1	1	1	0	1	1	0	1
0	X	X	X	0	1	1	1	1	1	0	0	0	1
0	X	X	0	1	1	1	1	1	1	0	1	0	1
0	X	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

18) DtoA4 – Цифро–аналоговий перетворювач (ЦАП) з чотирма входами:

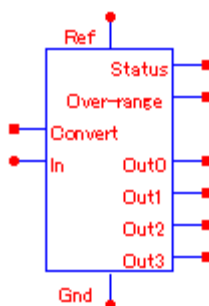


Знаходиться в Digital Primitives → DtoA Converters → DtoA4.

Основні параметри:

TIMING MODEL – Модель розподілу часу, зазвичай вибирається T1.

19) AtoD4 –Аналого–цифровий перетворювач (АЦП) з чотирма виходами:



Знаходиться в Digital Primitives → AtoD Converters → AtoD4.

Основні параметри:

TIMING MODEL – Модель розподілу часу, зазвичай вибирається T1.

## 11.5 Аналіз перехідних процесів

Запустивши аналіз перехідних процесів способами, які були описані вище, відкриється вікно параметрів аналізу перехідних процесів (рисунок 11.13).

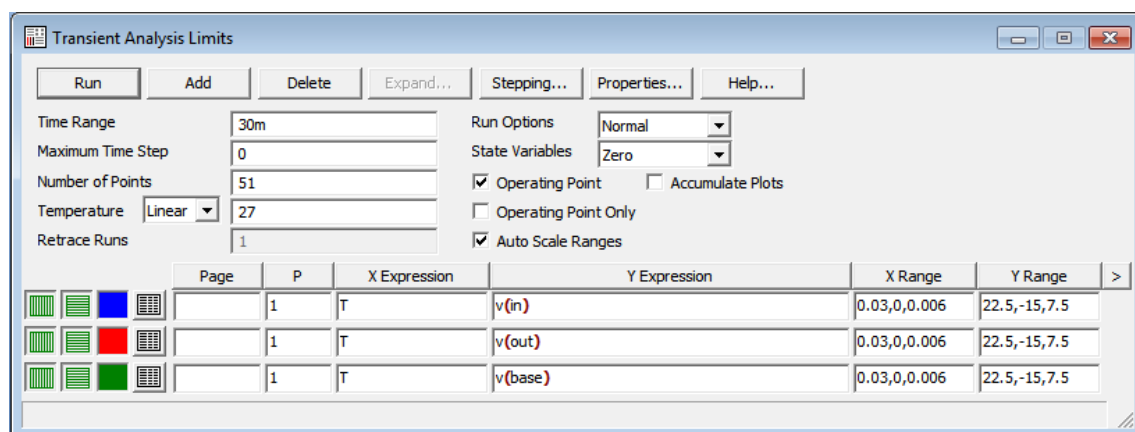


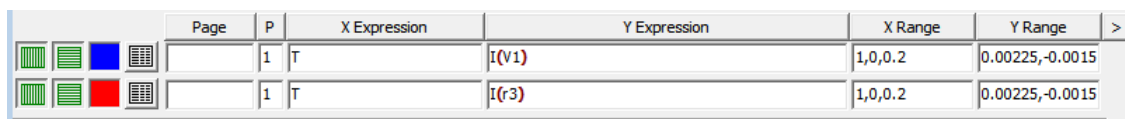
Рисунок 11.13 – Вікно параметрів аналізу перехідних процесів

Для виконання лабораторних робіт достатньо маніпулювати лише деякими параметрами, значення інших параметрів можна залишати за умовчанням.

Параметри аналізу перехідних процесів:

- 1) Time Range. Задає час, протягом якого необхідно відображувати перехідні характеристики.
- 2) Maximum Time Step. Максимальний час кроку. Використовується як параметр точності для згладжування графіків залежностей.
- 3) Auto Scale Ranges. Автомасштаб. Автоматичний підбір розмірів вісей графіків.

Головними параметрами аналізу є залежності, які необхідно побудувати. Ці залежності визначаються таблицею з їх переліком у вікні параметрів (рисунок 11.14).



Page	P	X Expression	Y Expression	X Range	Y Range	>
1	1	T	I(V1)	1,0,0.2	0.00225,-0.0015	
1	1	T	I(R3)	1,0,0.2	0.00225,-0.0015	

Рисунок 11.14 – Залежності, які будуть будуватись аналізатором перехідних процесів

Залежності, що будуть будуватись задаються за допомогою атрибутів: P, X Expression, Y Expression, X Range, Y Range (рисунок 11.14).

Атрибут P визначає, на якому графіку (за номером) буде побудована залежність. Наприклад, на рисунку 11.14 обидві залежності будуть побудовані на одному графіку з номером 1. Щоб побудувати залежності на різних графіках необхідно вказати різні номери графіків. Для того, щоб не будувати конкретну залежність, необхідно встановити замість її номера значення None. Ці дії можна виконати як вручну так і вибором в меню, що відкривається кліком миші по назві колонки P в таблиці з переліком залежностей.

Атрибут X Expression вказує, яка величина відкладається за віссю абсцис. В лабораторних роботах зазвичай в якості X Expression використовується або час T або вхідна напруга V(IN). Також вибрати X Expression можна вибором в меню, що відкривається кліком миші по назві колонки X Expression в таблиці з переліком залежностей.

Атрибут Y Expression вказує, яка величина відкладається за віссю ординат. Вибір цієї величини здійснюється аналогічно вибору X Expression. Також в якості X Expression або Y Expression можна вибирати напругу та струм (та інші величини, що не використовуються в лабораторних роботах) в будь-якому вузлі або елементі схеми. Наприклад, щоб побудувати залежність струму у вузлі 4 деякої схеми від напруги на резисторі R1,

необхідно в поле X Expression ввести V(R1), де R1 – назва даного резистора, а в поле Y Expression – I(4), де 4 – назва вузла.

Рекомендується вводити атрибути X Expression та Y Expression вручну.

Атрибути X Range та Y Range визначають інтервали на яких будуватиметься залежність. Зазвичай ці інтервали вибираються автоматично, але їх можна скорегувати вручну.

Щоб додати ще одну залежність для побудови необхідно натиснути на кнопку Add.

Щоб видалити залежність необхідно натиснути на кнопку Delete.

Щоб запустити аналіз перехідних процесів необхідно натиснути на кнопку Run. Приклад аналізу перехідних процесів подано на рисунку 11.15 та рисунку 11.16.

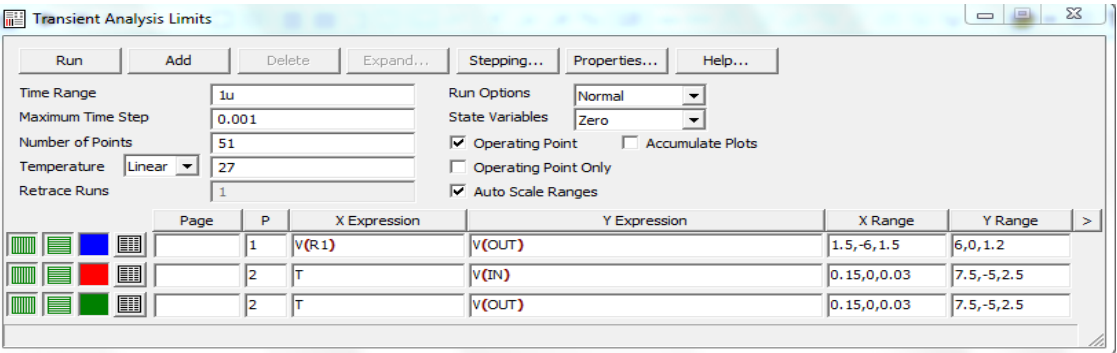


Рисунок 11.15 – Приклад параметрів аналізу перехідних процесів

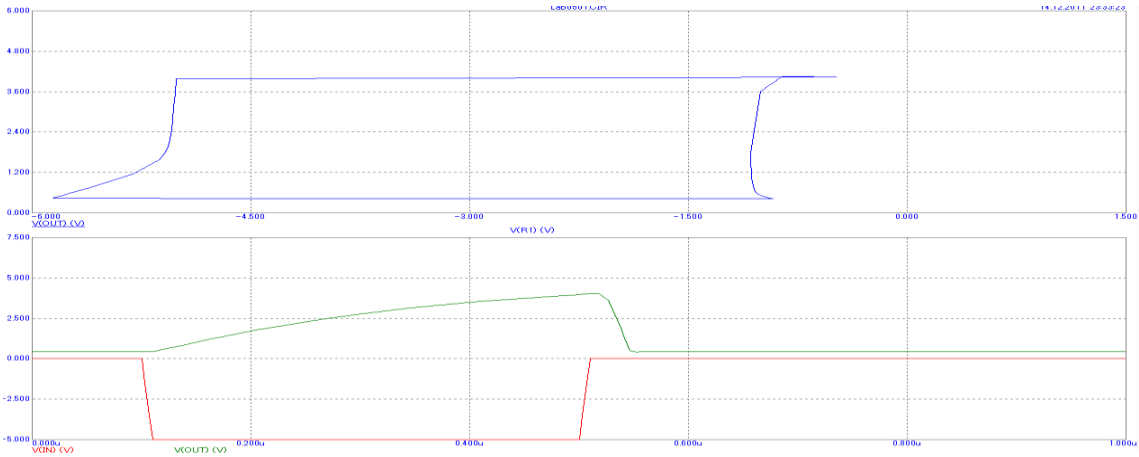


Рисунок 11.16 – Приклад побудованих перехідних процесів

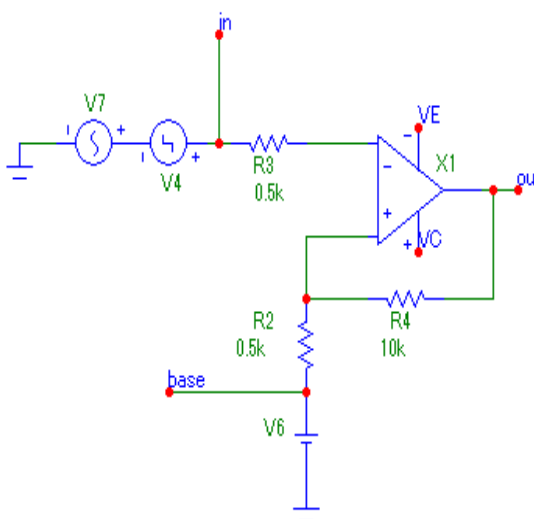
На основі гнучкості механізму аналізу MicroCap, можна будувати різні характеристики схем, зокрема:

- передатну характеристику;
- залежності вхідної та вихідної напруг від часу.

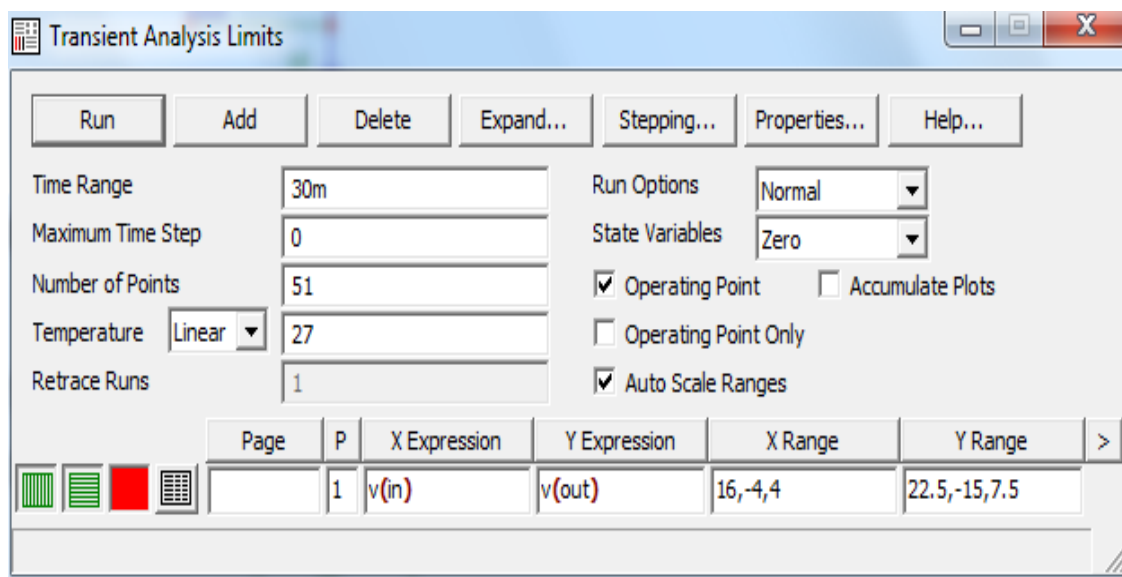
Приклади побудов деяких характеристик:

1) Приклад побудови перехідної характеристики:

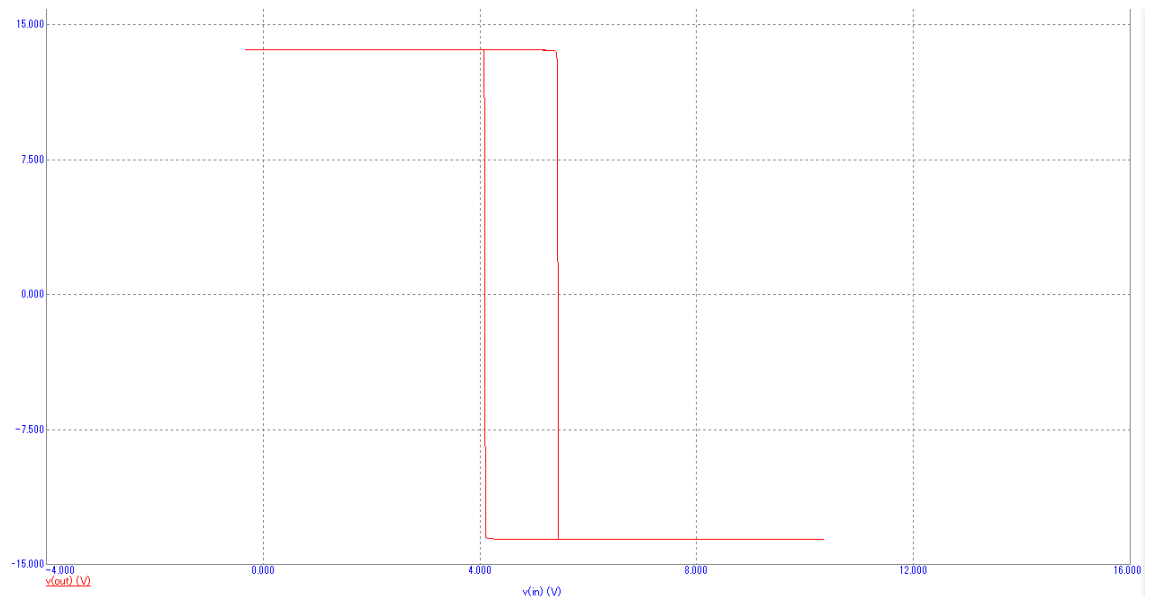
Схема:



Параметри графіків:

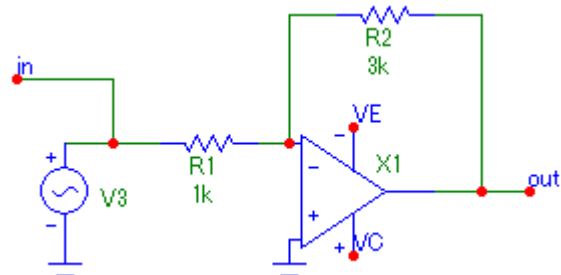


Передатна характеристика:

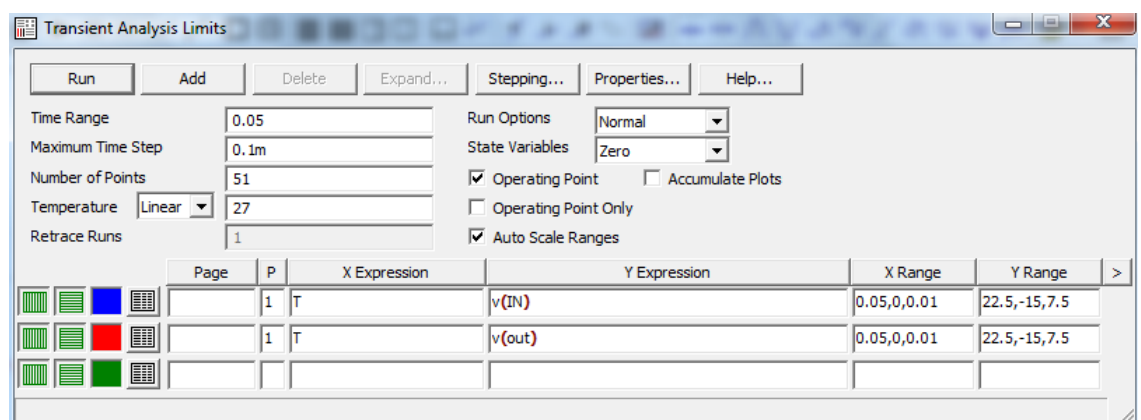


2) Приклад побудови залежностей вхідної і вихідної напруг від часу:

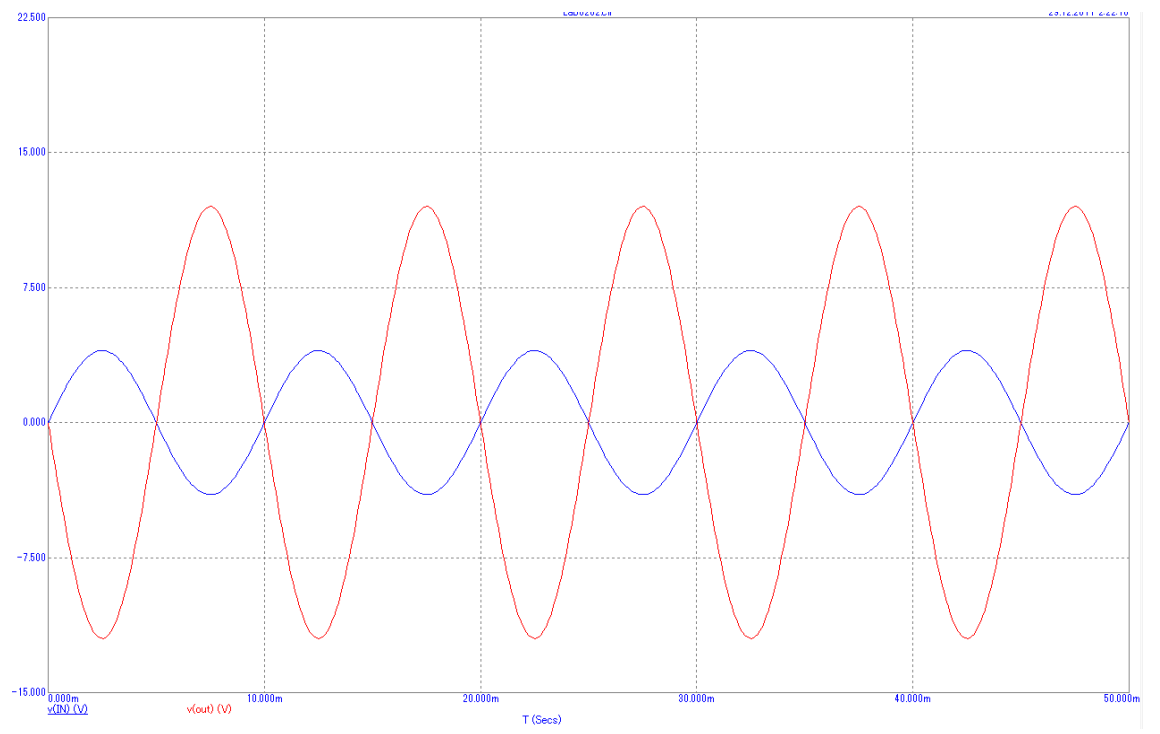
Схема:



Параметри графіків:



Вхідна та вихідна напруги:





## СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ

- 1) Скаржепа В. А. Луценко А. Н. Электроника и микросхемотехника. – К.: Высшая шк., 1989.
- 2) Опадчий Ю. Р., Глудкин О. П. Аналоговая и цифровая электроника. – М.: «Горячая линия – Телеком», 1999.
- 3) Виноградов Ю. В. Основы электронной и полупроводниковой техники. – М.: Энергия, 1972.
- 4) Степаненко И. П. Основы теории транзисторов и транзисторных схем, изд. 3-е, перераб. И доп. – М.: Энергия, 1973.
- 5) Горбачев Г. Н. , Чаплыгин Е. Е. Промышленная электроника Учебник для вузов / Под ред. В. А. Лабунцова – М.:– Энергоатомиздат, 1988.
- 6) Руденко В.С и др. Приборы и устройства промышленной электроники / В.С. Руденко В.И., Сенько, В.В. Трифонюк ( Б-ка инженера ). – К.: Техника, 1990.
- 7) Скаржепа В. А., Новацкий А. А., Сенько В.И. Электроника и микросхемотехника. Лабораторный практикум. –К: Выща шк., 1989.
- 8) Скаржепа В. А., Сенько В.И. Электроника и микросхемотехника. Сборник задач. – К: Выща шк., 1989.
- 9) Партала Радиокomпоненты и материалы: Справочник. – К.: Радиоаматор, 1998.
- 10) Дулин В. Н., Аваев Н. А. и др. Электронные приборы. –М.: Энергоатомиздат, 1989.
- 11) Аксенов А. И. и др. Элементы схем бытовой радиоаппаратуры. Диоды. Транзисторы: Справочник/А. И. Аксенов, А. В. Нефедов, А. М. Юшин. –М.: Радио и связь, 1992.

- 12) Операционные усилители: Справочник. /Е. Ф. Турута (составитель) –М.: Патриот, 1996.
- 13) Шрайбер Г. 300 схем источников питания. Выпрямители. Импульсные источники
- 14) Полупроводниковые приборы и транзисторы. Справочник. Под общей редакцией Н. Н. Горюнова: –М.: Энергоатомиздат, 1985.
- 15) Партала О. Н. Радиоконпоненты и материалы: Справочник. –К.: Радиоаматор, 1998.
- 16) Промышленная электроника/ В. С. Руденко и др. –К .: Техника, 1979.
- 17) Джонс М. Х. Электроника – практический курс. –М.: Постмаркет, 1999.
- 18) Гусев В. Г., Гусев Ю. М. Электроника, –М.: Высшая школа, 1982.
- 19) Жеребцов Н. П. Основы электроники. – Л: Энергоатомиздат, 1985.
- 20) Гребнев А. К. и др. Оптоэлектронные элементы и устройства / А. К. Гребнев, В.Н. Гридин, В. П. Дмитриев: Под ред. Ю.В. Гуляева – М: Радио и связь, 1988.
- 21) Аналогова схемотехніка та імпульсні пристрої. В. І. Бойко та ін. – К: Вища шк., 2004.
- 22) Джонсон Д. и др. Справочник по активным фильтрам / Пер. с англ. – М.: Энергоатомиздат, 1983.
- 23) Мошиц Г., Хорн П. Проектирование активных фильтров / Пер. с англ. – М: Мир, 1984.
- 24) Фолкенбери Л. Применение операционных усилителей и линейных ИС / Пер. с англ –М: Мир, 1985.
- 25) Прянишников В.Я. Электроника. – СПб.: Корона принт, 1998.
- 26) Руденко В.С., Ромашко В.Я., Трифонюк В.В. Промислова електроніка. – К.: Либідь, 1993.

- 27) Хоровиц П., Хилл У. Искусство схемотехники: В 3 т.: Пер. с англ. – М.: Мир, 1993.
- 28) Якубовский С.В., Барканов Н. А., Кудряшов Б.П. Аналоговые и цифровые интегральные микросхемы. – М.: Радио и связь, 1985.
- 29) Нестеренко Б.К. Интегральные операционные усилители: Справочное пособие по применению. – М.: Энергоиздат, 1982.
- 30) Аналоговая и цифровая электроника / Под ред. О.П.Глудкина. – М.: Горячая Линия – Телеком, 1999.
- 31) Бондаренко В.Г. РС–генераторы синусоидальных колебаний. – М.: Связь, 1976.
- 32) Источники электропитания радиэлектронной аппаратуры: Справ. / Под ред.. Г.С.Найвельта. – М.: Радио и связь, 1986.
- 33) Електроніка і мікросхемотехніка / В.І.Сенько, М.В.Панасенко, Є.В.Сенько та ін.. – К.:Обереги, 2000. – Т.1.
- 34) Прянишников В.Я. Электроника: Курс лекций. – СПб.: Корона принт, 1998.
- 35) Бирюков С. А. Применение цифровых микросхем серий ТТЛ и КМОП. – М.: ДМК, 1999.
- 36) Токхейм Р. Основы цифровой электроники: Пер. с англ. – М.: Мир, 1988.
- 37) Гутников В.С. Интегральная электроника в измерительных устройствах. 2–е издание, перераб. и дополн. – Л.: Энергоатомиздат. Ленингр. отделение, 1988.
- 38) Федорков Б.Г. Телец В.А. Микросхемы ЦАП и АЦП. – Л.: Энергоатомиздат, 1990.
- 39) Браммер Ю.А., Пащук И.Н. Импульсная техника. – М.: Высшая школа, 1985.
- 40) Васильев В. И. и др. Электронные промышленные устройства. – М.: Высшая школа, 1988.